User's Manual

16

RL78/G12

ユーザーズマニュアル　ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

【暫定版】

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.0.02　2011.06

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域にとどまるような場合は，誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については，CMOSデバイスの入力に何も接続しない状態で動作させるのではなく，プルアップかプルダウンによって入力レベルを固定してください。また，未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，当社が出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時，MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合，原則として内部電源を投入した後に外部電源を投入してください。切断の際には，原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により，内部素子に過電圧が印加され，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については，その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に，入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については，その内容を守ってください。

このマニュアルの使い方

対 象 者　このマニュアルはRL78/G12の機能を理解し，その応用システムや応用プログラムを設計，開発するユーザのエンジニアを対象としています。

目　　的　このマニュアルは，次の構成に示す機能をユーザに理解していただくことを目的としています。

構　　成　RL78/G12のマニュアルは，このマニュアルと命令編（RL78/G13マイクロコントローラ共通）の2冊に分かれています。

RL78/G12 ユーザーズ・マニュアル	RL78/G12マイクロコントローラ ユーザーズ・マニュアル 命令編
●端子機能 ●内部ブロック機能 ●割り込み ●その他の内蔵周辺機能 ●電気的特性（ターゲット）	●CPU機能 ●命令セット ●命令の説明

読 み 方　このマニュアルを読むにあたっては，電気，論理回路，マイクロコントローラの一般知識を必要とします。

□一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は，本版で改訂された主な箇所を示しています。この"★"をPDF上でコピーして「検索する文字列」に指定することによって，改版箇所を容易に検索できます。

□レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは，そのビット名称がアセンブラでは予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。

□RL78/G12マイクロコントローラの命令機能の詳細を知りたいとき

→別冊のRL78マイクロコントローラ　ユーザーズ・マニュアル　命令編（R01US0015J）を参照してください。

凡　　例

データ表記の重み	：左が上位桁，右が下位桁
アクティブ・ロウの表記	：$\overline{\times\times\times}$（端子，信号名称に上線）
注	：本文中につけた注の説明
注意	：気をつけて読んでいただきたい内容
備考	：本文の補足説明
数の表記	：2進数…××××または××××B 10進数…×××× 16進数…××××H

関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資　料　名	資料番号	
	和　　文	英　　文
RL78/G12　ユーザーズ・マニュアル　ハードウェア編	このマニュアル	R01UH0200E
RL78マイクロコントローラ　ユーザーズ・マニュアル　命令編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料（ユーザーズ・マニュアル）

資　料　名	資料番号	
	和　　文	英　　文
PG-FP5　フラッシュ・メモリ・プログラマ	R02UT0008J	R02UT0008E

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

その他の資料

資　料　名	資料番号	
	和　　文	英　　文
ルネサス　マイクロコンピュータ　総合カタログ	R01CS0001J	R01CS0001E
半導体デバイス　実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体　品質／信頼性ハンドブック	C12769J	－
マイクロコンピュータ関連製品ガイド　社外メーカ編	U11416J	－

注　「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：http://japan.renesas.com/prod/package/manual/index.html

英文：http://www.renesas.com/prod/package/manual/index.html

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。
EEPROMは，ルネサス エレクトロニクス株式会社の登録商標です。
Windows，Windows NTおよびWindows XPは，米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。
PC/ATは，米国IBM社の商標です。
SuperFlashは，米国Silicon Storage Technology, Inc.の米国，日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

目次

第1章　概 説 … 1

1.1　特 徴 … 1
1.2　オーダ情報 … 2
1.3　端子接続図（Top View）… 3
1.3.1　20ピン製品 … 3
1.3.2　24ピン製品 … 4
1.3.3　30ピン製品 … 5
1.4　端子名称 … 6
1.5　ブロック図 … 7
1.5.1　20ピン製品 … 7
1.5.2　24ピン製品 … 8
1.5.3　30ピン製品 … 9
1.6　機能概要 … 10

第2章　端子機能 … 12

2.1　端子機能一覧 … 12
2.1.1　20ピン製品 … 12
2.1.2　24ピン製品 … 13
2.1.3　30ピン製品 … 14
2.1.4　製品別搭載端子（ポート以外の端子）… 16
2.2　端子の入出力回路と未使用端子の処理 … 18

第3章　CPUアーキテクチャ … 22

3.1　メモリ空間 … 22
3.1.1　内部プログラム・メモリ空間 … 30
3.1.2　ミラー領域 … 34
3.1.3　内部データ・メモリ空間 … 35
3.1.4　特殊機能レジスタ（SFR：Special Function Register）領域 … 36
3.1.5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域 … 36
3.1.6　データ・メモリ・アドレッシング … 37
3.2　プロセッサ・レジスタ … 43
3.2.1　制御レジスタ … 43
3.2.2　汎用レジスタ … 45
3.2.3　ES, CSレジスタ … 47
3.2.4　特殊機能レジスタ（SFR：Special Function Register）… 48
3.2.5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）… 54
3.3　命令アドレスのアドレッシング … 60
3.3.1　レラティブ・アドレッシング … 60
3.3.2　イミーディエト・アドレッシング … 60
3.3.3　テーブル・インダイレクト・アドレッシング … 61
3.3.4　レジスタ・ダイレクト・アドレッシング … 62
3.4　処理データ・アドレスに対するアドレッシング … 63
3.4.1　インプライド・アドレッシング … 63
3.4.2　レジスタ・アドレッシング … 63
3.4.3　ダイレクト・アドレッシング … 64
3.4.4　ショート・ダイレクト・アドレッシング … 65
3.4.5　SFRアドレッシング … 66
3.4.6　レジスタ・インダイレクト・アドレッシング … 67
3.4.7　ベースト・アドレッシング … 68

3. 4. 8　ベースト・インデクスト・アドレッシング … 71
3. 4. 9　スタック・アドレッシング … 72

第4章　ポート機能 … 73

4. 1　ポートの機能 … 73
4. 2　ポートの構成 … 73
4. 2. 1　20, 24ピン製品 … 74
4. 2. 2　30ピン製品 … 90
4. 3　ポート機能を制御するレジスタ … 106
4. 4　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 … 117
4. 5　ポート・レジスタn（Pn）に対する1ビット・メモリ操作命令に関する注意事項 … 122

第5章　クロック発生回路 … 123

5. 1　クロック発生回路の機能 … 123
5. 2　クロック発生回路の構成 … 124
5. 3　クロック発生回路を制御するレジスタ … 126
5. 4　システム・クロック発振回路 … 138
5. 4. 1　X1発振回路 … 138
5. 4. 2　高速オンチップ・オシレータ（HOCO）… 141
5. 4. 3　低速オンチップ・オシレータ（LOCO）… 141
5. 5　クロック発生回路の動作 … 141
5. 6　クロックの制御 … 143
5. 6. 1　高速オンチップ・オシレータの設定例 … 143
5. 6. 2　CPUクロック状態移行図 … 144
5. 6. 3　CPUクロックの移行前の条件と移行後の処理 … 145
5. 6. 4　CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間 … 145
5. 6. 5　クロック発振停止前の条件 … 146

第6章　タイマ・アレイ・ユニット … 147

6. 1　タイマ・アレイ・ユニットの機能 … 148
6. 1. 1　単独チャネル動作機能 … 148
6. 1. 2　複数チャネル連動動作機能 … 149
6. 1. 3　LIN-bus対応機能（チャネル7のみ）… 151
6. 2　タイマ・アレイ・ユニットの構成 … 152
6. 3　タイマ・アレイ・ユニットを制御するレジスタ … 158
6. 4　複数チャネル連動動作機能の基本ルール … 185
6. 5　8ビット・タイマ動作機能概要（チャネル1, 3のみ）… 187
6. 6　チャネル出力（TO0n端子）の制御 … 188
6. 6. 1　TO0n端子の出力回路の構成 … 188
6. 6. 2　TO0n端子の出力設定 … 189

第7章　インターバル・タイマ … 190

7. 1　インターバル・タイマの機能 … 190
7. 2　インターバル・タイマの構成 … 190
7. 3　インターバル・タイマを制御するレジスタ … 191
7. 4　インターバル・タイマの動作 … 194

第8章　クロック出力／ブザー出力制御回路 … 195

8. 1　クロック出力／ブザー出力制御回路の機能 … 195

8.2　クロック出力／ブザー出力制御回路の構成 … 196
8.3　クロック出力／ブザー出力制御回路を制御するレジスタ … 196
8.4　クロック出力／ブザー出力制御回路の動作 … 199
8.4.1　出力端子の動作 … 199

第9章　ウォッチドッグ・タイマ … 200

9.1　ウォッチドッグ・タイマの機能 … 200
9.2　ウォッチドッグ・タイマの構成 … 201
9.3　ウォッチドッグ・タイマを制御するレジスタ … 202
9.4　ウォッチドッグ・タイマの動作 … 203
9.4.1　ウォッチドッグ・タイマの動作制御 … 203
9.4.2　ウォッチドッグ・タイマのオーバフロー時間の設定 … 204
9.4.3　ウォッチドッグ・タイマのウインドウ・オープン期間の設定 … 205
9.4.4　ウォッチドッグ・タイマのインターバル割り込みの設定 … 206

第10章　A/Dコンバータ … 207

10.1　A/Dコンバータの機能 … 207
10.2　A/Dコンバータの構成 … 209
10.3　A/Dコンバータで使用するレジスタ … 211
10.4　A/Dコンバータの変換動作 … 232
10.5　入力電圧と変換結果 … 234
10.6　A/Dコンバータの動作モード … 235
10.6.1　ソフトウエア・トリガ・モード（セレクト・モード，連続変換モード）… 235
10.6.2　ソフトウエア・トリガ・モード（セレクト・モード，ワンショット変換モード）… 236
10.6.3　ソフトウエア・トリガ・モード（スキャン・モード，連続変換モード）… 237
10.6.4　ソフトウエア・トリガ・モード（スキャン・モード，ワンショット変換モード）… 238
10.6.5　ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，連続変換モード）… 239
10.6.6　ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，ワンショット変換モード）… 240
10.6.7　ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード）… 241
10.6.8　ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）… 242
10.6.9　ハードウエア・トリガ・ウエイト・モード（セレクト・モード，連続変換モード）… 243
10.6.10　ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）… 244
10.6.11　ハードウエア・トリガ・ウエイト・モード（スキャン・モード，連続変換モード）… 245
10.6.12　ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）… 246
10.7　SNOOZEモード機能 … 247
10.8　A/Dコンバータ特性表の読み方 … 251

第11章　シリアル・アレイ・ユニット … 254

11.1　シリアル・アレイ・ユニットの機能 … 254
11.1.1　3線シリアルI/O（CSI00, CSI01）… 254
11.1.2　UART（UART0）… 255
11.1.3　簡易I^2C（IIC00, IIC01）… 256
11.2　シリアル・アレイ・ユニットの構成 … 257
11.3　シリアル・アレイ・ユニットを制御するレジスタ … 263

11.4　動作停止モード … 286
11.4.1　ユニット単位で動作停止とする場合 … 287
11.4.2　チャネルごとに動作停止とする場合 … 288
11.5　3線シリアルI/O（CSI00, CSI01, CSI11, CSI120）通信の動作 … 289
11.5.1　マスタ送信 … 290
11.5.2　マスタ受信 … 298
11.5.3　マスタ送受信 … 306
11.5.4　スレーブ送信 … 314
11.5.5　スレーブ受信 … 322
11.5.6　スレーブ送受信 … 328
11.5.7　SNOOZEモード機能（CSI00のみ）… 336
11.5.8　転送クロック周波数の算出 … 340
11.5.9　3線シリアルI/O（CSI00, CSI01, CSI11, CSI20）通信時におけるエラー発生時の処理手順 … 342
11.6　UART（UART0-UART2）通信の動作 … 343
11.6.1　UART送信 … 345
11.6.2　UART受信 …353
11.6.3　SNOOZEモード機能（UART0受信のみ）… 359
11.6.4　ボー・レートの算出 … 364
11.6.5　UART（UART0-UART2）通信時におけるエラー発生時の処理手順 … 368
11.7　LIN通信の動作 … 369
11.7.1　LIN送信 … 369
11.7.2　LIN受信 … 372
11.8　簡易I^2C（IIC00, IIC01, IIC11, IIC20）通信の動作 … 377
11.8.1　アドレス・フィールド送信 … 379
11.8.2　データ送信 … 384
11.8.3　データ受信 … 387
11.8.4　ストップ・コンディション発生 … 391
11.8.5　転送レートの算出 … 392
11.8.6　簡易I^2C（IIC00, IIC01, IIC11, IIC20）通信時におけるエラー発生時の処理手順 … 394

第12章　シリアル・インタフェースIICA … 395

12.1　シリアル・インタフェースIICAの機能 … 395
12.2　シリアル・インタフェースIICAの構成 … 398
12.3　シリアル・インタフェースIICAを制御するレジスタ … 401
12.4　I^2Cバス・モードの機能 … 415
12.4.1　端子構成 … 415
12.4.2　IICWL0, IICWH0レジスタによる転送クロック設定方法 … 416
12.5　I^2Cバスの定義および制御方法 … 417
12.5.1　スタート・コンディション … 417
12.5.2　アドレス … 418
12.5.3　転送方向指定 … 418
12.5.4　アクノリッジ（$\overline{ACK}$）… 419
12.5.5　ストップ・コンディション … 420
12.5.6　ウエイト … 421
12.5.7　ウエイト解除方法 … 423
12.5.8　割り込み要求（INTIICA0）発生タイミングおよびウエイト制御 … 424
12.5.9　アドレスの一致検出方法 … 425
12.5.10　エラーの検出 … 425
12.5.11　拡張コード … 426
12.5.12　アービトレーション … 427
12.5.13　ウエイク・アップ機能 … 429
12.5.14　通信予約 … 432
12.5.15　その他の注意事項 … 436
12.5.16　通信動作 … 437

12. 5. 17　I2C割り込み要求（INTIICA0）の発生タイミング … 445
12. 6　タイミング・チャート … 466

第13章　乗除・積和演算器 … 481

13. 1　乗除・積和演算器の機能 … 481
13. 2　乗除・積和演算器の構成 … 481
13. 3　乗除・積和演算器を制御するレジスタ … 487
13. 4　乗除・積和演算器の動作 … 489
13. 4. 1　乗算（符号なし）動作 … 489
13. 4. 2　乗算（符号付）動作 … 490
13. 4. 3　積和演算（符号なし）動作 … 491
13. 4. 4　積和演算（符号付）動作 … 493
13. 4. 5　除算動作 … 495

第14章　DMAコントローラ … 497

14. 1　DMAコントローラの機能 … 497
14. 2　DMAコントローラの構成 … 498
14. 3　DMAコントローラを制御するレジスタ …… 501
14. 4　DMAコントローラの動作 … 505
14. 4. 1　動作手順 … 505
14. 4. 2　転送モード … 506
14. 4. 3　DMA転送の終了 … 506

第15章　割り込み機能 … 507

15. 1　割り込み機能の種類 … 507
15. 2　割り込み要因と構成 … 507
15. 3　割り込み機能を制御するレジスタ … 514
15. 4　割り込み処理動作 … 528
15. 4. 1　マスカブル割り込み要求の受け付け動作 … 528
15. 4. 2　ソフトウエア割り込み要求の受け付け動作 … 531
15. 4. 3　多重割り込み処理 … 531
15. 4. 4　割り込み要求の保留 … 535

第16章　キー割り込み機能 … 536

16. 1　キー割り込みの機能 … 536
16. 2　キー割り込みの構成 … 536
16. 3　キー割り込みを制御するレジスタ … 537

第17章　スタンバイ機能 … 540

17. 1　スタンバイ機能と構成 … 540
17. 1. 1　スタンバイ機能 … 540
17. 1. 2　スタンバイ機能を制御するレジスタ … 541
17. 2　スタンバイ機能の動作 … 544
17. 2. 1　HALTモード … 544
17. 2. 2　STOPモード … 548
17. 2. 3　SNOOZEモード … 553

第18章　リセット機能 … 555

18. 1　リセット要因を確認するレジスタ … 563

第19章　パワーオン・リセット回路 … 565

19. 1　パワーオン・リセット回路の機能 … 565
19. 2　パワーオン・リセット回路の構成 … 566
19. 3　パワーオン・リセット回路の動作 … 566
19. 4　パワーオン・リセット回路の注意事項 … 569

第20章　電圧検出回路 … 571

20. 1　電圧検出回路の機能 … 571
20. 2　電圧検出回路の構成 … 572
20. 3　電圧検出回路を制御するレジスタ … 572
20. 4　電圧検出回路の動作 … 576
20. 4. 1　リセット・モードとして使用時の設定 … 576
20. 4. 2　割り込みモードとして使用時の設定 … 578
20. 4. 3　割り込み＆リセット・モードとして使用時の設定 … 580
20. 5　電圧検出回路の注意事項 … 583

第21章　安全機能 … 585

21. 1　安全機能の概要 … 585
21. 2　安全機能で使用するレジスタ … 586

第22章　レギュレータ … 591

22. 1　レギュレータの概要 … 591

第23章　オプション・バイト … 592

23. 1　オプション・バイトの機能 … 592
23. 1. 1　ユーザ・オプション・バイト（000C0H-000C2H）… 592
23. 1. 2　オンチップ・デバッグ・オプション・バイト（000C3H）… 593
23. 2　ユーザ・オプション・バイトのフォーマット … 594
23. 3　オンチップ・デバッグ・オプション・バイトのフォーマット … 598
23. 4　オプション・バイトの設定 … 599

第24章　フラッシュ・メモリ … 600

24. 1　フラッシュ・メモリ・プログラマによる書き込み方法 … 601
24. 1. 1　プログラミング環境 … 602
24. 1. 2　通信方式 … 602
24. 2　外部デバイス（UART内蔵）による書き込み方法 … 603
24. 2. 1　プログラミング環境 … 603
24. 2. 2　通信方式 … 604
24. 3　オンボード上の端子処理 … 605
24. 3. 1　P40/TOOL0端子 … 605
24. 3. 2　$\overline{\text{RESET}}$端子 … 605
24. 3. 3　ポート端子 … 606
24. 3. 4　REGC端子 … 606
24. 3. 5　X1, X2端子 … 606
24. 3. 6　電 源 … 606
24. 4　データ・フラッシュ … 607
24. 4. 1　データ・フラッシュの概要 … 607

24. 4. 2　データ・フラッシュを制御するレジスタ … 608
24. 4. 3　データ・フラッシュへのアクセス手順 … 609
24. 5　プログラミング方法 … 610
24. 5. 1　フラッシュ・メモリ制御 … 610
24. 5. 2　フラッシュ・メモリ・プログラミング・モード … 611
24. 5. 3　通信方式 … 612
24. 5. 4　通信コマンド … 613
24. 6　セキュリティ設定 … 614
24. 7　セルフ書き込みによるフラッシュ・メモリ・プログラミング … 616
24. 7. 1　フラッシュ・シールド・ウインドウ機能 … 618

第25章　オンチップ・デバッグ機能 … 619

25. 1　E1オンチップ・デバッギング・エミュレータとRL78/G12の接続 … 619
25. 2　オンチップ・デバッグ・セキュリティID … 620
25. 3　ユーザ資源の確保 … 620

第26章　10進補正（BCD）回路 … 622

26. 1　10進補正回路の機能 … 622
26. 2　10進補正回路で使用するレジスタ … 622
26. 3　10進補正回路の動作 … 623

第27章　命令セットの概要 … 625

27. 1　凡 例 … 626
27. 1. 1　オペランドの表現形式と記述方法 … 626
27. 1. 2　オペレーション欄の説明 … 627
27. 1. 3　フラグ動作欄の説明 … 628
27. 1. 4　PREFIX命令 … 628
27. 2　オペレーション一覧 … 629

第28章　電気的特性（ターゲット）… 646

28. 1　製品別搭載端子 … 646
28. 1. 1　ポート機能 … 646
28. 1. 2　ポート以外の端子 … 646
28. 2　絶対最大定格 … 647
28. 3　発振回路特性 … 648
28. 3. 1　メイン・システム・クロック発振回路特性 … 648
28. 3. 2　オンチップ・オシレータ特性 … 649
28. 4　DC特性 … 650
28. 4. 1　端子特性 … 650
28. 4. 2　電源電流特性 … 654
28. 5　AC特性 … 657
28. 5. 1　基本動作 … 657
28. 6　周辺機能特性 … 658
28. 6. 1　シリアル・アレイ・ユニット … 658
28. 6. 2　シリアル・インタフェースIICA … 677
28. 6. 3　オンチップ・デバッグ（UART）… 678
28. 7　アナログ特性 … 679
28. 7. 1　A/Dコンバータ特性 … 679
28. 7. 2　温度センサ特性 … 679
28. 7. 3　POR回路特性 … 679

28. 7. 4　LVD回路特性 … 680
28. 8　データ・メモリSTOPモード低電源電圧データ保持特性 … 682
28. 9　フラッシュ・メモリ・プログラミング特性 … 682
28. 10　モード引き込み時のタイミング・スペック … 683

付録A　改版履歴 … 684

A. 1　本版で改訂された主な箇所 … 684

第1章　概　　説

1.1　特　　徴

★　○高速（0.04167 μs：HOCOクロック24 MHz動作時）から低速（1 μs：1 MHz動作時）まで最小命令実行時間を変更可能

○汎用レジスタ：8ビット×32レジスタ（8ビット×8レジスタ×4バンク）

○ROM：2～16 KB，RAM：256B～2KB，データ・フラッシュ：- /2 KB

★　○高速オンチップ・オシレータ（HOCO）：24 MHz

○単電源のフラッシュ・メモリ内蔵（ブロック消去／書き込み禁止機能あり）

○セルフ・プログラミング機能対応

○オンチップ・デバッグ機能内蔵

○パワーオン・リセット（POR）回路，電圧検出（LVD）回路内蔵

★　○ウォッチドッグ・タイマ内蔵（専用のLOCOクロックで動作可能）

○乗除・積和演算器内蔵

- 16ビット×16ビット = 32ビット（符号付／符号なし）
- 32ビット÷32ビット = 32ビット（符号なし）
- 16ビット×16ビット＋32ビット = 32ビット（符号付／符号なし）

○キー割り込み機能内蔵

○クロック出力／ブザー出力制御回路内蔵

○10進補正（BCD）回路内蔵

★　○I/Oポート：18/22/26本（N-chオープン・ドレイン：2本）

○タイマ

- 16ビット・タイマ　　：4/8チャネル
- ウォッチドッグ・タイマ　：1チャネル
- インターバル・タイマ　　：1チャネル

○シリアル・インタフェース

- CSI

★　- UART／UART（LIN-bus対応）
- I^2C／簡易I^2C

★　○10ビット分解能A/Dコンバータ：8/11チャネル

○電源電圧：V_{DD} = 1.8～5.5 V

○動作周囲温度：T_A = －40～＋85 ℃

備考　製品により，搭載している機能が異なります。1. 6 **機能概要**を参照してください。

★ ○ROM, RAM容量

フラッシュROM	データ・フラッシュ	RAM	20ピン	24ピン	30ピン
16 KB	2 KB	2 KB	－	－	R5F102AA
	－		－	－	R5F103AA
	2 KB	1.5 KB	R5F1026A	R5F1027A	－
	－		R5F1036A	R5F1037A	－
12 KB	2KB	1 KB	R5F10269	R5F10279	R5F102A9
	－		R5F10369	R5F10379	R5F103A9
8 KB	2 KB	768B	R5F10268	R5F10278	R5F102A8
	－		R5F10368	R5F10378	R5F103A8
4 KB	2KB	512B	R5F10267	R5F10277	R5F102A7
	－		R5F10367	R5F10377	R5F103A7
2 KB	2 KB	256B	R5F10266	－	－
	－		R5F10366	－	－

1. 2 オーダ情報

ピン数	パッケージ	データ・フラッシュ	オーダ名称
20ピン	20ピン・プラスチックSSOP（5.72 mm（225））	搭載	R5F1026AASP, R5F10269ASP, R5F10268ASP, R5F10267ASP, R5F10266ASP
		非搭載	R5F1036AASP, R5F10369ASP, R5F10368ASP, R5F10367ASP, R5F10366ASP
24ピン	24ピン・プラスチックWQFN（ファインピッチ）（4x4）	搭載	R5F1027AANA, R5F10279ANA, R5F10278ANA, R5F10277ANA
		非搭載	R5F1037AANA, R5F10379ANA, R5F10378ANA, R5F10377ANA
★ 30ピン	30ピン・プラスチックSSOP（7.62 mm（300））	搭載	R5F102AAASP, R5F102A9ASP, R5F102A8ASP, R5F102A7ASP
		非搭載	R5F103AAASP, R5F103A9ASP, R5F103A8ASP, R5F103A7ASP

データ・フラッシュ非搭載品では，次のように機能を削減しています。

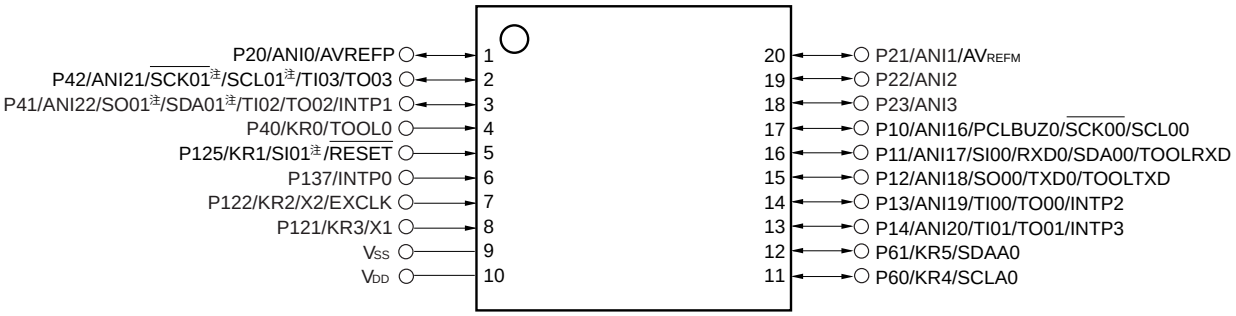
★ データ・フラッシュ		搭載		非搭載	
		20, 24ピン製品	30ピン製品	20, 24ピン製品	30ピン製品
シリアル・インタフェース	UART	1チャネル	3チャネル	1チャネル	
	CSI	2チャネル	3チャネル	1チャネル	
	簡易I^2C	2チャネル	3チャネル	なし	
内部割り込み要因数		18	27	16	25
DMA		2チャネル		なし	
安全機能	RAMガード	あり		なし	
	SFRガード	あり		なし	

注意 RL78/G12には開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

1. 3　端子接続図（Top View）

1. 3. 1　20ピン製品

• 20ピン・プラスチックSSOP（5.72 mm（225））

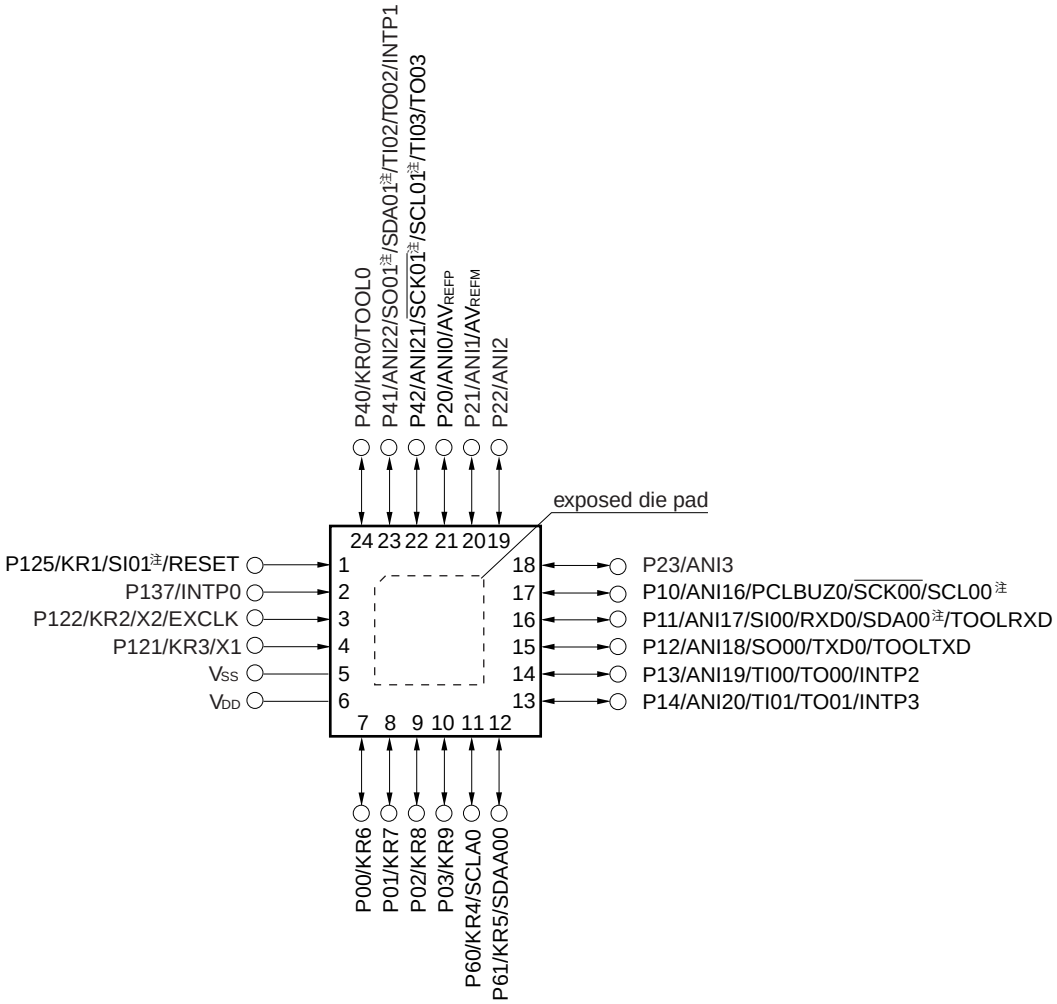


注　データ・フラッシュ搭載品

備考　端子名称は，1. 4　**端子名称**を参照してください。

1.3.2　24ピン製品

・24ピン・プラスチックWQFN（ファインピッチ）（4×4）

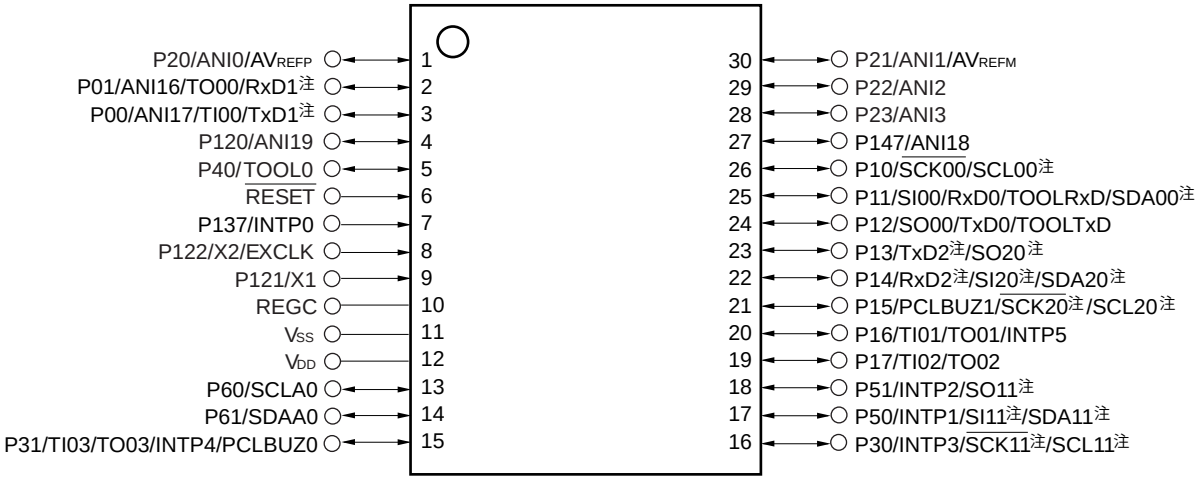


注　データ・フラッシュ搭載品

備考　端子名称は，1.4　**端子名称**を参照してください。

★ 1. 3. 3 30ピン製品

• 30ピン・プラスチックSSOP（7.62 mm（300））



注 データ・フラッシュ搭載品

注意 REGCはコンデンサ（0.47～1 μF）を介し，VSSに接続してください。

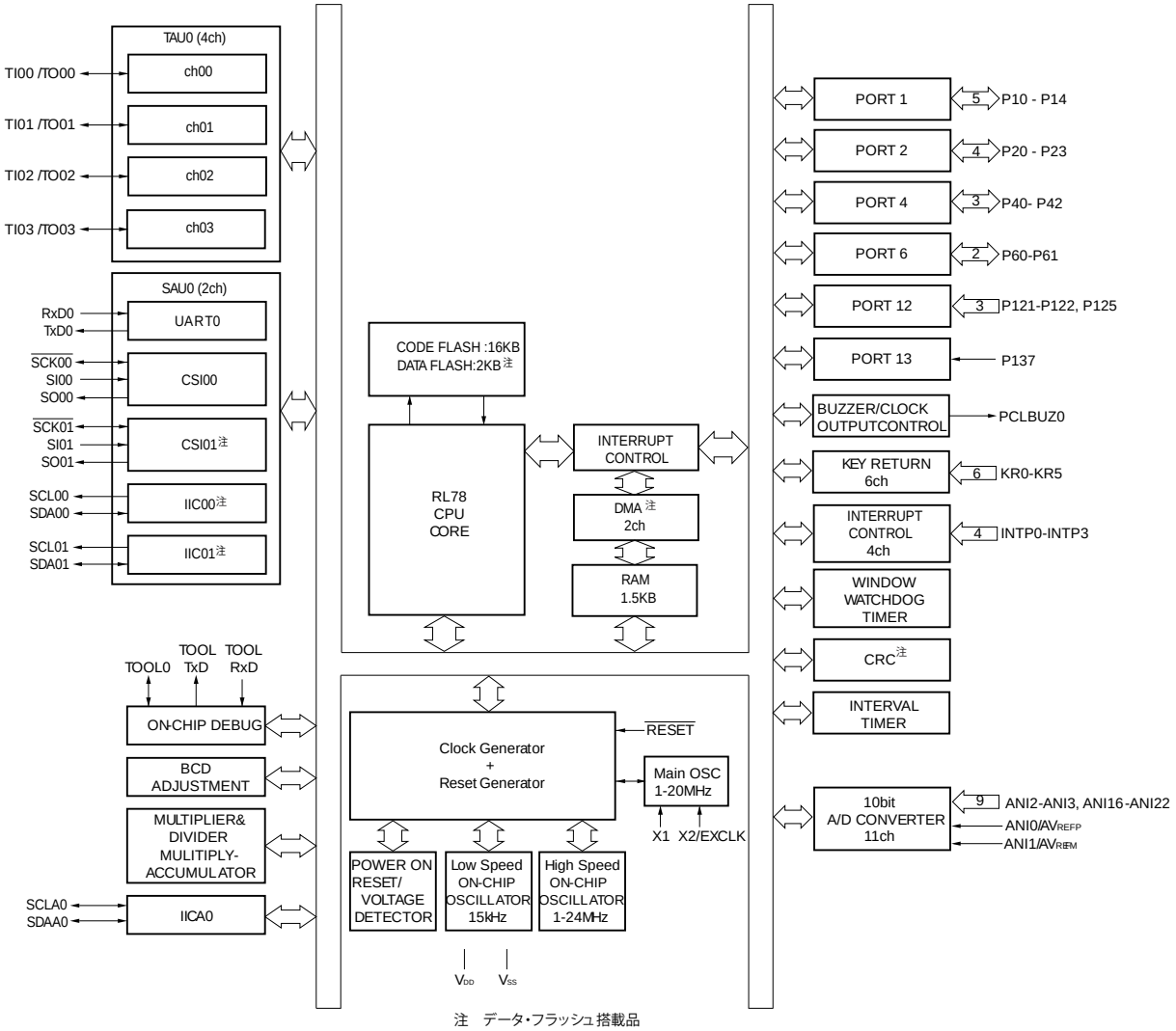
備考 端子名称は，1. 4 端子名称を参照してください。

★ 1. 4 端子名称

ANI0-ANI3, ANI16-ANI22	：Analog Input	REGC	：Regulator Capacitance
AV_{REFM}	：Analog Reference Voltage Minus	$\overline{RESET}$	：Reset
		RxD0-RxD2	：Receive Data
AV_{REFP}	：Analog Reference Voltage Plus	$\overline{SCK00}$, $\overline{SCK01}$, $\overline{SCK11}$, $\overline{SCK20}$	：Serial Clock Input/Output
EXCLK	：External Clock Input (Main System Clock)	SCL00, SCL01, SCL11, SCL20, SCLA0	：Serial Clock Input/Output
INTP0-INTP5	：External Interrupt Input	SDA00, SDA01, SDA11, SDA20, SDAA0	：Serial Data Input/Output
KR0-KR9	：Key Return	SI00, SI01, SI11, SI20	：Serial Data Input
P00-P03	：Port 0	SO00, SO01, SO11, SO20	：Serial Data Output
P10-P17	：Port 1		
P20-P23	：Port 2	TI00-TI03	：Timer Input
P30-P31	：Port 3	TO00-TO03	：Timer Output
P40-P42	：Port 4	TOOL0	：Data Input/Output for Tool
P50, P51	：Port 5	TOOLRxD, TOOLTxD	：Data Input/Output for External Device
P60, P61	：Port 6	TxD0-TxD2	：Transmit Data
P120- P122, P125	：Port 12	V_{DD}	：Power Supply
P137	：Port 13	V_{SS}	：Ground
P147	：Port 14	X1, X2	：Crystal Oscillator (Main System Clock)
PCLBUZ0	：Programmable Clock Output/ Buzzer Output		

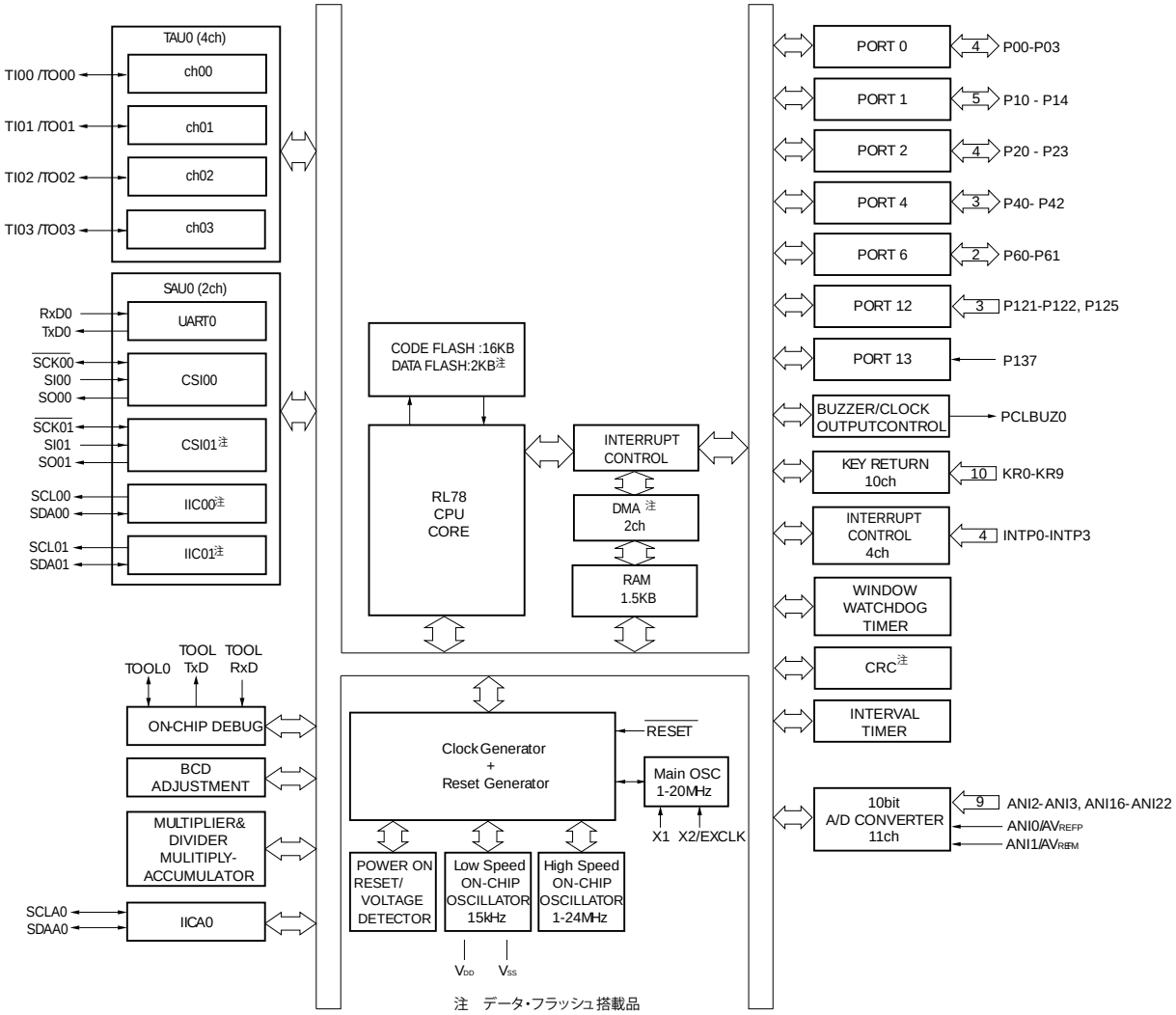
1. 5 ブロック図

1. 5. 1 20ピン製品



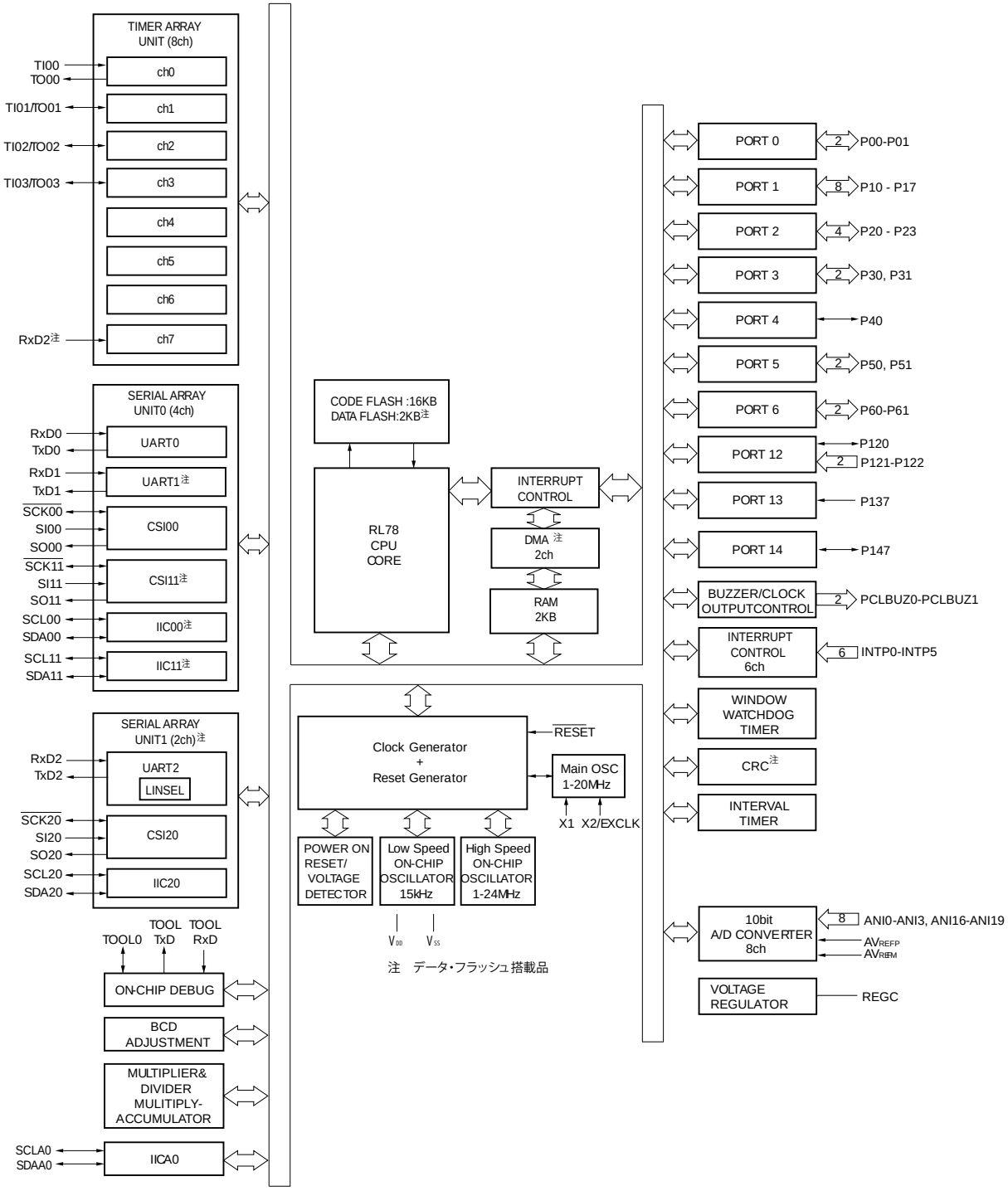
注 データ・フラッシュ搭載品

1. 5. 2 24ピン製品



注 データ・フラッシュ搭載品

★ 1. 5. 3 30ピン製品



注 データ・フラッシュ搭載品

★ 1.6 機能概要

(1/2)

項 目		20ピン		24ピン		30ピン	
		R5F1026x	R5F1036x	R5F1027x	R5F1037x	R5F102Ax	R5F103Ax
コード・フラッシュ・メモリ		2-16 KB		4-16 KB			
データ・フラッシュ・メモリ		2 KB	−	2 KB	−	2 KB	−
RAM		256 B -1.5 KB		512 B -1.5 KB		512 B -2KB	
メモリ空間		1 Mバイト					
メイン・システム・クロック	高速システム・クロック	X1（水晶／セラミック）発振，外部メイン・システム・クロック入力（EXCLK） 1〜20 MHz：V_{DD} = 2.7〜5.5 V, 1〜8 MHz：V_{DD} = 1.8〜5.5 V					
	HOCOクロック	24 MHz					
LOCOクロック		15 kHz					
汎用レジスタ		8ビット×32レジスタ（8ビット×8レジスタ×4バンク）					
最小命令実行時間		0.04167 μs（HOCOクロック：f_{IH} = 24 MHz動作時）					
		0.05 μs（高速システム・クロック：f_{MX} = 20 MHz動作時）					
命令セット		・8ビット演算，16ビット演算 ・乗算（8ビット×8ビット） ・ビット操作（セット，リセット，テスト，ブール演算）など					
I/Oポート	合計	18		22		26	
	CMOS入出力	12		16		21	
	CMOS入力	4		4		3	
	N-ch O.D入出力（6 V耐圧）	2					
タイマ	16ビット・タイマ	4チャネル				8チャネル	
	ウォッチドッグ・タイマ	1チャネル					
	インターバル・タイマ	1チャネル					
	タイマ出力	4本（PWM出力：3本[注]）					

注 設定によって出力数は変わります。

（2/2）

項 目		20ピン		24ピン		30ピン	
		R5F1026x	R5F1036x	R5F1027x	R5F1037x	R5F102Ax	R5F103Ax
クロック出力／ブザー出力		1本					
		2.44 kHz ～ 10 MHz（周辺ハードウエア・クロック：f_{MAIN} = 20 MHz動作時）					
8/10ビット分解能A/Dコンバータ		11チャネル				8チャネル	
シリアル・インタフェース		【データ・フラッシュ搭載品（20, 24ピン）】 CSI／UART／簡易I^2C ＋ CSI／簡易I^2C 【データ・フラッシュ搭載品（30ピン）】 CSI／UART／簡易I^2C ×3 【データ・フラッシュ非搭載品】 CSI ＋ UART					
	I^2Cバス	1チャネル					
乗除算・積和演算器		乗算 ：16ビット×16ビット = 32ビット（符号付／符号なし） 除算 ：32ビット÷32ビット = 32ビット（符号なし） 積和演算 ：16ビット×16ビット＋32ビット = 32ビット（符号付／符号なし）					
DMAコントローラ		2チャネル	－	2チャネル	－	2チャネル	－
ベクタ割り込み要因数	内部	17	15	17	15	27	18
	外部	5				7	
キー割り込み		6		10		－	
リセット		・$\overline{\text{RESET}}$端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・パワーオン・リセットによる内部リセット ・電圧検出回路による内部リセット ・不正命令の実行による内部リセット[注] ・RAMパリティ・エラーによる内部リセット ・不正メモリ・アクセスによる内部リセット					
パワーオン・リセット回路		・パワーオン・リセット ：1.51±0.03 V ・パワーダウン・リセット：1.50±0.03 V					
電圧検出回路		1.84 V～4.06 V（12段階）					
オンチップ・デバッグ機能		あり					
電源電圧		V_{DD} = 1.8～5.5 V					
動作周囲温度		T_A = －40～＋85 ℃					

注 FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章　端子機能

2. 1　端子機能一覧

2. 1. 1　20ピン製品

機能名称	入出力	機　　能	リセット時	兼用機能
P10	入出力	ポート1。 5ビット入出力ポート。 P10, P11の入力はTTL入力バッファに設定可能。 P10-P12の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	ANI16/PCLBUZ0/$\overline{\text{SCK00}}$/SCL00
P11				ANI17/SI00/RxD0/SDA00/TOOLRxD
P12				ANI18/SO00/TxD0/TOOLTxD
P13				ANI19/TI00/TO00/INTP2
P14				ANI20/TI01/TO01/INTP3
P20	入出力	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	アナログ入力ポート	ANI0/AV_{REFP}
P21				ANI1/AV_{REFM}
P22				ANI2
P23				ANI3
P40	入出力	ポート4。 3ビット入出力ポート。 P41の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート (P40) アナログ入力ポート (P41, P42)	KR0/TOOL0
P41				ANI22/SO01/SDA01/TI02/TO02/INTP1
P42				ANI21/$\overline{\text{SCK01}}$/SCL01/TI03/TO03
P60	入出力	ポート6。 2ビット入出力ポート。 出力はN-chオープン・ドレイン出力（6V耐圧）。 1ビット単位で入力／出力の指定可能。	入力ポート	KR4/SCLA0
P61				KR5/SDAA0
P121	入力	ポート12。 3ビット入力ポート。 P125はソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	KR3/X1
P122				KR2/X2/EXCLK
P125				KR1/SI01/$\overline{\text{RESET}}$
P137	入力	ポート13。 1ビット入力ポート。	入力ポート	INTP0

2. 1. 2　24ピン製品

機能名称	入出力	機　　能	リセット時	兼用機能
P00	入出力	ポート0。 4ビット入出力ポート。 P01の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	KR6
P01				KR7
P02				KR8
P03				KR9
P10	入出力	ポート1。 5ビット入出力ポート。 P10, P11の入力はTTL入力バッファに設定可能。 P10-P12の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	ANI16/PCLBUZ0/$\overline{\text{SCK00}}$/SCL00
P11				ANI17/SI00/RxD0/SDA00/TOOLRxD
P12				ANI18/SO00/TxD0/TOOLTxD
P13				ANI19/TI00/TO00/INTP2
P14				ANI20/TI01/TO01/INTP3
P20	入出力	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	アナログ入力ポート	ANI0/AV_{REFP}
P21				ANI1/AV_{REFM}
P22				ANI2
P23				ANI3
P40	入出力	ポート4。 3ビット入出力ポート。 P41の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート(P40) アナログ入力ポート(P41, P41)	KR0/TOOL0
P41				ANI22/SO01/SDA01/TI02/TO02/INTP1
P42				ANI21/$\overline{\text{SCK01}}$/SCL01/TI03/TO03
P60	入出力	ポート6。 2ビット入出力ポート。 出力はN-chオープン・ドレイン出力（6V耐圧）。 1ビット単位で入力／出力の指定可能。	入力ポート	KR4/SCLA0
P61				KR5/SDAA0
P121	入力	ポート12。 3ビット入力ポート。 P125はソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	KR3/X1
P122				KR2/X2/EXCLK
P125				KR1/SI01/$\overline{\text{RESET}}$
P137	入力	ポート13。 1ビット入力ポート。	入力ポート	INTP0

★　2. 1. 3　30ピン製品

（1/2）

機能名称	入出力	機　　能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 アナログ入力に設定可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	ANI17/TI00/TxD1
P01				ANI16/TO00/RxD1
P10	入出力	ポート1。 8ビット入出力ポート。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	$\overline{SCK00}$/SCL00
P11				SI00/RxD0/ TOOLRxD/SDA00
P12				SO00/TxD0/ TOOLTXD
P13				TxD2/SO20
P14				RxD2/SI20/SDA20
P15				PCLBUZ1/$\overline{SCK20}$/ SCL20
P16				TI01/TO01/INTP5
P17				TI02/TO02
P20	入出力	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	アナログ入力ポート	ANI0/AV_{REFP}
P21				ANI1/AV_{REFM}
P22				ANI2
P23				ANI3
P30	入出力	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	INTP3/ $\overline{SCK11}$/SCL11
P31				TI03/TO03/INTP4/ PCLBUZ0
P40	入出力	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P50	入出力	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1/SI11/SDA11
P51				INTP2/SO11
P60	入出力	ポート6。 2ビット入出力ポート。 N-chオープン・ドレイン出力（6 V耐圧） 1ビット単位で入力／出力の指定可能。	入力ポート	SCLA0
P61				SDAA0

（2/2）

機能名称	入出力	機　　能	リセット時	兼用機能
P120	入出力	ポート12。 1ビット入出力ポートと2ビット入力ポート。 P120はアナログ入力に設定可能。 P120のみ，入力／出力の指定が可能。 P120のみ，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	ANI19
P121	入力			X1
P122				X2/EXCLK
P137	入力	ポート13。 1ビット入力専用ポート。	入力ポート	INTP0
P147	入出力	ポート14。 1ビット入出力ポート。 アナログ入力に設定可能。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	ANI18

★ 2. 1. 4 製品別搭載端子（ポート以外の端子）

（1/2）

機能名称	入出力	機　能	20ピン製品	24ピン製品	30ピン製品
ANI0	入力	A/Dコンバータのアナログ入力	○	○	○
ANI1			○	○	○
ANI2			○	○	○
ANI3			○	○	○
ANI16			○	○	○
ANI17			○	○	○
ANI18			○	○	○
ANI19			○	○	○
ANI20			○	○	−
ANI21			○	○	−
ANI22			○	○	−
INTP0	入力	外部割り込み入力	○	○	○
INTP1			○	○	○
INTP2			○	○	○
INTP3			○	○	○
INTP4			−	−	○
INTP5			−	−	○
KR0	入力	キー割り込み入力	○	○	−
KR1			○	○	−
KR2			○	○	−
KR3			○	○	−
KR4			○	○	−
KR5			○	○	−
KR6			−	○	−
KR7			−	○	−
KR8			−	○	−
KR9			−	○	−
PCLBUZ0	出力	クロック出力／ブザー出力	○	○	○
PCLBUZ1			−	−	○
REGC	−	内部動作用レギュレータ出力（2.4 V）安定容量接続。コンデンサ（0.47～1 μF：ターゲット）を介し，Vssに接続してください。	−	−	○
$\overline{\text{RESET}}$	入力	外部リセット入力	○	○	○
RxD0	入力	UART0-UART2のシリアル・データ入力	○	○	○
RxD1			−	−	○注
RxD2			−	−	○注
TxD0	出力	UART0-UART2のシリアル・データ出力	○	○	○
TxD1			−	−	○注
TxD2			−	−	○注

注 データ・フラッシュ搭載品

(2/2)

機能名称	入出力	機　　能	20ピン製品	24ピン製品	30ピン製品
$\overline{SCK00}$	入出力	CSI00, CSI01, CSI11, CSI20のクロック入力／出力	○	○	○
$\overline{SCK01}$			○注	○注	－
$\overline{SCK11}$			－	－	○注
$\overline{SCK20}$			－	－	○注
SCLA0	入出力	I^2Cのクロック入力／出力	○	○	○
SDAA0	入出力	I^2Cのシリアル・データ入力／出力	○	○	○
SCL00	入出力	簡易I^2Cのクロック入力／ 出力	○注	○注	○注
SCL01			○注	○注	－
SCL11			－	－	○注
SCL20			－	－	○注
SDA00	入出力	簡易I^2Cのシリアル・データ入出力	○注	○注	○注
SDA01			○注	○注	－
SDA11			－	－	○注
SDA20			－	－	○注
SI00	入力	CSI00, CSI01, CSI11, CSI20のシリアル・データ入力	○注	○注	○注
SI01			○注	○注	－
SI11			－	－	○注
SI20			－	－	○注
SO00	出力	CSI00, CSI01, CSI11, CSI20のシリアル・データ出力	○注	○注	○注
SO01			○注	○注	－
SO11			－	－	○注
SO20			－	－	○注
TI00	入力	16ビット・タイマ00への外部カウント・クロック 入力	○	○	○
TI01		16ビット・タイマ01への外部カウント・クロック 入力	○	○	○
TI02		16ビット・タイマ02への外部カウント・クロック 入力	○	○	○
TI03		16ビット・タイマ03への外部カウント・クロック 入力	○	○	○
TO00	出力	16 ビット・タイマ00 出力	○	○	○
TO01		16 ビット・タイマ01 出力	○	○	○
TO02		16 ビット・タイマ02 出力	○	○	○
TO03		16 ビット・タイマ03 出力	○	○	○
X1	－	メイン・システム・クロック用発振子接続	○	○	○
X2	－		○	○	○
EXCLK	入力	メイン・システム・クロック用外部クロック入力	○	○	○
V_{DD}	－	正電源	○	○	○
AV_{REFP}	入力	A/D コンバータの基準電位（＋側） 入力	○	○	○
AV_{REFM}	入力	A/D コンバータの基準電位（－側） 入力	○	○	○
V_{SS}	－	グランド電位	○	○	○
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UART受信端子	○	○	○
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UART送信端子	○	○	○
TOOL0	入出力	フラッシュ・メモリ・プログラマ／デバッガ用データ入出力	○	○	○

注　データ・フラッシュ搭載品

2. 2 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと，未使用端子の処理を表2－2, 2－3に示します。

表2－2 未使用端子の処理（20, 24ピン製品）

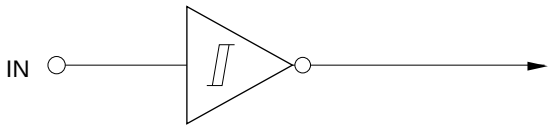
端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/KR6	8-R	入出力	入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P01/KR7			
P02/KR8			
P03/KR9			
P10/ANI16/PCLBUZ0/$\overline{SCK00}$/SCL00	11-V		
P11/ANI17/SI00/RxD0/SDA00/TOOLRxD			
P12/ANI18/SO00/TxD0/TOOLTxD	11-U		
P13/ANI19/TI00/TO00/INTP2			
P14/ANI20/TI01/TO01/INTP3			
P20/ANI0/AV_{REFP}	11-T		
P21/ANI1/AV_{REFM}			
P22/ANI2	11-G		
P23/ANI3			
P40/KR0/TOOL0	8-R		入力時：個別に抵抗を介して，V_{DD}に接続かオープンにしてください。 出力時：オープンにしてください。
P41/ANI22/SO01/SDA01/TI02/TO02/INTP1	11-U		入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P42/ANI21/$\overline{SCK01}$/SCL01/TI03/TO03			
P60/KR4/SCLA0	13-R		
P61/KR5/SDAA0			
P121/KR3/X1	37-C	入力	個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。
P122/KR2/X2/EXCLK			
P125/KR1/SI01/$\overline{RESET}$	42-B		PORTSELB=0：個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。 PORTSELB=1：直接または個別に抵抗を介して，V_{DD}に接続してください。
P137/INTP0	2		個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。

★ **表2－3　未使用端子の処理（30ピン製品）**

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/ANI17/TI00/TxD1	11-U	入出力	入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P01/ANI16/TO00/RxD1	11-V		
P10/$\overline{\text{SCK00}}$/SCL00	5-AN		
P11/SI00/RxD0/TOOLRxD/SDA00			
P12/SO00/TxD0/TOOLTxD	8-R		
P13/TxD2/SO20	5-AN		
P14/RxD2/SI20/SDA20			
P15/PCLBUZ1/$\overline{\text{SCK20}}$/SCL20			
P16/TI01/TO01/INTP5			
P17/TI02/TO02			
P20/ANI0/AVREFP	11-T		
P21/ANI1/AVREFM			
P22/ANI2	11-G		
P23/ANI3			
P30/INTP3/$\overline{\text{SCK11}}$/SCL11	8-R		
P31/TI03/TO03/INTP4/PCLBUZ0			
P40/TOOL0			
P50/INTP1/SI11/SDA11			
P51/INTP2/SO11			
P60/SCLA0	13-R		
P61/SDAA0			
P120/ANI19	11-U		
P121/X1	37-C	入力	入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。
P122/X2/EXCLK			
P137/INTP0	2		
P147/ANI18	11-U	入出力	入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
$\overline{\text{RESET}}$	2	入力	入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。

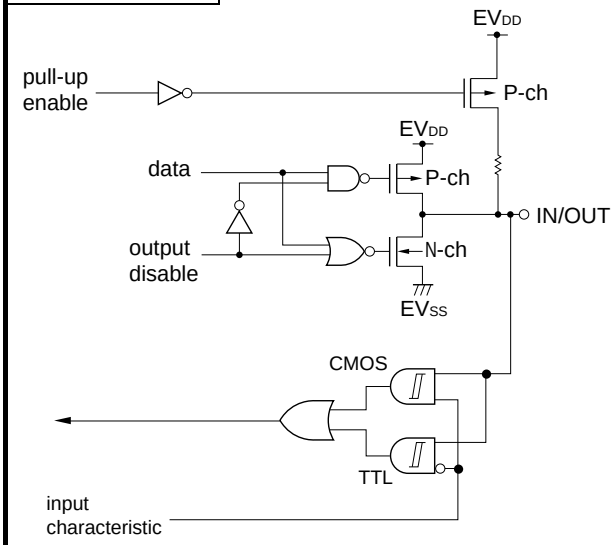
図2ー1 端子の入出力回路一覧（1/2）

タイプ2

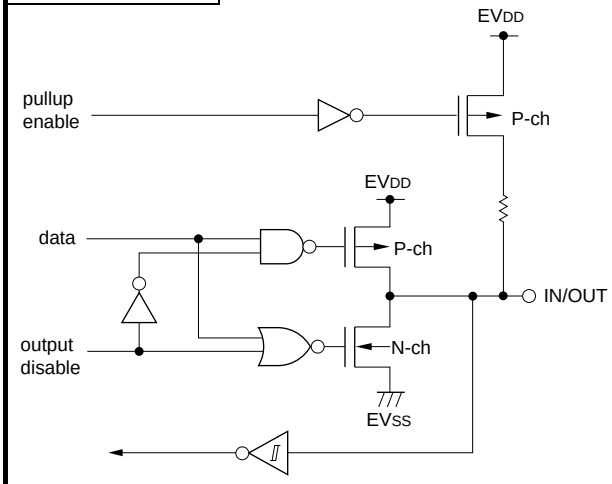


ヒステリシス特性を有するシュミット・トリガ入力となっています。

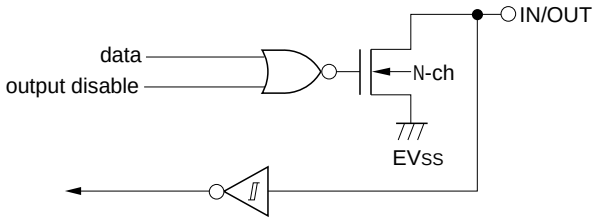
タイプ5-AN



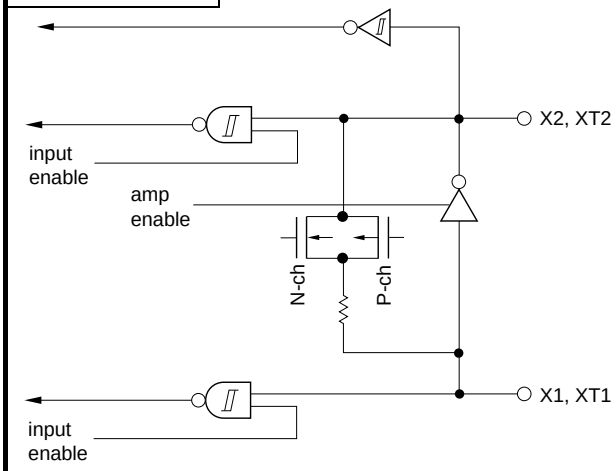
タイプ8-R



タイプ13-R



タイプ37-C



タイプ42-B

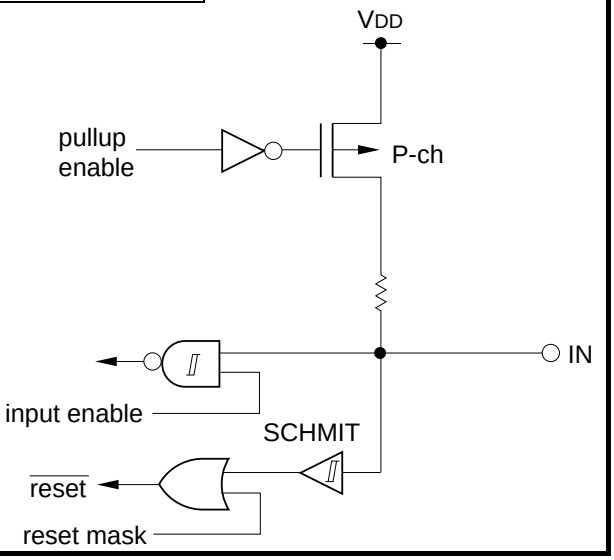
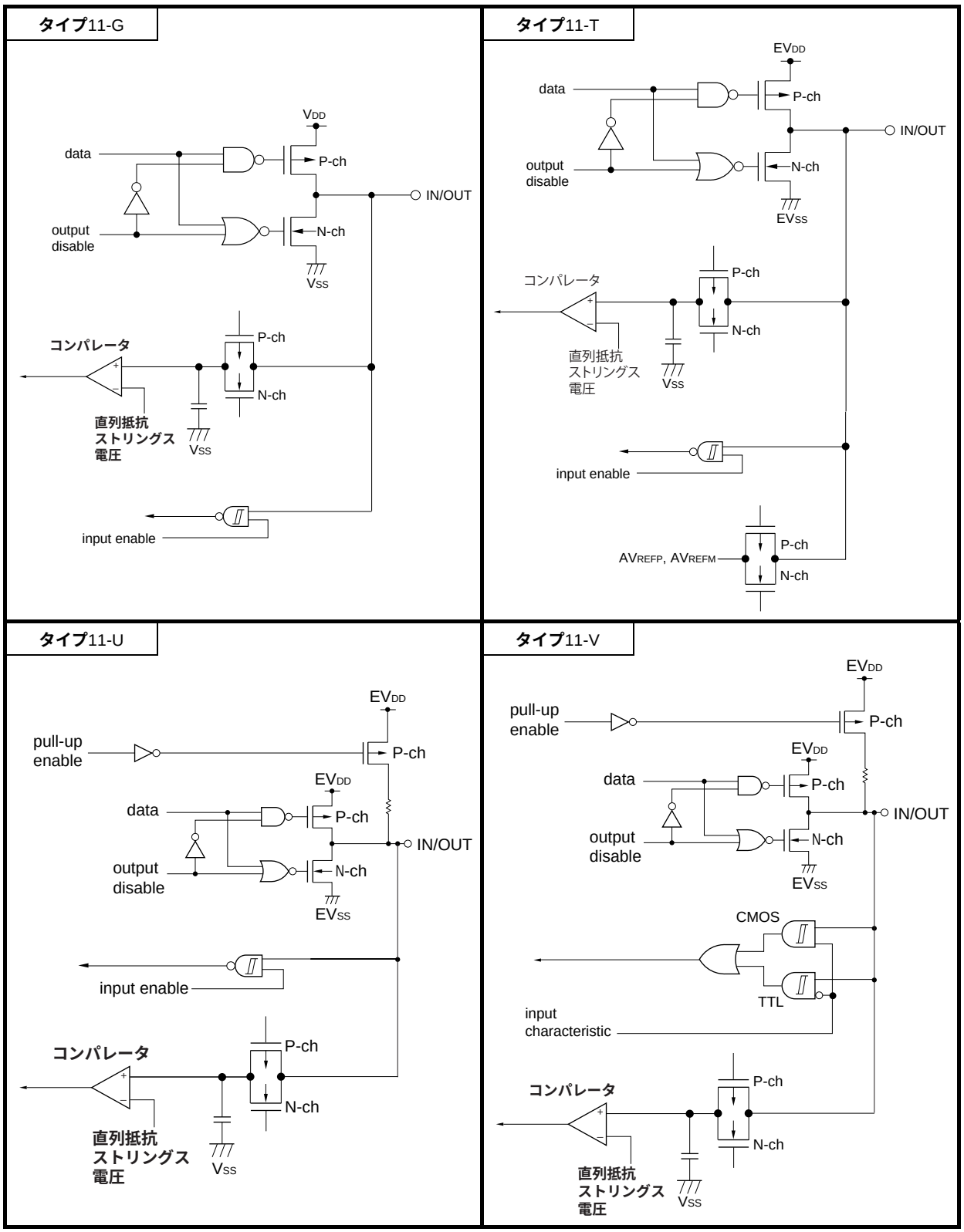


図2ー1 端子の入出力回路一覧（2/2）

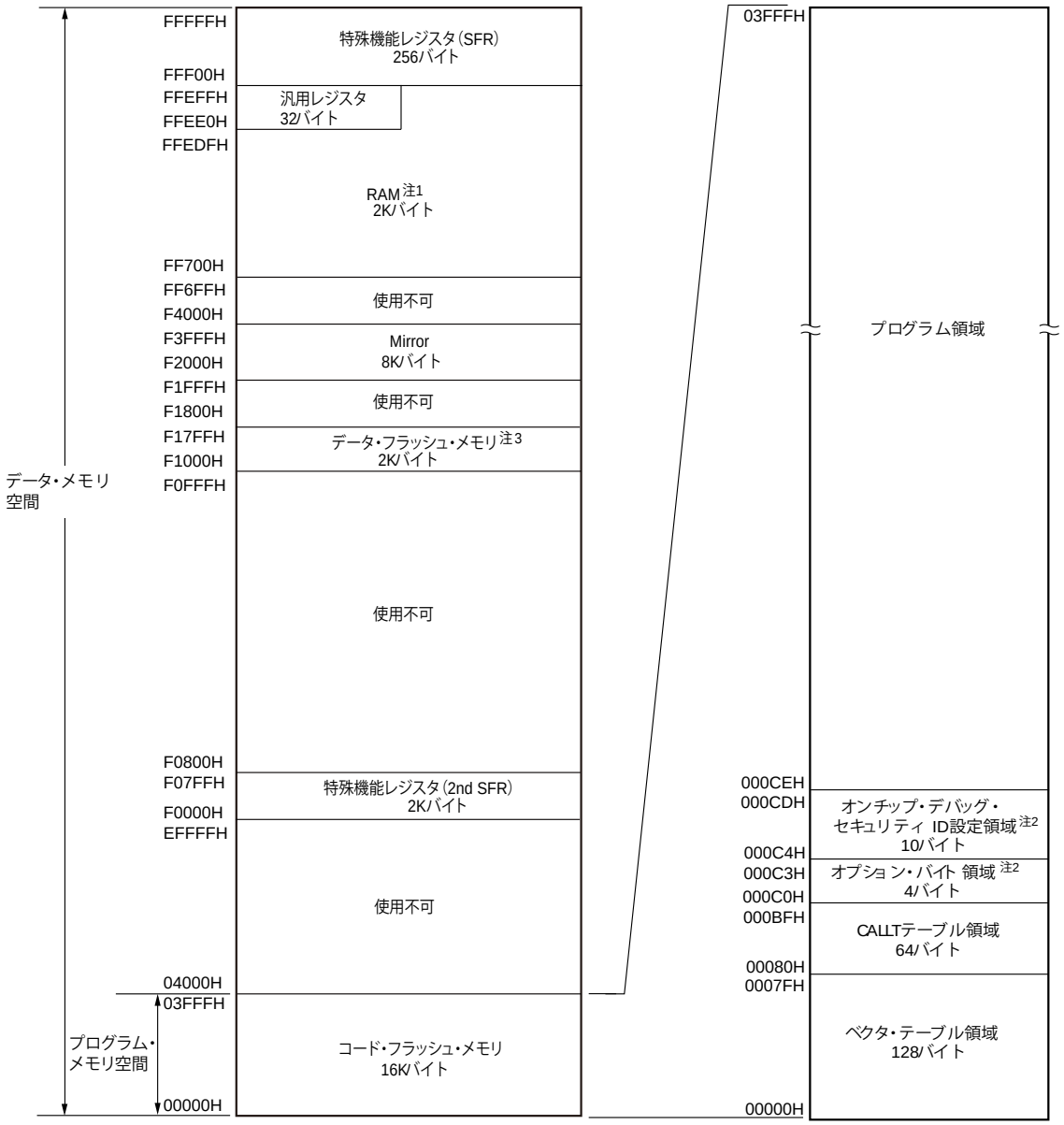


第3章　CPUアーキテクチャ

3. 1　メモリ空間

RL78/G12は，1 Mバイトのメモリ空間をアクセスできます。図3－1～図3－6に，メモリ・マップを示します。

★ **図3ー1　メモリ・マップ（**R5F10xAA（x =2, 3）**）**



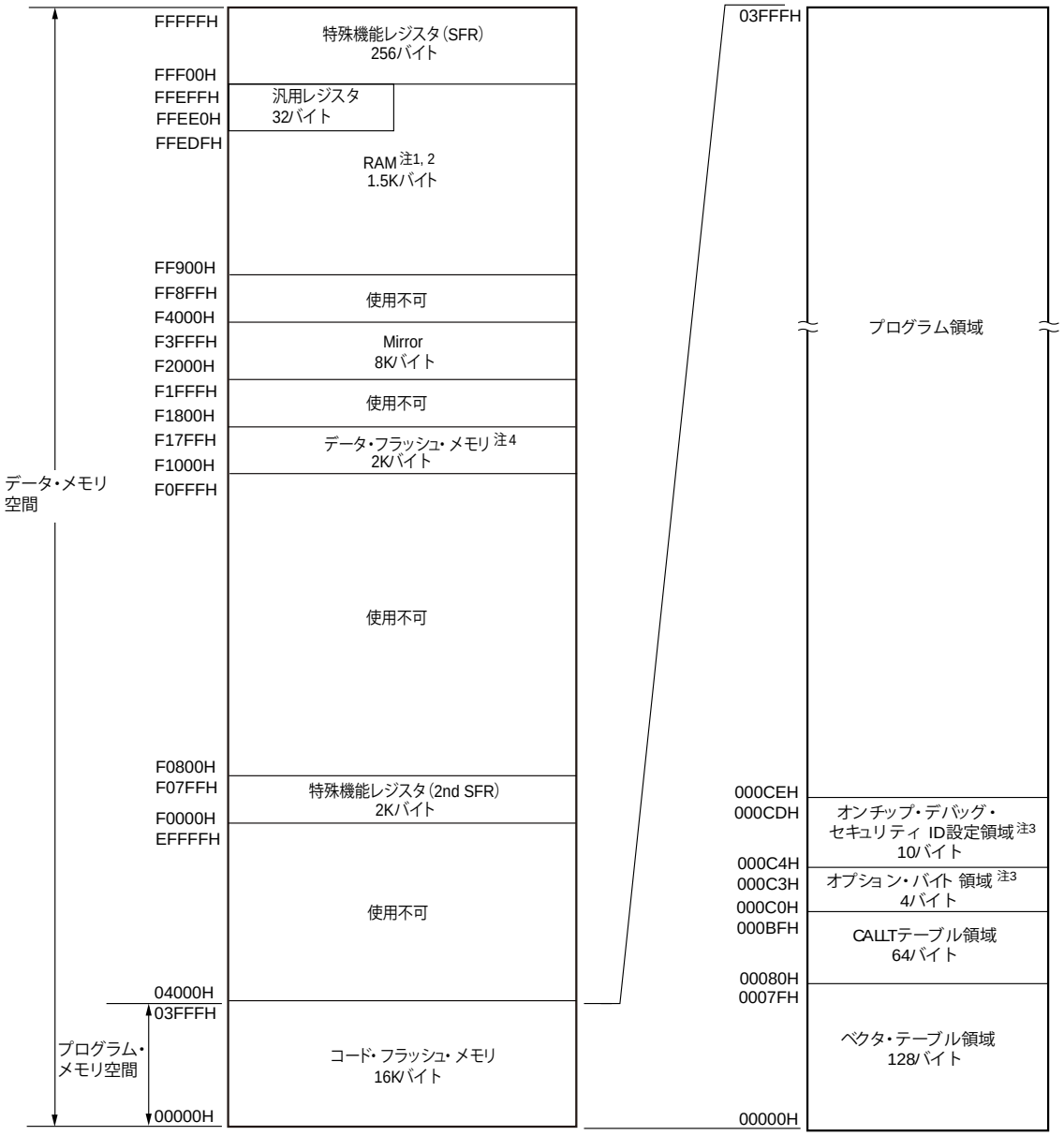
注1.　**汎用レジスタを除いた**RAM**領域から命令実行をすることができます。**

2.　000C0H-000C3H**にオプション・バイト，**000C4H-000CDH**にオンチップ・デバッグ・セキュリティ**ID**を設定**

3.　R5F102AA**のみ。**

注意　RAM**領域から命令実行し，**RAM**パリティ・エラー・リセット発生を許可する（**RPERDIS = 1**）場合，**
「使用するRAM**領域＋**10**バイト」の領域を必ず初期化してください。**

図3ー2　メモリ・マップ（R5F10x6A, R5F10x7A（x =2, 3）**）**

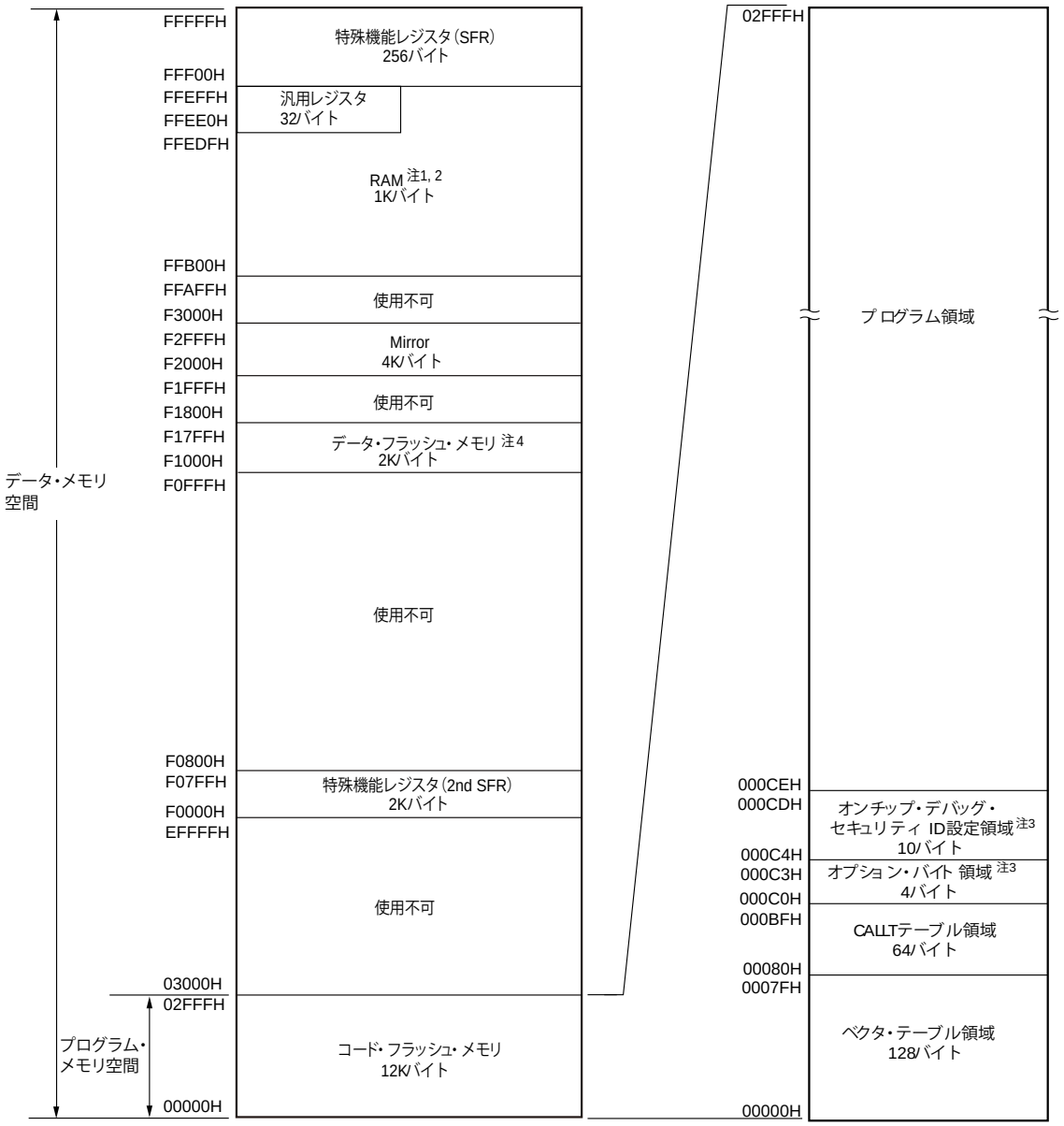


注1. **セルフ・プログラミング機能使用時は，セルフ・プログラミング・ライブラリで使用する**FF900H-FFC819H **の領域が使用禁止になります。**

2. **汎用レジスタを除いた**RAM**領域から命令実行をすることができます。**
3. 000C0H-000C3H**にオプション・バイト，**000C4H-000CDH**にオンチップ・デバッグ・セキュリティ**ID**を設定**
4. R5F1026A, R5F1027A**のみ。**

★　**注意**　RAM**領域から命令実行し，**RAM**パリティ・エラー・リセット発生を許可する（**RPERDIS = 1**）場合，**
「使用するRAM**領域＋**10**バイト」の領域を必ず初期化してください。**

★ **図3ー3　メモリ・マップ（**R5F10x69, R5F10x79, R5F10xA9（x =2, 3）**）**



注1. **セルフ・プログラミング機能使用時は，セルフ・プログラミング・ライブラリで使用する**FFB00H-FFC819H **の領域が使用禁止になります。**

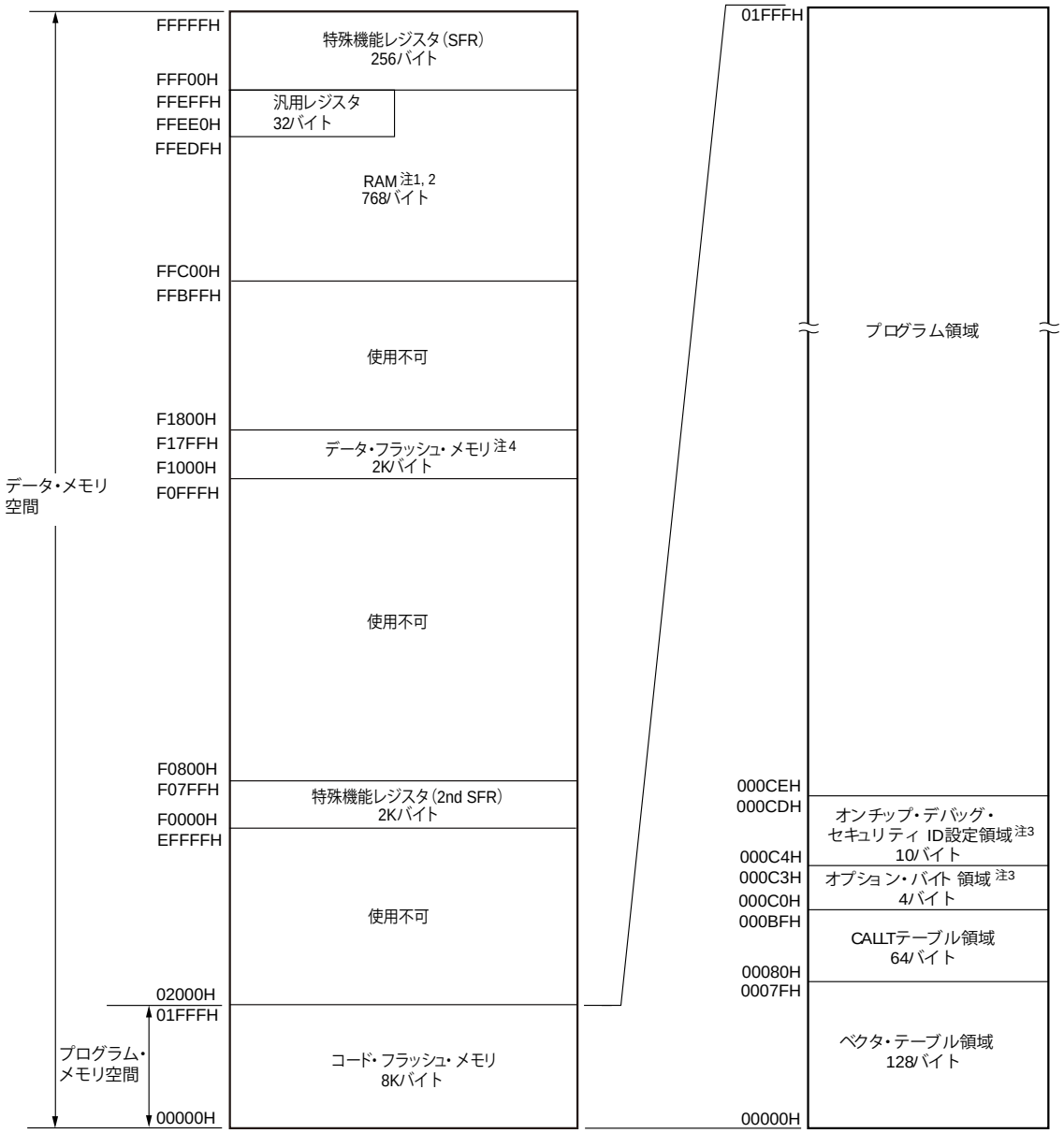
2. **汎用レジスタを除いた**RAM**領域から命令実行をすることができます。**

3. 000C0H-000C3H**にオプション・バイト，**000C4H-000CDH**にオンチップ・デバッグ・セキュリティ**IDを設定

★ 4. R5F10269, R5F10279, R5F102A9**のみ。**

★ **注意**　RAM**領域から命令実行し，**RAM**パリティ・エラー・リセット発生を許可する（**RPERDIS = 1**）場合，「使用する**RAM**領域＋**10**バイト」の領域を必ず初期化してください。**

★ **図3ー4　メモリ・マップ（**R5F10x68, R5F10x78, R5F10xA8（x =2, 3）**）**



注1. **セルフ・プログラミング機能使用時は，セルフ・プログラミング・ライブラリで使用する**FFC00H-FFC819H **の領域が使用禁止になります。**

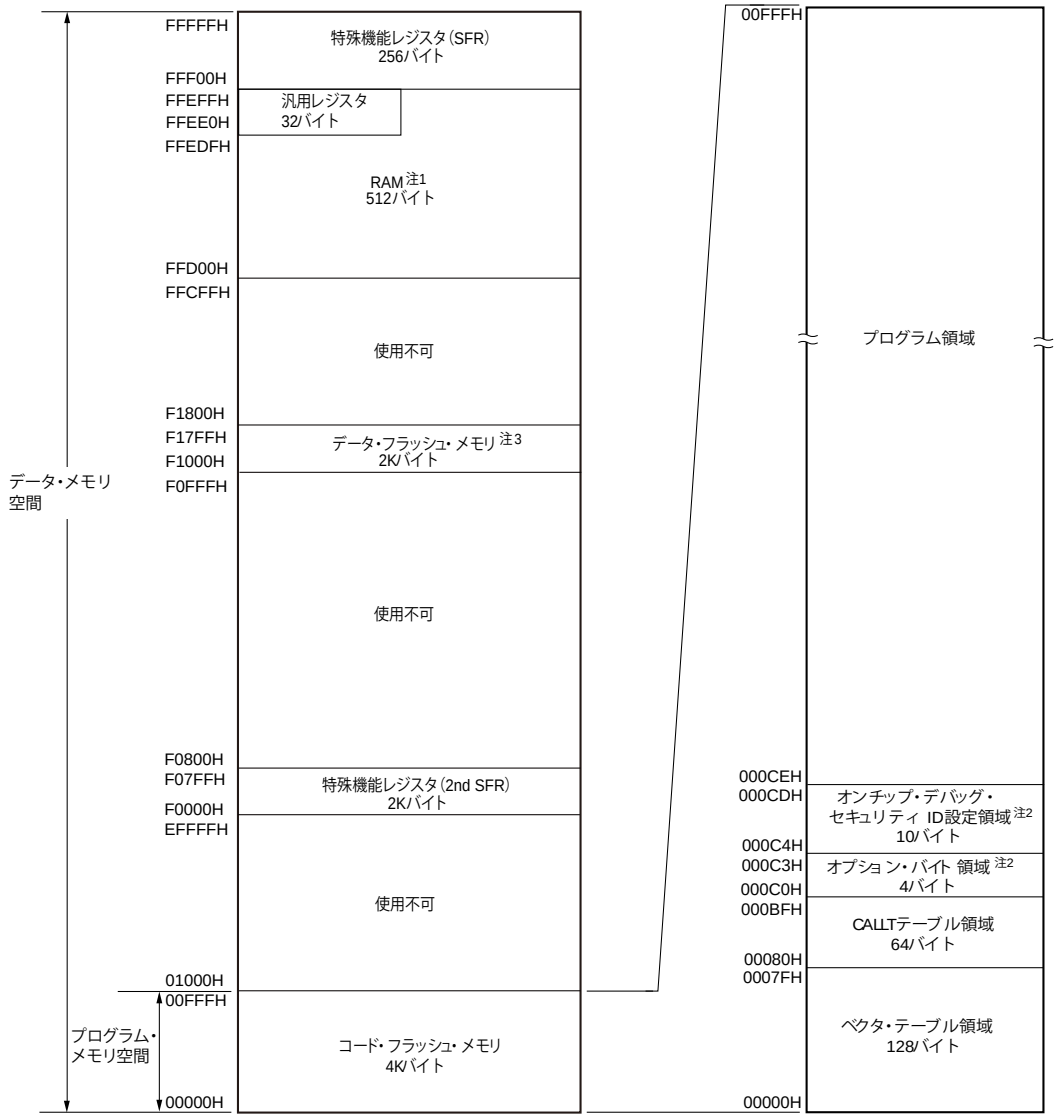
2. **汎用レジスタを除いた**RAM**領域から命令実行をすることができます。**

3. 000C0H-000C3H**にオプション・バイト，**000C4H-000CDH**にオンチップ・デバッグ・セキュリティ**ID**を設定**

★ 4. R5F10268, R5F10278, R5102A8**のみ**。

★ **注意**　RAM**領域から命令実行し，**RAM**パリティ・エラー・リセット発生を許可する（**RPERDIS = 1**）場合，「使用する**RAM**領域＋**10**バイト」の領域を必ず初期化してください。**

★ **図3ー5　メモリ・マップ（**R5F10x67, R5F10x77, R5F10xA7（x =2, 3）**）**



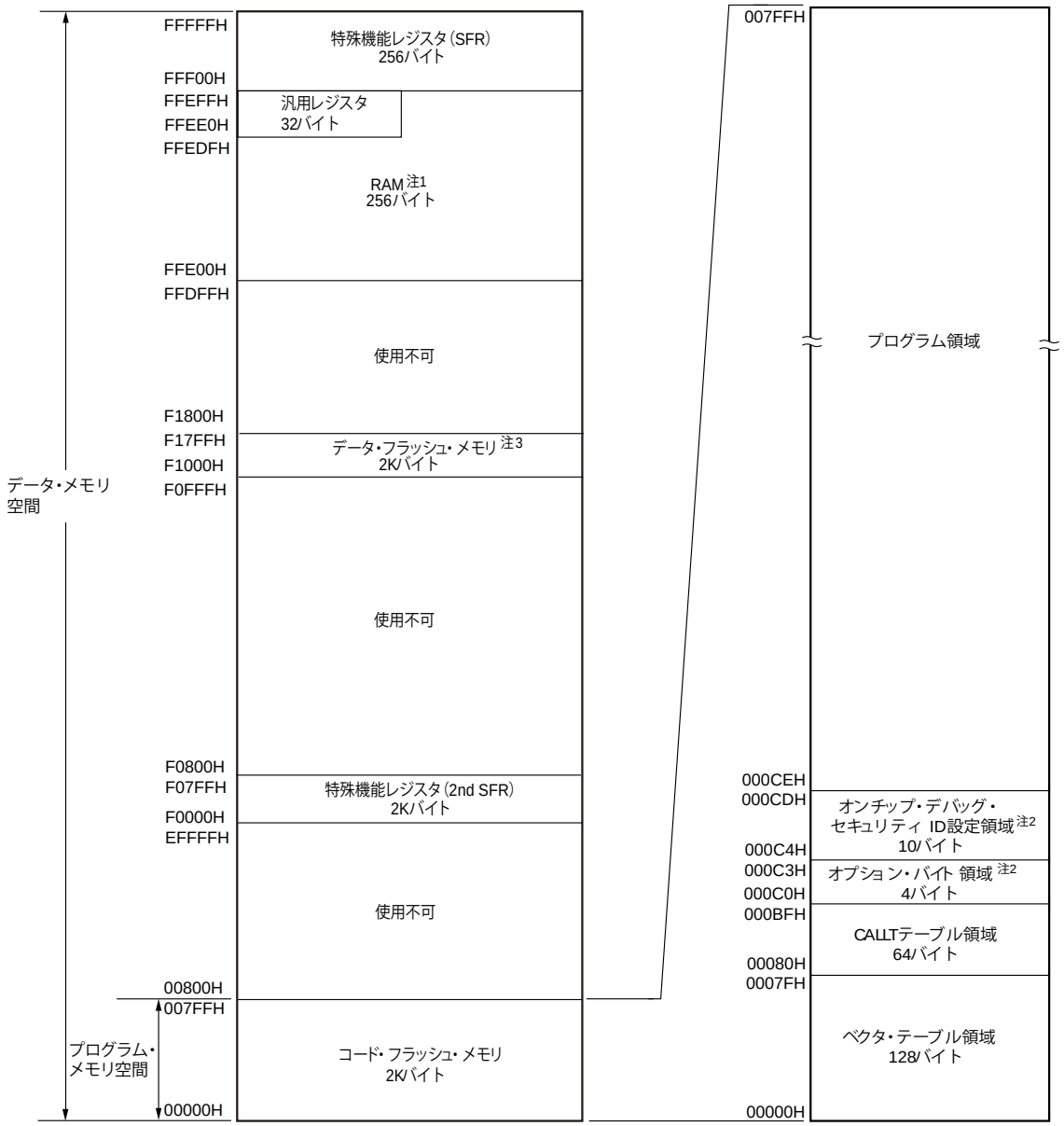
注1. **汎用レジスタを除いた**RAM**領域から命令実行をすることができます。**

2. 000C0H-000C3H**にオプション・バイト，**000C4H-000CDH**にオンチップ・デバッグ・セキュリティ**ID**を設定**

★ 3. R5F10267, R5F10277, R5F102A7**のみ。**

★ **注意**　RAM**領域から命令実行し，**RAM**パリティ・エラー・リセット発生を許可する（**RPERDIS = 1**）場合，**
「使用するRAM**領域＋**10**バイト」の領域を必ず初期化してください。**

★ **図3－6　メモリ・マップ（**R5F10266, R5F10366**）**



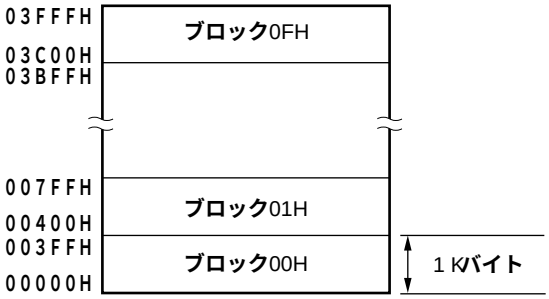
注1.　**汎用レジスタを除いた**RAM**領域から命令実行をすることができます。**

2.　000C0H-000C3H**にオプション・バイト，**000C4H-000CDH**にオンチップ・デバッグ・セキュリティ**ID**を設定**

3.　R5F10266**のみ。**

★　**注意**　RAM**領域から命令実行し，**RAM**パリティ・エラー・リセット発生を許可する（**RPERDIS = 1**）場合，**
「使用するRAM**領域＋**10**バイト」の領域を必ず初期化してください。**

備考　フラッシュ・メモリはブロックごとに分かれています（1ブロック = 1 Kバイト）。アドレス値とブロック番号については，表3ー1　フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



（R5F1026A, R5F1027Aの場合）

フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3ー1　フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック番号
00000H-003FFH	00H
00400H-007FFH	01H
00800H-00BFFH	02H
00C00H-00FFFH	03H
01000H-013FFH	04H
01400H-017FFH	05H
01800H-01BFFH	06H
01C00H-01FFFH	07H
02000H-023FFH	08H
02400H-027FFH	09H
02800H-02BFFH	0AH
02C00H-02FFFH	0BH
03000H-033FFH	0CH
03400H-037FFH	0DH
03800H-03BFFH	0EH
03C00H-03FFFH	0FH

3. 1. 1　内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/G12は，次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3ー2　内部ROM容量

	製　品	内部ROM	
		構　造	容　量
	R5F10x66	フラッシュ・メモリ	2048×8ビット（00000H-007FFH）
	R5F10x67, R5F10x77		4096×8ビット（00000H-00FFFH）
	R5F10x68, R5F10x78		8192×8ビット（00000H-01FFFH）
	R5F10x69, R5F10x79		12288×8ビット（00000H-02FFFH）
★	R5F10x6A, R5F10x7A, R5F10xAA		16384×8ビット（00000H-03FFFH）

（x =2, 3）

内部プログラム・メモリ空間には，次に示す領域を割り付けています。

（1）ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には，リセット，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また，ベクタ・コードは2バイトとしているため，割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに，上位8ビットが奇数アドレスに格納されます。

★ **表3－3　ベクタ・テーブル（20, 24ピン製品）**

ベクタ・テーブル・アドレス	割り込み要因
0000H	$\overline{\text{RESET}}$, POR, LVD, WDT,TRAP, IAW, RAMTOP
0004H	INTWDTI
0006H	INTLVI
0008H	INTP0
000AH	INTP1
000CH	INTP2
000EH	INTP3
0010H	INTDMA0[注]
0012H	INTDMA1[注]
0014H	INTST0/INTCSI00/INTIIC00[注]
0016H	INTSR0/INTCSI01[注]/INTIIC01[注]
0018H	INTSRE0
001AH	INTTM01H
001CH	INTTM03H
001EH	INTIICA0
0020H	INTTM00
0022H	INTTM01
0024H	INTTM02
0026H	INTTM03
0028H	INTAD
002AH	INTIT
002CH	INTKR
002EH	INTMD
007EH	BRK

注　データ・フラッシュ搭載品

表3－4　ベクタ・テーブル（30ピン製品）

ベクタ・テーブル・アドレス	割り込み要因
0000H	$\overline{\text{RESET}}$, POR, LVD, WDT, TRAP, IAW, RAMTOP
0004H	INTWDTI
0006H	INTLVI
0008H	INTP0
000AH	INTP1
000CH	INTP2
000EH	INTP3
0010H	INTP4
0012H	INTP5
0014H	INTST2/INTCSI20注/INTIIC20注
0016H	INTSR2注
0018H	INTSRE2注
001AH	INTDMA0注
001CH	INTDMA1注
001EH	INTST0/INTCSI00/INTIIC00注
0020H	INTSR0
0022H	INTSRE0/INTTM01H
0024H	INTST1注
0026H	INTSR1注/INTCSI11注/INTIIC11注
0029H	INTTM03H
002AH	INTIICA0
002CH	INTTM00
002EH	INTTM01
0030H	INTTM02
0032H	INTTM03
0034H	INTAD
0038H	INTIT
0042H	INTTM04
0044H	INTTM05
0046H	INTTM06
0048H	INTTM07
005EH	INTMD
0062H	INTFL
007EH	BRK

注　データ・フラッシュ搭載品

（2）CALLT命令テーブル領域

00080H-000BFHの64バイト領域には，2バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください（アドレス・コードが2バイトのため）。

（3）オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。詳細は第23章　オプション・バイトを参照してください。

（4）オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。詳細は第25章　オンチップ・デバッグ機能を参照してください。

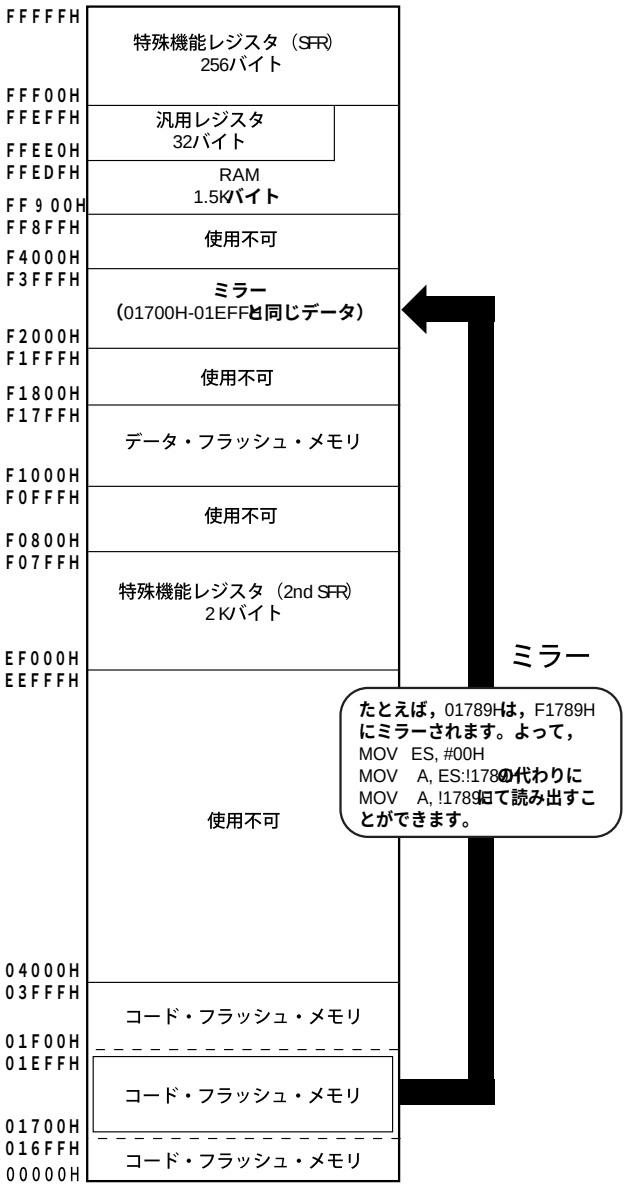
3. 1. 2　ミラー領域

RL78/G12では，00000H-0FFFFHのコード・フラッシュ・エリアをF0000H-FFFFFHへミラーさせています。（プロセッサ・モード・コントロール・レジスタ（PMC）で設定）。

ミラー先のF0000H-FFFFFHからデータを読み出すことにより，オペランドにESレジスタを持たない命令を使用することができるため，短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし，SFR，拡張SFR，RAM領域，使用不可領域にはミラーされません。

各製品のミラー領域は，3. 1　メモリ空間を参照してください。
ミラー領域は読み出しのみ可能で，命令フェッチはできません。
次に例を示します。

例　R5F1026A/1027A（フラッシュ・メモリ 16 Kバイト，RAM 1.5 Kバイト）の場合



次に，PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ（PMC）

F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図3－7　プロセッサ・モード・コントロール・レジスタ（PMC）のフォーマット

アドレス：FFFFEH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定
0	00000H-0FFFFHをF0000H-FFFFFHへミラー
1	設定禁止

注意1. **必ずビット**0（MAA）**を**0**（初期値）でご使用ください。**

2. PMC**レジスタの設定は，**DMA**コントローラを動作させる前に初期設定で**1**度だけ行ってください。初期設定以外での**PMC**レジスタの書き替えは禁止です。**

3. PMC**レジスタの設定後，**1**命令以上空けてミラー領域にアクセスしてください。**

3. 1. 3　内部データ・メモリ空間

RL78/G12**は，次に示す**RAM**を内蔵しています。**

★ **表**3－5　**内部**RAM**容量**

製　品	内部RAM
R5F10x66	256×8**ビット（**FFE00H-FFEFFH**）**
R5F10x67, R5F10x77, R5F10xA7	512×8**ビット（**FFD00H-FFEFFH**）**
R5F10x68, R5F10x78, R5F10xA8	768×8**ビット（**FFC00H-FFEFFH**）**
R5F10x69, R5F10x79, R5F10xA9	1024×8**ビット（**FFB00H-FFEFFH**）**
R5F10x6A, R5F10x7A	1536×8**ビット（**FF900H-FFEFFH**）**
R5F10xAA	2048×8**ビット（**FF700H-FFEFFH**）**

(x=2, 3)

内部RAM**は，データ領域として使用できるほか，プログラム領域として命令を書いて実行することができます。内部**RAM**領域のうち**FFEE0H-FFEFFH**の32バイトの領域には，8ビット・レジスタ8個を1バンクとする汎用レジスタが，4バンク割り付けられます。汎用レジスタでは命令実行できません。**

また，スタック・メモリは内部RAM**を使用します。**

注意1. **汎用レジスタ（**FFEE0H-FFEFFH**）の空間は，命令フェッチやスタック領域としての使用を禁止します。**

2. **セルフ・プログラミング機能使用時は，セルフ・プログラミング・ライブラリで使用する領域が使用禁止になります（詳細はセルフ・プログラミングのアプリケーション・ノート参照）。**

3. 1. 4　特殊機能レジスタ（SFR：Special Function Register）領域

FFF00H-FFFFFHの領域には，オン・チップ周辺ハードウエアの特殊機能レジスタ（SFR）が割り付けられています（3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）の表3ー5参照）。

注意　SFRが割り付けられていないアドレスにアクセスしないでください。

3. 1. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域

F0000H-F07FFHの領域には，オン・チップ周辺ハードウエアの拡張特殊機能レジスタ（2nd SFR）が割り付けられています（3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）の表3ー6参照）。

SFR領域（FFF00H-FFFFFH）以外のSFRが割り付けられています。ただし，拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

注意　拡張SFRが割り付けられていないアドレスにアクセスしないでください。

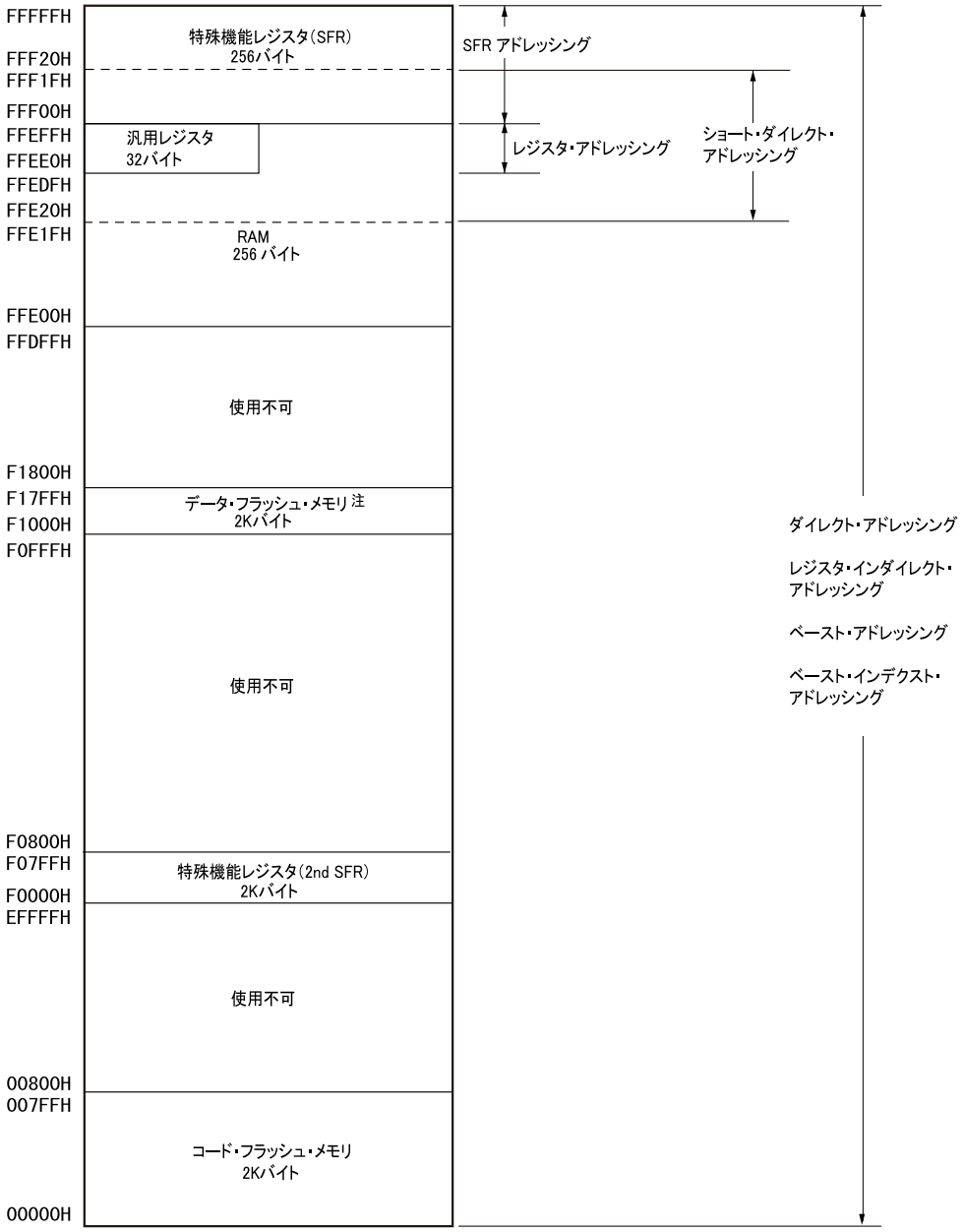
3. 1. 6　データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり，命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて，RL78/G12では，その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では，特殊機能レジスタ（SFR）や汎用レジスタなど，それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3－8～3－13にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、「3. 4　処理データ・アドレスに対するアドレッシング」を参照してください。

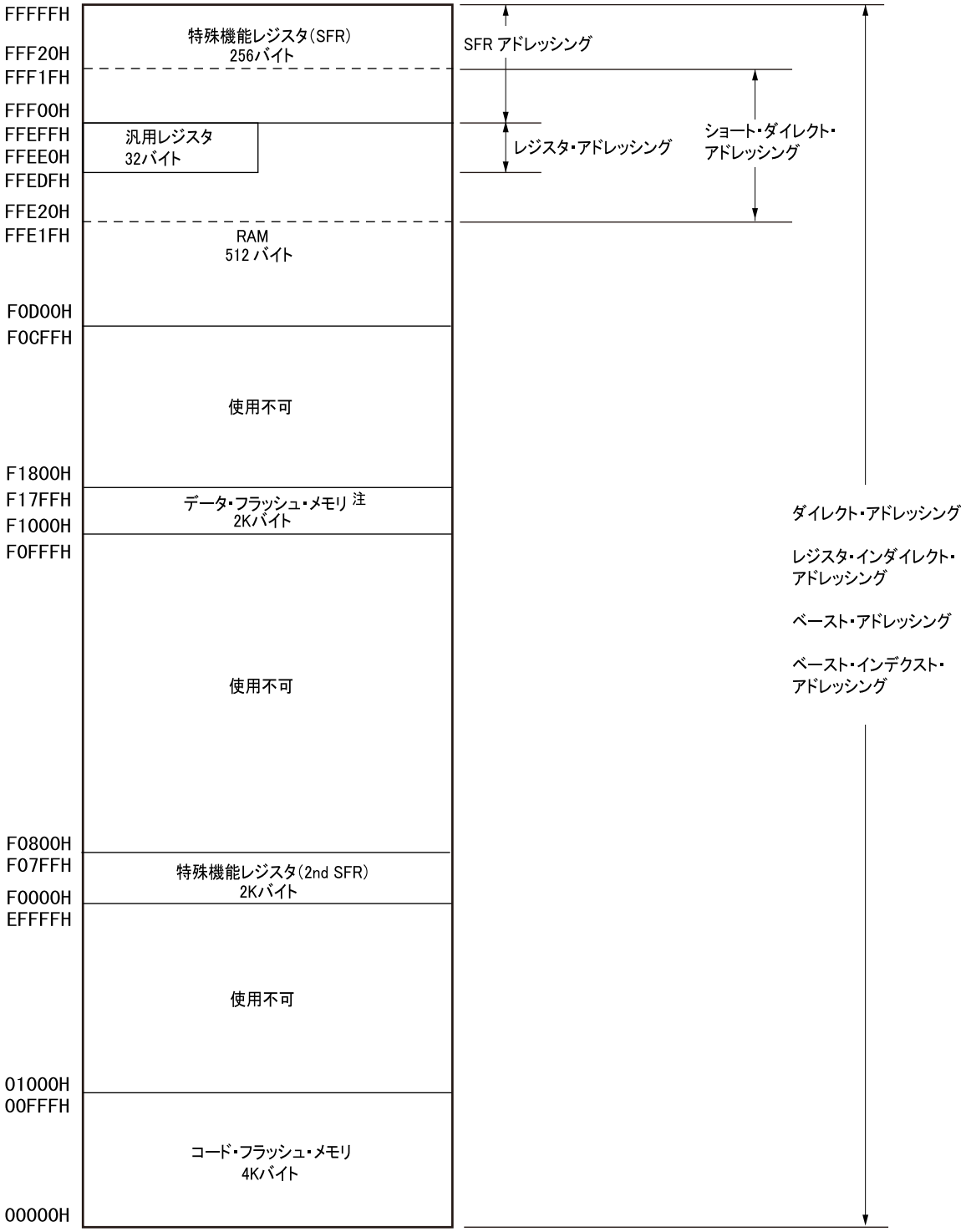
図3－8　データ・メモリとアドレッシングの対応（R5F10266, R5F10366）



注　R5F10266**のみ。**

★　**注意**　RAM**領域から命令実行し，**RAM**パリティ・エラー・リセット発生を許可する（**RPERDIS = 1**）場合，「使用する**RAM**領域＋10バイト」の領域を必ず初期化してください。**

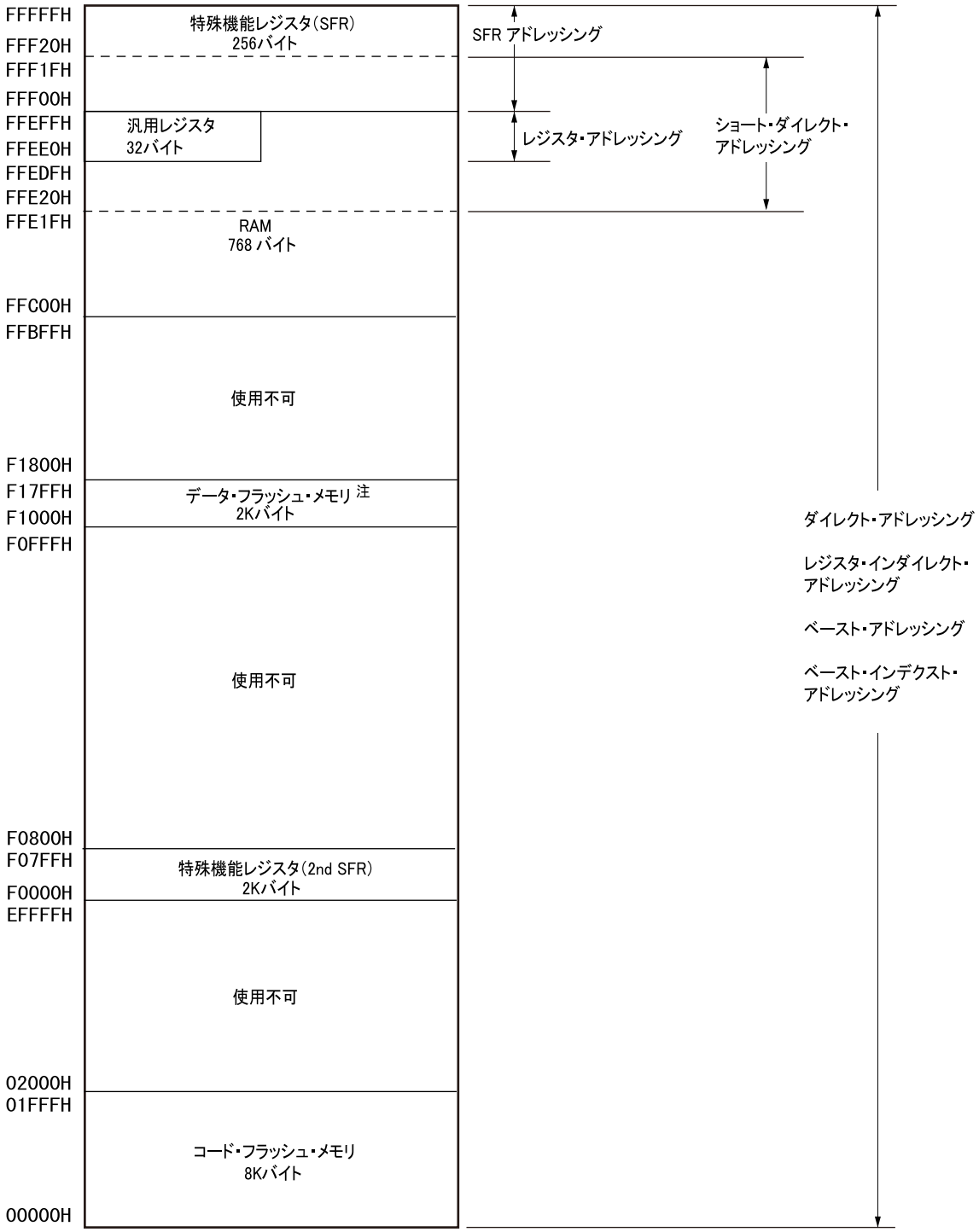
★　**図3－9　データ・メモリとアドレッシングの対応（**R5F10x67, R5F10x77, R5F10xA7（x =2, 3）**）**



注　R5F10267, R5F10277, R5F102A7**のみ。**

★　**注意**　RAM**領域から命令実行し，**RAM**パリティ・エラー・リセット発生を許可する（**RPERDIS = 1**）場合，「使用する**RAM**領域＋10バイト」の領域を必ず初期化してください。**

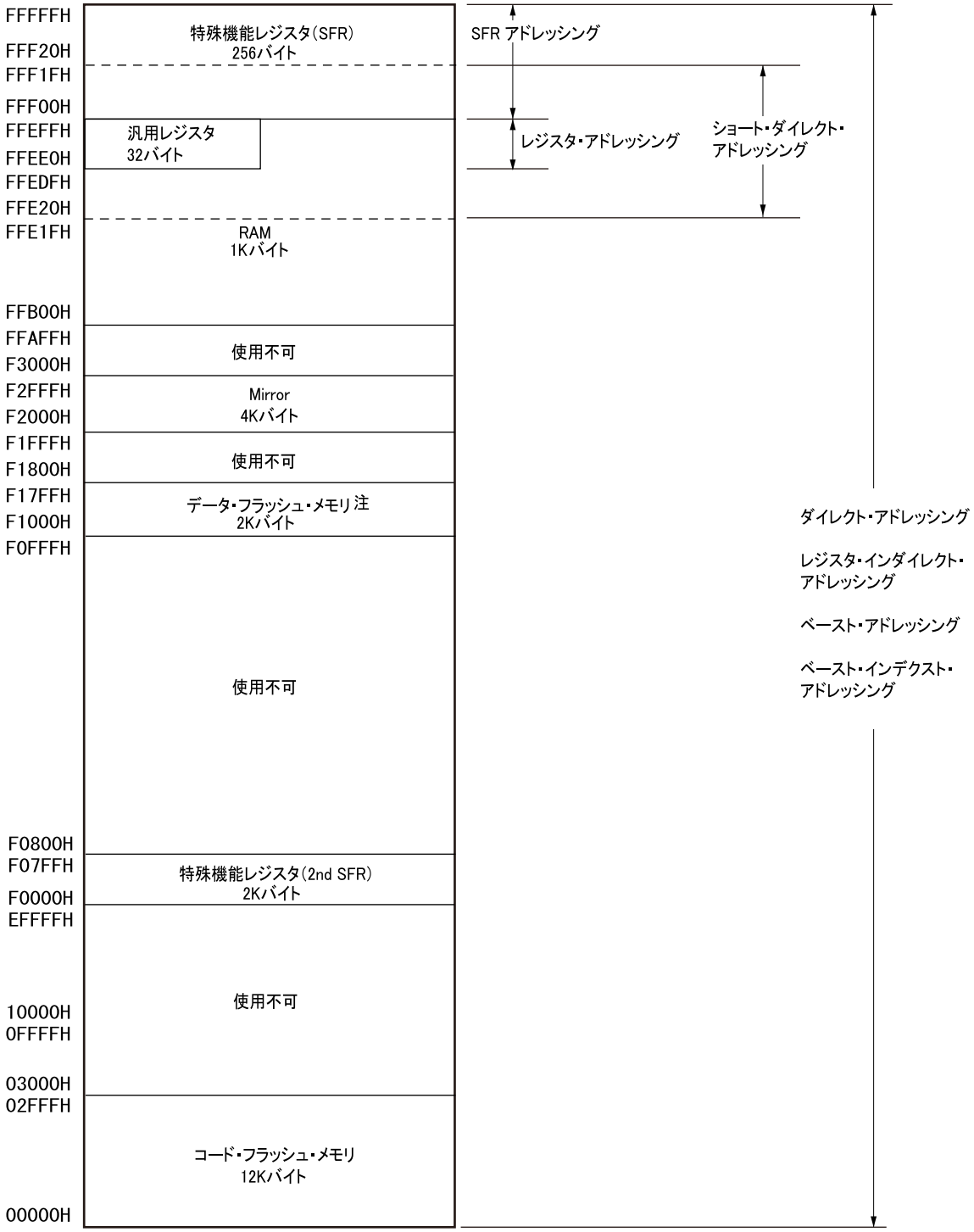
★ **図3－10　データ・メモリとアドレッシングの対応（**R5F10x68, R5F10x78, R5F10xA8（x =2, 3）**）**



注　R5F10268, R5F10278, R5F102A8**のみ。**

★ **注意**　RAM**領域から命令実行し，**RAM**パリティ・エラー・リセット発生を許可する（**RPERDIS = 1**）場合，「使用する**RAM**領域＋**10**バイト」の領域を必ず初期化してください。**

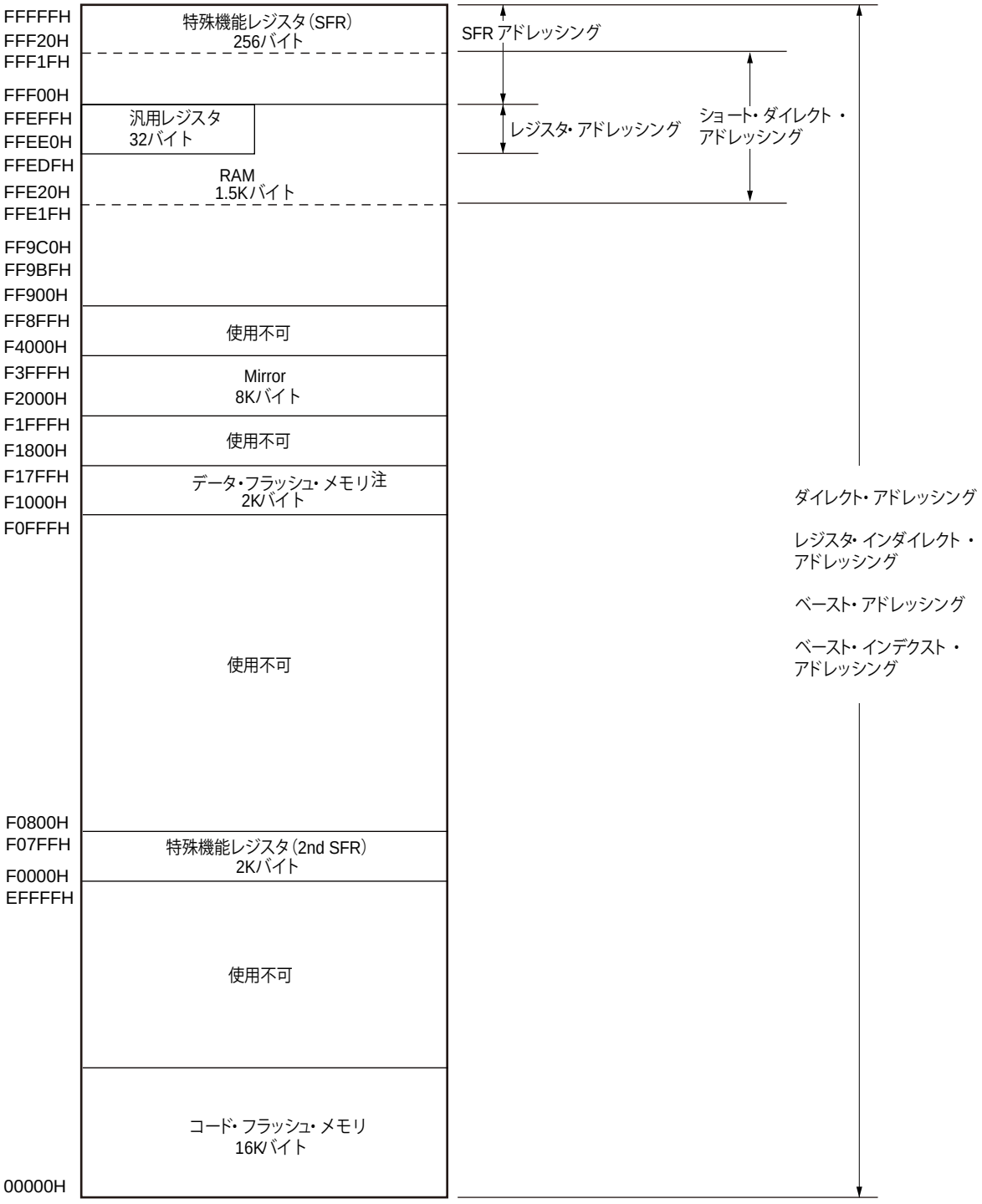
★　**図3－11　データ・メモリとアドレッシングの対応（**R5F10x69, R5F10x79, R5F10xA9（x =2, 3）**）**



注　R5F10269, R5F10279, R5F102A9**のみ。**

★　**注意**　RAM**領域から命令実行し，**RAM**パリティ・エラー・リセット発生を許可する（**RPERDIS = 1**）場合，「使用する**RAM**領域＋**10**バイト」の領域を必ず初期化してください。**

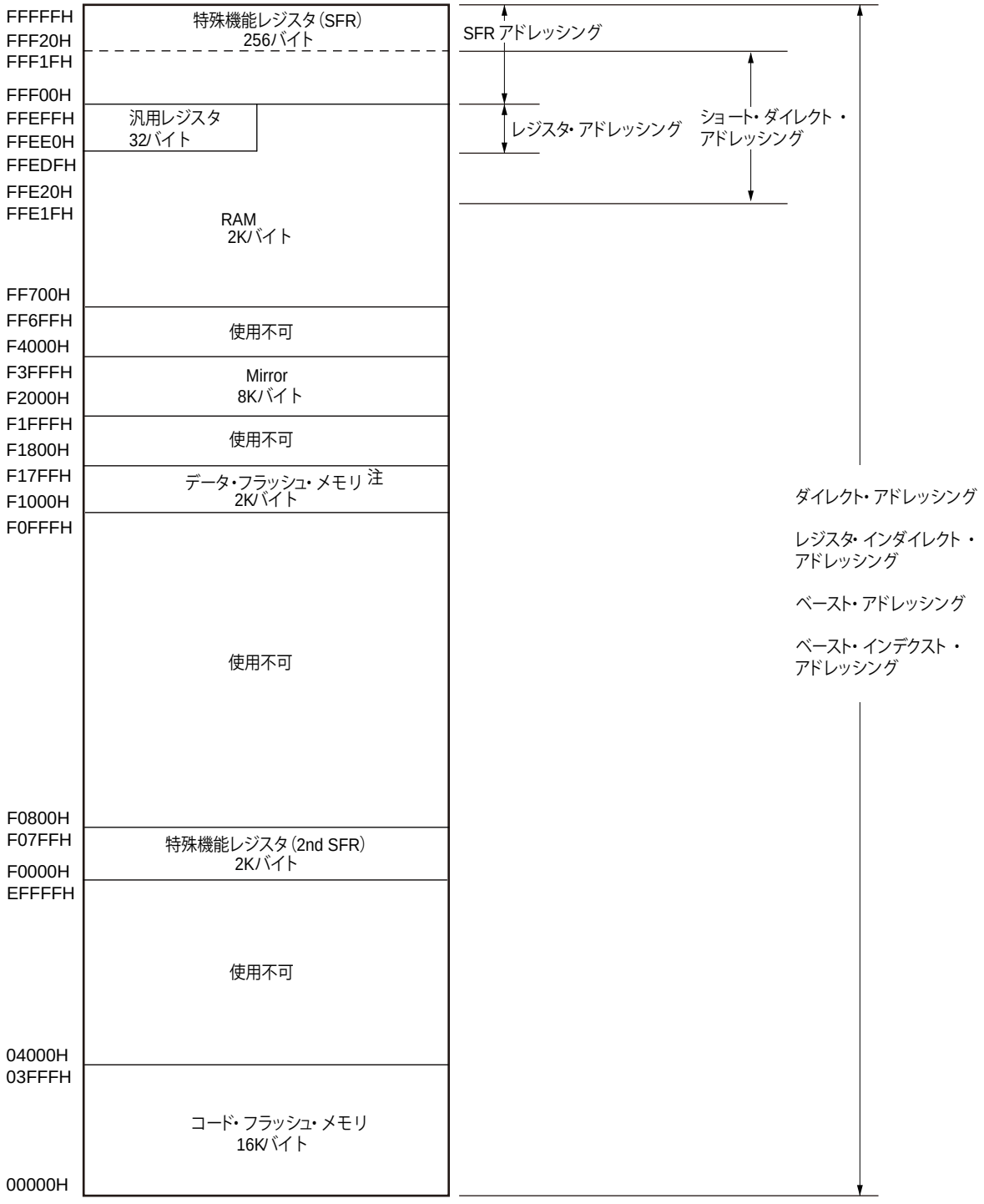
図3ー12　データ・メモリとアドレッシングの対応（R5F10x6A, R5F10x7A（x =2, 3））



注　R5F1026A, R5F1027A**のみ。**

★ **注意**　RAM**領域から命令実行し，**RAM**パリティ・エラー・リセット発生を許可する（**RPERDIS = 1**）場合，**
「使用するRAM**領域＋**10**バイト」の領域を必ず初期化してください。**

★ **図3－13　データ・メモリとアドレッシングの対応（R5F102AA, R5F103AA）**



注　R5F102AA**のみ。**

注意　RAM**領域から命令実行し，**RAM**パリティ・エラー・リセット発生を許可する（**RPERDIS = 1**）場合，「使用する**RAM**領域＋10バイト」の領域を必ず初期化してください。**

3. 2 プロセッサ・レジスタ

RL78/G12は，次のプロセッサ・レジスタを内蔵しています。

3. 2. 1 制御レジスタ

プログラム・シーケンス，ステータス，スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには，プログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW），スタック・ポインタ（SP）があります。

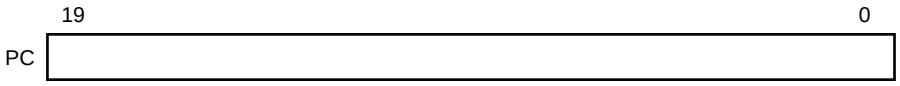
(1) プログラム・カウンタ（PC）

プログラム・カウンタは，次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には，フェッチする命令のバイト数に応じて，自動的にインクリメントされます。分岐命令実行時には，イミーディエト・データやレジスタの内容がセットされます。

リセット信号の発生により，0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3－14 プログラム・カウンタの構成



(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは，命令の実行によってセット，リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は，ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され，RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により，06Hになります。

図3－15 プログラム・ステータス・ワードの構成

	7							0
PSW	IE	Z	RBS1	AC	RBS0	ISP1	ISP0	CY

(a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり，マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受け付けは，インサービス・プライオリティ・フラグ（ISP1, ISP0），各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは，DI命令の実行または割り込みの受け付けでリセット（0）され，EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ（Z）

演算結果がゼロのときセット（1）され，それ以外のときにリセット（0）されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果で，ビット3からキャリーがあったとき，またはビット3へのボローがあったときセット (1) され，それ以外のときリセット (0) されるフラグです。

(e) インサービス・プライオリティ・フラグ (ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR10L, PR10H, PR11L) (15. 3 (3) 参照) でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお，実際に割り込み要求が受け付けられるかどうかは，割り込み許可フラグ (IE) の状態により制御されます。

備考　n = 0, 1

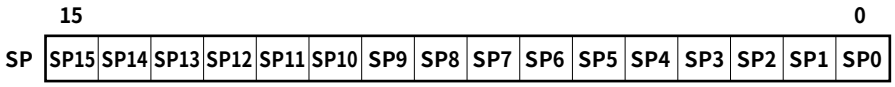
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー，アンダフローを記憶するフラグです。また，ローテート命令実行時はシフト・アウトされた値を記憶し，ビット演算命令実行時には，ビット・アキュームレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3－16　スタック・ポインタの構成



スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ，スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避されるデータは図3－17のようになります。

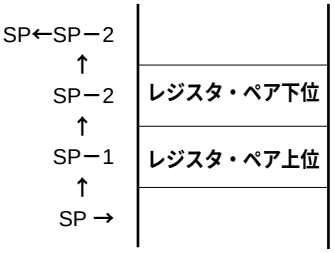
注意1. SPの内容はリセット信号の発生により，不定になりますので，必ずスタック使用前にイニシャライズしてください。

2. 汎用レジスタ (FFEE0H-FFEFFH) の空間は，スタック領域としての使用を禁止します。

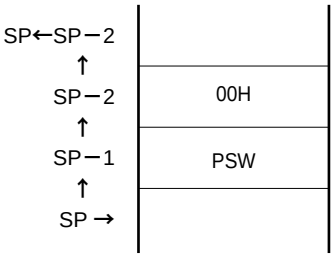
3. セルフ・プログラミング機能使用時は，セルフ・プログラミング・ライブラリで使用する領域が使用禁止になります (詳細はセルフ・プログラミングのアプリケーション・ノート参照)。

図3－17　スタック・メモリへ退避されるデータ

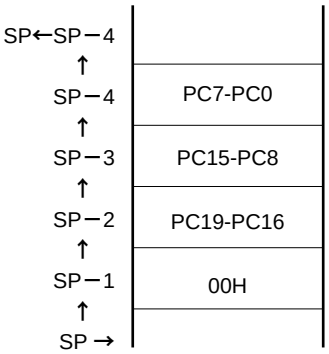
PUSH rp **命令**



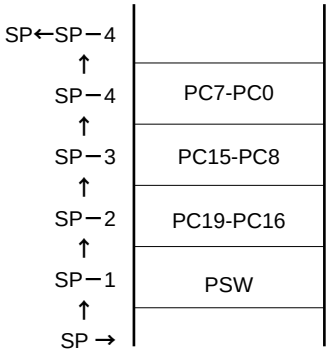
PUSH PSW **命令**



CALL, CALLT**命令**
（4**バイト・スタック）**



割り込み，BRK**命令**
（4**バイト・スタック）**



3. 2. 2　汎用レジスタ

汎用レジスタは，データ・メモリの特定番地（FFEE0H-FFEFFH**）にマッピングされており，**8**ビット・レジスタ**8**個（**X, A, C, B, E, D, L, H**）を**1**バンクとして**4**バンクのレジスタで構成されています。**

各レジスタは，それぞれ8**ビット・レジスタとして使用できるほか，**2**個の**8**ビット・レジスタをペアとして**16**ビット・レジスタとしても使用できます（**AX, BC, DE, HL**）。**

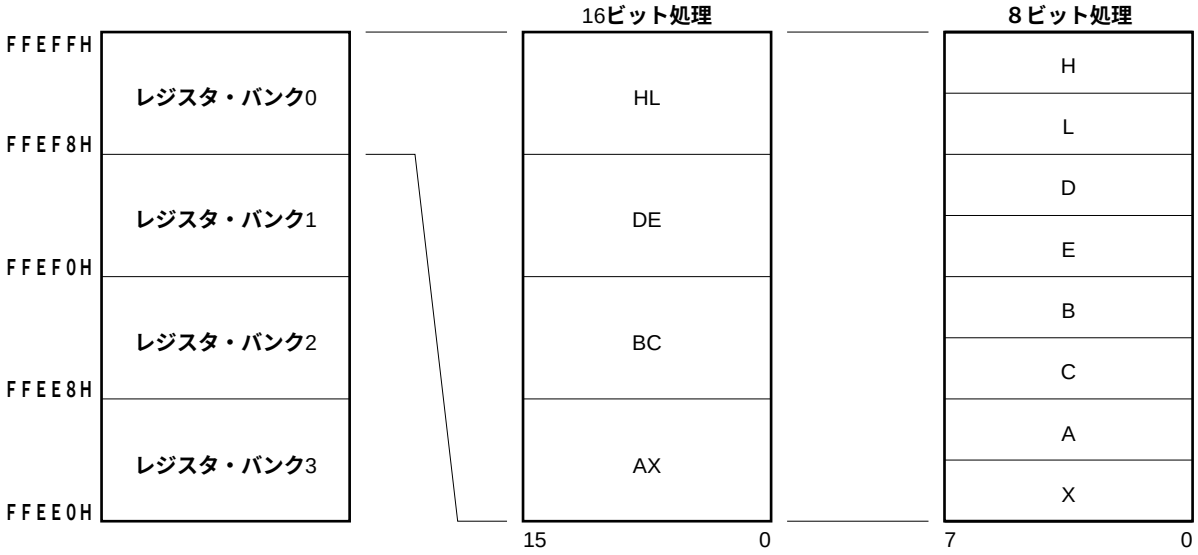
また，機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL**）のほか，絶対名称（**R0-R7, RP0-RP3**）ででも記述できます。**

命令実行時に使用するレジスタ・バンクは，CPU**制御命令（**SEL RBn**）によって設定します。**4**レジスタ・バンク構成になっていますので，通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより，効率のよいプログラムを作成できます。**

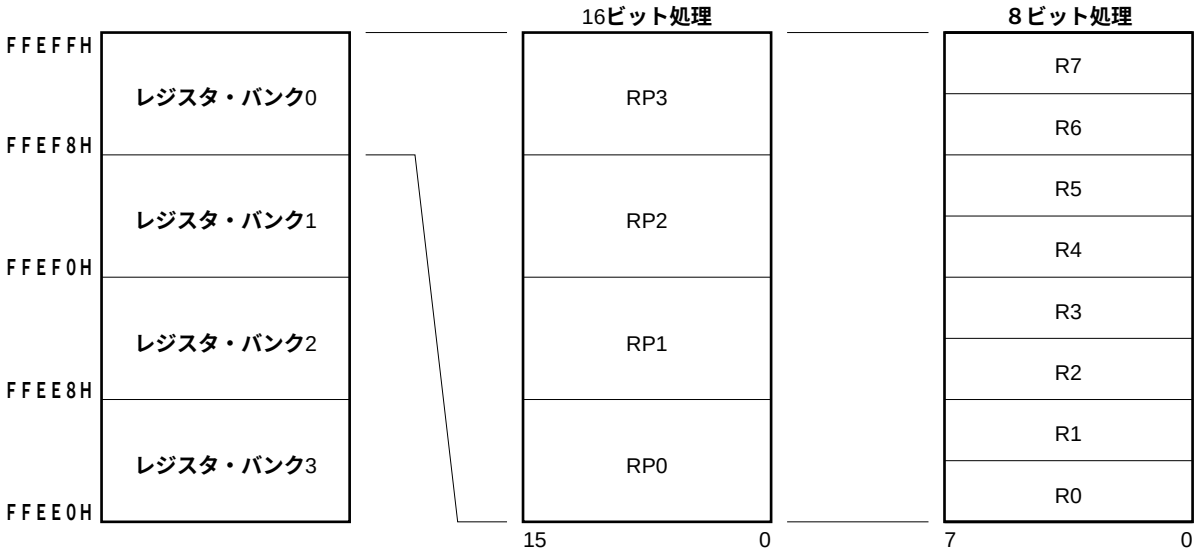
注意　汎用レジスタ（FFEE0H-FFEFFH**）の空間は，命令フェッチやスタック領域としての使用を禁止します。**

図3－18　汎用レジスタの構成

（a）機能名称



（b）絶対名称



3. 2. 3　ES, CSレジスタ

ESレジスタにてデータ・アクセス，CSレジスタにて分岐命令実行時の上位アドレスを指定できます。

ESレジスタのリセット後の初期値は0FH，CSレジスタのリセット後の初期値は00Hです。

図3－19　ES/CSレジスタの構成

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0

	7	6	5	4	3	2	1	0
CS	0	0	0	0	CS3	CP2	CP1	CP0

3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）

SFRは，汎用レジスタとは異なり，それぞれ特別な機能を持つレジスタです。

SFR空間は，FFF00H-FFFFFHの領域に割り付けられています。

SFRは，演算命令，転送命令，ビット操作命令などにより，汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は，各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

  1ビット操作命令のオペランド（sfr.bit）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。
- 8ビット操作

  8ビット操作命令のオペランド（sfr）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。
- 16ビット操作

  16ビット操作命令のオペランド（sfrp）にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3－6にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

  特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。アセンブラ，デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。
- R/W

  該当する特殊機能レジスタが読み出し（Read）／書き込み（Write）可能かどうかを示します。

  R/W ：読み出し／書き込みがともに可能

  R ：読み出しのみ可能

  W ：書き込みのみ可能
- 操作可能ビット単位

  操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。
- リセット時

  リセット信号発生時の各レジスタの状態を示します。

注意　SFRが割り付けられていないアドレスにアクセスしないでください。

備考　拡張SFR（2nd SFR）については，3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）を参照してください。

表3－6　SFR一覧（1/5）

	アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
						1ビット	8ビット	16ビット	
	FFF00H	ポート・レジスタ0	P0		R/W	○	○	－	00H
	FFF01H	ポート・レジスタ1	P1		R/W	○	○	－	00H
	FFF02H	ポート・レジスタ2	P2		R/W	○	○	－	00H
	FFF03H	ポート・レジスタ3	P3		R/W	○	○	－	00H
	FFF04H	ポート・レジスタ4	P4		R/W	○	○	－	00H
	FFF05H	ポート・レジスタ5	P5		R/W	○	○	－	00H
	FFF06H	ポート・レジスタ6	P6		R/W	○	○	－	00H
	FFF0CH	ポート・レジスタ12	P12		R/W	○	○	－	不定
★	FFF0DH	ポート・レジスタ13	P13		R/W	○	○	－	不定
	FFF0EH	ポート・レジスタ14	P14		R/W	○	○	－	00H
	FFF10H	シリアル・データ・レジスタ00	TXD0/ SIO00	SDR00	R/W	－	○	○	0000H
	FFF11H		－			－	－		
	FFF12H	シリアル・データ・レジスタ01	RXD0/SIO01	SDR01	R/W	－	○	○	0000H
	FFF13H		－			－	－		
	FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	－	－	○	0000H
	FFF19H								
	FFF1AH	タイマ・データ・レジスタ01	TDR01L	TDR01	R/W	－	○	○	00H
	FFF1BH		TDR01H			－	○		00H
	FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	－	－	○	0000H
	FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	－	○	－	00H
	FFF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	－	FFH
	FFF21H	ポート・モード・レジスタ1	PM1		R/W	○	○	－	FFH
	FFF22H	ポート・モード・レジスタ2	PM2		R/W	○	○	－	FFH
	FFF23H	ポート・モード・レジスタ3	PM3		R/W	○	○	－	FFH
	FFF24H	ポート・モード・レジスタ4	PM4		R/W	○	○	－	FFH
	FFF25H	ポート・モード・レジスタ5	PM5		R/W	○	○	－	FFH
	FFF26H	ポート・モード・レジスタ6	PM6		R/W	○	○	－	FFH

表3－6　SFR一覧（2/5）

	アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
						1ビット	8ビット	16ビット	
	FFF2CH	ポート・モード・レジスタ12	PM12		R/W	○	○	－	FFH
	FFF2EH	ポート・モード・レジスタ14	PM14		R/W	○	○	－	FFH
	FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W	○	○	－	00H
	FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W	○	○	－	00H
	FFF32H	A/Dコンバータ・モード・レジスタ1	ADM1		R/W	○	○	－	00H
	FFF37H	キー・リターン・モード・レジスタ	KRM		R/W	○	○	－	00H
	FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0		R/W	○	○	－	00H
	FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0		R/W	○	○	－	00H
	FFF44H	シリアル・データ・レジスタ02	TXD1	SDR02	R/W	－	○	○	0000H
	FFF45H		－			－	－		
	FFF46H	シリアル・データ・レジスタ03	RXD1/SIO11	SDR03	R/W	－	○	○	0000H
	FFF47H		－			－	－		
	FFF48H	シリアル・データ・レジスタ10	TXD2/ SIO20	SDR10	R/W	－	○	○	0000H
	FFF49H		－			－	－		
	FFF4AH	シリアル・データ・レジスタ11	RXD2	SDR11	R/W	－	○	○	0000H
	FFF4BH		－			－	－		
	FFF50H	IICAシフト・レジスタ0	IICA0		R/W	－	○	－	00H
	FFF51H	IICAステータス・レジスタ0	IICS0		R	○	○	－	00H
	FFF52H	IICAフラグ・レジスタ0	IICF0		R/W	○	○	－	00H
	FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	－	－	○	0000H
	FFF65H								
	FFF66H	タイマ・データ・レジスタ03	TDR03L	TDR03	R/W	－	○	○	00H
	FFF67H		TDR03H			－	○		00H
★	FFF68H	タイマ・データ・レジスタ04	TDR04		R/W	－	－	○	0000H
	FFF69H								
★	FFF6AH	タイマ・データ・レジスタ05	TDR05		R/W	－	－	○	0000H
	FFF6BH								
★	FFF6CH	タイマ・データ・レジスタ06	TDR06		R/W	－	－	○	0000H
	FFF6DH								
★	FFF6EH	タイマ・データ・レジスタ07	TDR07		R/W	－	－	○	0000H
	FFF6FH								
	FFF90H	インターバル・タイマ・コントロール・レジスタ	ITMC		R/W	－	－	○	0FFFH
	FFF91H								

表3－6　SFR一覧（3/5）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFA0H	クロック動作モード制御レジスタ	CMC		R/W	－	○	－	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC		R/W	○	○	－	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC		R	○	○	－	00H
FFFA3H	発振安定時間選択レジスタ	OSTS		R/W	－	○	－	07H
FFFA4H	システム・クロック制御レジスタ	CKC		R/W	○	○	－	00H
FFFA5H	クロック出力選択レジスタ0	CKS0		R/W	○	○	－	00H
FFFA6H	クロック出力選択レジスタ1	CKS1		R/W	○	○	－	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF		R	－	○	－	不定[注1]
FFFA9H	電圧検出レジスタ	LVIM		R/W	○	○	－	00H[注2]
FFFAAH	電圧検出レベル・レジスタ	LVIS		R/W	○	○	－	00H/01H/81H[注3]
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	－	○	－	1A/9A[注4]
FFFACH	CRC入力レジスタ	CRCIN		R/W	－	○	－	00H
FFFB0H	DMA SFRアドレス・レジスタ0	DSA0		R/W	－	○	－	00H
FFFB1H	DMA SFRアドレス・レジスタ1	DSA1		R/W	－	○	－	00H
FFFB2H	DMA RAMアドレス・レジスタ0L	DRA0L	DRA0	R/W	－	○	○	00H
FFFB3H	DMA RAMアドレス・レジスタ0H	DRA0H		R/W	－	○		00H
FFFB4H	DMA RAMアドレス・レジスタ1L	DRA1L	DRA1	R/W	－	○	○	00H
FFFB5H	DMA RAMアドレス・レジスタ1H	DRA1H		R/W	－	○		00H
FFFB6H	DMA バイト・カウント・レジスタ0L	DBC0L	DBC0	R/W	－	○	○	00H
FFFB7H	DMA バイト・カウント・レジスタ0H	DBC0H		R/W	－	○		00H
FFFB8H	DMA バイト・カウント・レジスタ1L	DBC1L	DBC1	R/W	－	○	○	00H
FFFB9H	DMA バイト・カウント・レジスタ1H	DBC1H		R/W	－	○		00H
FFFBAH	DMA モード・コントロール・レジスタ0	DMC0		R/W	○	○	－	00H
FFFBBH	DMA モード・コントロール・レジスタ1	DMC1		R/W	○	○	－	00H
FFFBCH	DMA 動作コントロール・レジスタ0	DRC0		R/W	○	○	－	00H
FFFBDH	DMA 動作コントロール・レジスタ1	DRC1		R/W	○	○	－	00H

注1. RESFレジスタのリセット値は，リセット要因により変化します。

2. LVIMレジスタのリセット値は，リセット要因により変化します。

3. LVISレジスタのリセット値は，リセット要因およびオプション・バイトの設定により変化します。

4. WDTEレジスタのリセット値は，オプション・バイトの設定で決定します。

表3－6 SFR一覧（4/5）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFC0H	－	PFCMD[注]		－	－	－	－	不定
FFFC2H	－	PFS[注]		－	－	－	－	不定
FFFC4H	－	FLPMC[注]		－	－	－	－	不定
FFFD0H	割り込み要求フラグ・レジスタ2L	IF2L	IF2	R/W	○	○	○	00H
FFFD1H	割り込み要求フラグ・レジスタ2H	IF2H		R/W	○	○		00H
FFFD2H	割り込み要求フラグ・レジスタ3L	IF3L	IF3	R/W	○	○	○	00H
FFFD4H	割り込みマスク・フラグ・レジスタ2L	MK2L	MK2	R/W	○	○	○	FFH
FFFD5H	割り込みマスク・フラグ・レジスタ2H	MK2H		R/W	○	○		FFH
FFFD6H	割り込みマスク・フラグ・レジスタ3L	MK3L	MK3	R/W	○	○	○	FFH
FFFD8H	優先順位指定フラグ・レジスタ02L	PR02L	PR02	R/W	○	○	○	FFH
FFFD9H	優先順位指定フラグ・レジスタ02H	PR02H		R/W	○	○		FFH
FFFDAH	優先順位指定フラグ・レジスタ03L	PR03L	PR03	R/W	○	○	○	FFH
FFFDCH	優先順位指定フラグ・レジスタ12L	PR12L	PR12	R/W	○	○	○	FFH
FFFDDH	優先順位指定フラグ・レジスタ12H	PR12H		R/W	○	○		FFH
FFFDEH	優先順位指定フラグ・レジスタ13L	PR13L	PR13	R/W	○	○	○	FFH
FFFE0H	割り込み要求フラグ・レジスタ0L	IF0L	IF0	R/W	○	○	○	00H
FFFE1H	割り込み要求フラグ・レジスタ0H	IF0H		R/W	○	○		00H
FFFE2H	割り込み要求フラグ・レジスタ1L	IF1L	IF1	R/W	○	○	○	00H
FFFE3H	割り込み要求フラグ・レジスタ1H	IF1H		R/W	○	○		00H
FFFE4H	割り込みマスク・フラグ・レジスタ0L	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H	割り込みマスク・フラグ・レジスタ0H	MK0H		R/W	○	○		FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L	MK1	R/W	○	○	○	FFH
FFFE7H	割り込みマスク・フラグ・レジスタ1H	MK1H		R/W	○	○		FFH
FFFE8H	優先順位指定フラグ・レジスタ00L	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H	優先順位指定フラグ・レジスタ00H	PR00H		R/W	○	○		FFH

注 セルフ・プログラミング・ライブラリ内で使用するSFRのため，直接操作しないでください。

表3－6　SFR一覧（5/5）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFEAH	優先順位指定フラグ・レジスタ01L	PR01L	PR01	R/W	○	○	○	FFH
FFFEBH	優先順位指定フラグ・レジスタ01H	PR01H		R/W	○	○		FFH
FFFECH	優先順位指定フラグ・レジスタ10L	PR10L	PR10	R/W	○	○	○	FFH
FFFEDH	優先順位指定フラグ・レジスタ10H	PR10H		R/W	○	○		FFH
FFFEEH	優先順位指定フラグ・レジスタ11L	PR11L	PR11	R/W	○	○	○	FFH
FFFEFH	優先順位指定フラグ・レジスタ11H	PR11H		R/W	○	○		FFH
FFFF0H	乗除算データ・レジスタA（L）	MDAL/MULA		R/W	－	－	○	0000H
FFFF1H								
FFFF2H	乗除算データ・レジスタA（H）	MDAH/MULB		R/W	－	－	○	0000H
FFFF3H								
FFFF4H	乗除算データ・レジスタB（H）	MDBH/MULOH		R/W	－	－	○	0000H
FFFF5H								
FFFF6H	乗除算データ・レジスタB（L）	MDBL/MULOL		R/W	－	－	○	0000H
FFFF7H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	－	00H

備考　拡張SFR（2nd SFR）については，表3－7　拡張SFR（2nd SFR）一覧を参照してください。

3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）

拡張SFR（2nd SFR）は，汎用レジスタとは異なり，それぞれ特別な機能を持つレジスタです。

拡張SFR空間は，F0000H-F07FFHの領域です。SFR領域（FFF00H-FFFFFH）以外のSFRが割り付けられています。ただし，拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは，演算命令，転送命令，ビット操作命令などにより，汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は，各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- **1ビット操作**

  1ビット操作命令のオペランド（!addr16.bit）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。
- **8ビット操作**

  8ビット操作命令のオペランド（!addr16）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。
- **16ビット操作**

  16ビット操作命令のオペランド（!addr16）にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3－6に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

  拡張SFRのアドレスを示す略号です。アセンブラで予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。アセンブラ，デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。
- R/W

  該当する拡張SFRが読み出し（Read）／書き込み（Write）可能かどうかを示します。

  R/W ：読み出し／書き込みがともに可能

  R ：読み出しのみ可能

  W ：書き込みのみ可能
- **操作可能ビット単位**

  操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。
- **リセット時**

  リセット信号発生時の各レジスタの状態を示します。

注意　2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考　SFR領域のSFRについては，3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）を参照してください。

表3ー7　拡張SFR（2nd SFR）一覧（1/5）

	アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
	F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	－	00H
	F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	－	○	－	FFH
	F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	－	○	－	00H
	F0013H	A/Dテスト・レジスタ	ADTES	R/W	－	○	－	00H
	F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	－	00H
	F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	－	00H
★	F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	－	00H
	F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	－	01H
★	F0035H	プルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○	－	00H
★	F0037H	プルアップ抵抗オプション・レジスタ7	PU7	R/W	○	○	－	00H
	F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	－	00H
★	F003EH	プルアップ抵抗オプション・レジスタ14	PU14	R/W	○	○	－	00H
★	F0040H	ポート入力モード・レジスタ0	PIM0	R/W	○	○	－	00H
	F0041H	ポート入力モード・レジスタ1	PIM1	R/W	○	○	－	00H
	F0050H	ポート出力モード・レジスタ0	POM0	R/W	○	○	－	00H
	F0051H	ポート出力モード・レジスタ1	POM1	R/W	○	○	－	00H
	F0054H	ポート出力モード・レジスタ4	POM4	R/W	○	○	－	00H
★	F0055H	ポート出力モード・レジスタ5	POM5	R/W	○	○	－	00H
★	F0060H	ポート・モード・コントロール・レジスタ0	PMC0	R/W	○	○	－	FFH
	F0061H	ポート・モード・コントロール・レジスタ1	PMC1	R/W	○	○	－	FFH
	F0064H	ポート・モード・コントロール・レジスタ4	PMC4	R/W	○	○	－	FFH
★	F006CH	ポート・モード・コントロール・レジスタ12	PMC12	R/W	○	○	－	FFH
★	F006EH	ポート・モード・コントロール・レジスタ14	PMC14	R/W	○	○	－	FFH
	F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	－	00H
	F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	－	00H
	F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	－	00H
	F0074H	タイマ入力選択レジスタ0	TIS0	R/W	－	○	－	00H
	F0076H	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W	－	○	－	00H
	F0077H	周辺I/Oリダイレクション・レジスタ	PIOR	R/W	－	○	－	00H
	F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	－	○	－	00H
	F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	－	00H
★	F00A0H	HOCOトリミング・レジスタ	HIOTRM	R/W	－	○	－	T.B.D
★	F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	－	O	－	不定
	F00ACH	温度トリミング・レジスタ0	TEMPCAL0	R	－	○	－	注
	F00ADH	温度トリミング・レジスタ1	TEMPCAL1	R	－	○	－	注
	F00AEH	温度トリミング・レジスタ2	TEMPCAL2	R	－	○	－	注
	F00AFH	温度トリミング・レジスタ3	TEMPCAL3	R	－	○	－	注

注　初期値は製品により異なります。

表3－7　拡張SFR（2nd SFR）一覧（2/5）

	アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
						1ビット	8ビット	16ビット	
	F00E0H	乗除算データ・レジスタC（L）	MDCL		R	－	－	○	0000H
	F00E2H	乗除算データ・レジスタC（H）	MDCH		R	－	－	○	0000H
	F00E8H	乗除算コントロール・レジスタ	MDUC		R/W	○	○	－	00H
	F00F0H	周辺イネーブル・レジスタ0	PER0		R/W	○	○	－	00H
	F00F3H	動作スピード・モード制御レジスタ	OSMC		R/W	－	○	－	00H
	F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL		R/W	○	○	－	00H
	F00FEH	BCD補正結果レジスタ	BCDADJ		R	－	○	－	不定
	F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	－	○	○	0000H
	F0101H		－			－	－		
	F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	－	○	○	0000H
	F0103H		－			－	－		
★	F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	－	○	○	0000H
	F0105H		－			－	－		
★	F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	－	○	○	0000H
	F0107H		－			－	－		
	F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	－	○	○	0000H
	F0109H		－			－	－		
	F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	－	○	○	0000H
	F010BH		－			－	－		
★	F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	－	○	○	0000H
	F010DH		－			－	－		
★	F010EH	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03	R/W	－	○	○	0000H
	F010FH		－			－	－		
	F0110H	シリアル・モード・レジスタ00	SMR00		R/W	－	－	○	0020H
	F0111H								
	F0112H	シリアル・モード・レジスタ01	SMR01		R/W	－	－	○	0020H
	F0113H								
★	F0114H	シリアル・モード・レジスタ02	SMR02		R/W	－	－	○	0020H
	F0115H								
★	F0116H	シリアル・モード・レジスタ03	SMR03		R/W	－	－	○	0020H
	F0117H								
	F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	－	－	○	0087H
	F0119H								
	F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	－	－	○	0087H
	F011BH								
★	F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	－	－	○	0087H
	F011DH								
★	F011EH	シリアル通信動作設定レジスタ03	SCR03		R/W	－	－	○	0087H
	F011FH								
	F0120H	シリアル・チャネル許可ステータス・レジスタ0	SE0L	SE0	R	○	○	○	0000H
	F0121H		－			－	－		

表3－7　拡張SFR（2nd SFR）一覧（3/5）

	アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
						1ビット	8ビット	16ビット	
	F0122H	シリアル・チャネル開始レジスタ0	SS0L	SS0	R/W	○	○	○	0000H
	F0123H		－			－	－		
	F0124H	シリアル・チャネル停止レジスタ0	ST0L	ST0	R/W	○	○	○	0000H
	F0125H		－			－	－		
	F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	－	○	○	0000H
	F0127H		－			－	－		
	F0128H	シリアル出力レジスタ0	SO0		R/W	－	－	○	0F0FH
	F0129H								
	F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W	○	○	○	0000H
	F012BH		－			－	－		
	F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	－	○	○	0000H
	F0135H		－			－	－		
	F0138H	シリアル・スタンバイ・コントロール・レジスタ0	SSC0L	SSC0	R/W	－	○	○	0000H
			－			－	－		
★	F0140H	シリアル・ステータス・レジスタ10	SSR10L	SSR10	R	－	○	○	0000H
	F0141H		－			－	－		
★	F0142H	シリアル・ステータス・レジスタ11	SSR11L	SSR11	R	－	○	○	0000H
	F0143H		－			－	－		
★	F0148H	シリアル・フラグ・クリア・トリガ・レジスタ10	SIR10L	SIR10	R/W	－	○	○	0000H
	F0149H		－			－	－		
★	F014AH	シリアル・フラグ・クリア・トリガ・レジスタ11	SIR11L	SIR11	R/W	－	○	○	0000H
	F014BH		－			－	－		
★	F0150H	シリアル・モード・レジスタ10	SMR10		R/W	－	－	○	0020H
	F0151H								
★	F0152H	シリアル・モード・レジスタ11	SMR11		R/W	－	－	○	0020H
	F0153H								
★	F0158H	シリアル通信動作設定レジスタ10	SCR10		R/W	－	－	○	0087H
	F0159H								
★	F015AH	シリアル通信動作設定レジスタ11	SCR11		R/W	－	－	○	0087H
	F015BH								
★	F0160H	シリアル・チャネル許可ステータス・レジスタ1	SE1L	SE1	R	○	○	○	0000H
	F0161H		－			－	－		
★	F0162H	シリアル・チャネル開始レジスタ1	SS1L	SS1	R/W	○	○	○	0000H
	F0163H		－			－	－		
★	F0164H	シリアル・チャネル停止レジスタ1	ST1L	ST1	R/W	○	○	○	0000H
	F0165H		－			－	－		
★	F0166H	シリアル・クロック選択レジスタ1	SPS1L	SPS1	R/W	－	○	○	0000H
	F0167H		－			－	－		
★	F0168H	シリアル出力レジスタ1	SO1		R/W	－	－	○	0F0FH
	F0169H								
★	F016AH	シリアル出力許可レジスタ1	SOE1L	SOE1	R/W	○	○	○	0000H
	F016BH		－			－	－		

表3－7　拡張SFR（2nd SFR）一覧（4/5）

	アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
						1ビット	8ビット	16ビット	
★	F0174H	シリアル出力レベル・レジスタ1	SOL1L	SOL1	R/W	－	○	○	0000H
	F0175H		－			－	－		
★	F0178H	シリアル・スタンバイ・コントロール・レジスタ1	SSC1L	SSC1	R/W	－	○	○	0000H
			－			－	－		
	F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	－	－	○	FFFFH
	F0181H								
	F0182H	タイマ・カウンタ・レジスタ01	TCR01		R	－	－	○	FFFFH
	F0183H								
	F0184H	タイマ・カウンタ・レジスタ02	TCR02		R	－	－	○	FFFFH
	F0185H								
	F0186H	タイマ・カウンタ・レジスタ03	TCR03		R	－	－	○	FFFFH
	F0187H								
★	F0188H	タイマ・カウンタ・レジスタ04	TCR04		R	－	－	○	FFFFH
	F0189H								
★	F018AH	タイマ・カウンタ・レジスタ05	TCR05		R	－	－	○	FFFFH
	F018BH								
★	F018CH	タイマ・カウンタ・レジスタ06	TCR06		R	－	－	○	FFFFH
	F018DH								
★	F018EH	タイマ・カウンタ・レジスタ07	TCR07		R	－	－	○	FFFFH
	F018FH								
	F0190H	タイマ・モード・レジスタ00	TMR00		R/W	－	－	○	0000H
	F0191H								
	F0192H	タイマ・モード・レジスタ01	TMR01		R/W	－	－	○	0000H
	F0193H								
	F0194H	タイマ・モード・レジスタ02	TMR02		R/W	－	－	○	0000H
	F0195H								
	F0196H	タイマ・モード・レジスタ03	TMR03		R/W	－	－	○	0000H
	F0197H								
★	F0198H	タイマ・モード・レジスタ04	TMR04		R/W	－	－	○	0000H
	F0199H								
★	F019AH	タイマ・モード・レジスタ05	TMR05		R/W	－	－	○	0000H
	F019BH								
★	F019CH	タイマ・モード・レジスタ06	TMR06		R/W	－	－	○	0000H
	F019DH								
★	F019EH	タイマ・モード・レジスタ07	TMR07		R/W	－	－	○	0000H
	F019FH								
	F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	－	○	○	0000H
	F01A1H		－			－	－		
	F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	－	○	○	0000H
	F01A3H		－			－	－		
	F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	－	○	○	0000H
	F01A5H		－			－	－		

表3－7 拡張SFR（2nd SFR）一覧（5/5）

	アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
						1ビット	8ビット	16ビット	
	F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	－	○	○	0000H
	F01A7H		－			－	－		
★	F01A8H	タイマ・ステータス・レジスタ04	TSR04L	TSR04	R	－	○	○	0000H
	F01A9H		－			－	－		
★	F01AAH	タイマ・ステータス・レジスタ05	TSR05L	TSR05	R	－	○	○	0000H
	F01ABH		－			－	－		
★	F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	R	－	○	○	0000H
	F01ADH		－			－	－		
★	F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	－	○	○	0000H
	F01AFH		－			－	－		
	F01B0H	タイマ・チャネル許可ステータス・レジスタ0	TE0L	TE0	R	○	○	○	0000H
	F01B1H		－			－	－		
	F01B2H	タイマ・チャネル開始レジスタ0	TS0L	TS0	R/W	○	○	○	0000H
	F01B3H		－			－	－		
	F01B4H	タイマ・チャネル停止レジスタ0	TT0L	TT0	R/W	○	○	○	0000H
	F01B5H		－			－	－		
	F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	－	－	○	0000H
	F01B7H								
	F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	－	○	○	0000H
	F01B9H		－			－	－		
	F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
	F01BBH		－			－	－		
	F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	－	○	○	0000H
	F01BDH		－			－	－		
	F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	－	○	○	0000H
	F01BFH		－			－	－		
	F0230H	IICAコントロール・レジスタ00	IICCTL00		R/W	○	○	－	00H
	F0231H	IICAコントロール・レジスタ01	IICCTL01		R/W	○	○	－	00H
	F0232H	IICAロウ・レベル幅設定レジスタ0	IICWL0		R/W	－	○	－	FFH
	F0233H	IICAハイ・レベル幅設定レジスタ0	IICWH0		R/W	－	○	－	FFH
	F0234H	スレーブ・アドレス・レジスタ0	SVA0		R/W	－	○	－	00H
	F02FAH	CRCデータ・レジスタ	CRCD		R/W	－	－	○	0000H

備考 SFR領域のSFRについては，表3－6 SFR一覧を参照してください。

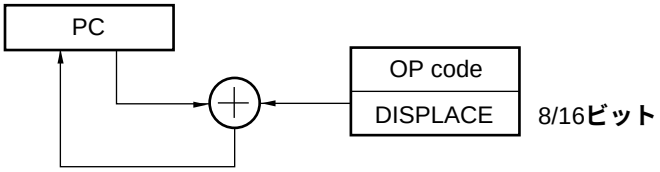
3. 3　命令アドレスのアドレッシング

3. 3. 1　レラティブ・アドレッシング

【機　　能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し，命令語に含まれるディスプレースメント値（符号付きの補数データ：－128～＋127または－32768～＋32767）を加算した結果を，プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3－20　レラティブ・アドレッシングの概略



3. 3. 2　イミーディエト・アドレッシング

【機　　能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し，分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と，16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3－21　CALL !!addr20/BR !!addr20の例

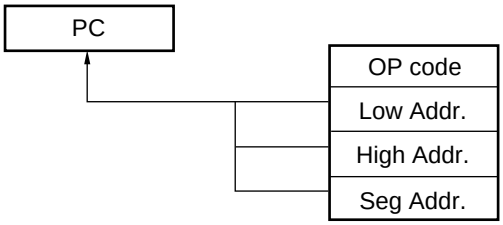
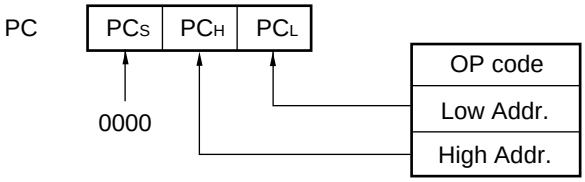


図3－22　CALL !addr16/BR !addr16の例



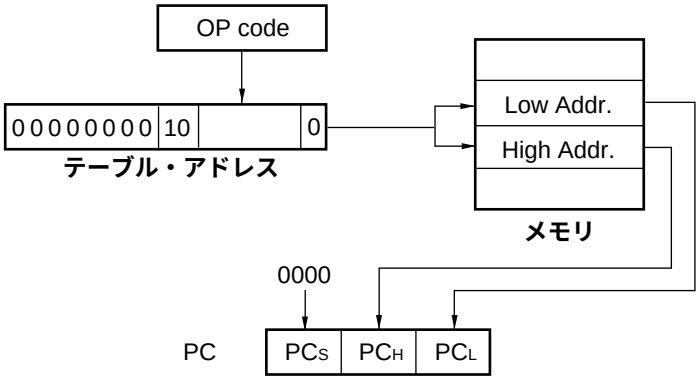
3. 3. 3　テーブル・インダイレクト・アドレッシング

【機　　能】

命令語中の5**ビット・イミーディエト・データにより**CALLT**テーブル領域（**0080H-00BFH**）内のテーブル・アドレスを指定し，その内容とそれに続くアドレスの内容を**16**ビット・データとしてプログラム・カウンタ（**PC**）に格納し，プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングは**CALLT**命令にのみ適用されます。**

RL78**マイクロコントローラでは，**00000H-0FFFFH**の**64 K**バイト空間のみ分岐可能です。**

図3－23　**テーブル・インダイレクト・アドレッシングの概略**

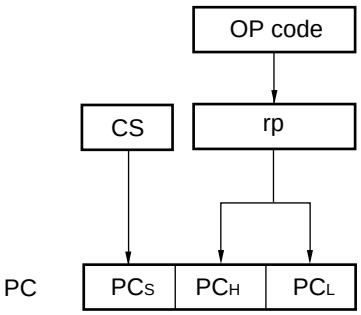


3. 3. 4　レジスタ・ダイレクト・アドレッシング

【機　　能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ（PC）に格納し，プログラム・アドレスを指定するアドレッシングです。レジスタ・ダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3－24　レジスタ・ダイレクト・アドレッシングの概略



3. 4　処理データ・アドレスに対するアドレッシング

3. 4. 1　インプライド・アドレッシング

【機　　能】

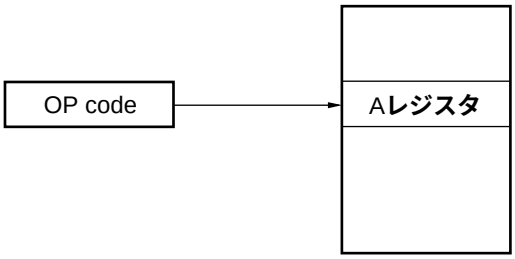
アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は，命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

命令により自動的に使用できるため特定のオペランド形式を持ちません。

インプライド・アドレッシングはMULU Xのみに適用されます。

図3－25　インプライド・アドレッシングの概略



3. 4. 2　レジスタ・アドレッシング

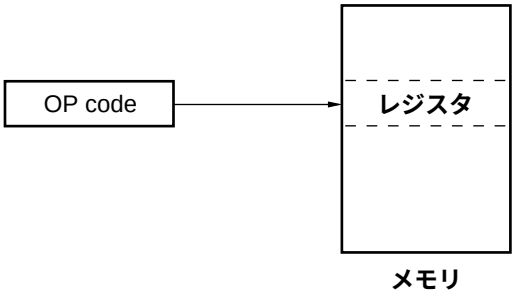
【機　　能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット，16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X，A，C，B，E，D，L，H
rp	AX，BC，DE，HL

図3－26　レジスタ・アドレッシングの概略



3. 4. 3　ダイレクト・アドレッシング

【機　　能】

命令語中のイミーディエト・データがオペランド・アドレスとなり，対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
ADDR16	ラベルまたは16ビット・イミーディエト・データ （F0000H-FFFFFH空間のみ指定可能）
ES:ADDR16	ラベルまたは16ビット・イミーディエト・データ （ESレジスタにて上位4ビット・アドレス指定）

図3ー27　ADDR16の例

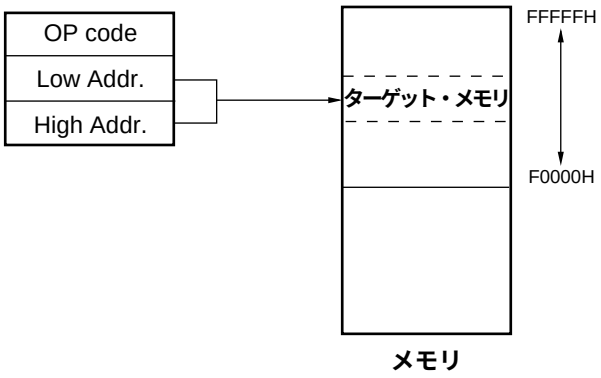
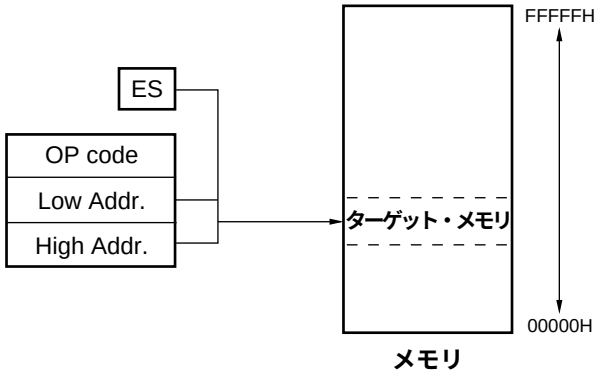


図3ー28　ES:ADDR16の例



3. 4. 4　ショート・ダイレクト・アドレッシング

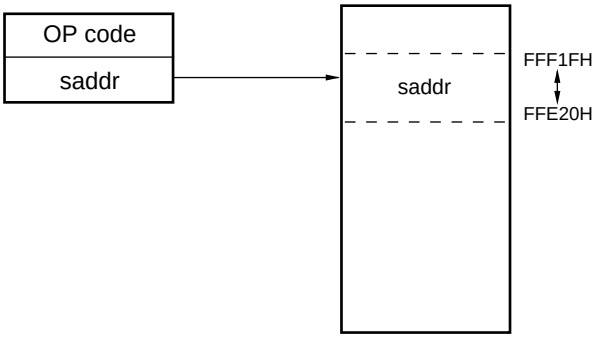
【機　　能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

	表現形式	記述方法
★	SADDR	ラベルまたはFFE20H-FFF1FHのイミーディエト・データ
★	SADDRP	ラベルまたはFFE20H-FFF1FHのイミーディエト・データ（偶数アドレスのみ）

図3ー29　ショート・ダイレクト・アドレッシングの概略



備考　SADDR, SADDRPは，（実アドレスの上位4ビット・アドレスを省略した）16ビットのイミーディエト・データでFE20H-FF1FHの値を記述することができます。また，20ビットのイミーディエト・データでFFE20H-FFF1FHの値を記述することもできます。
ただし，どちらの形式で書いても，メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3. 4. 5　SFRアドレッシング

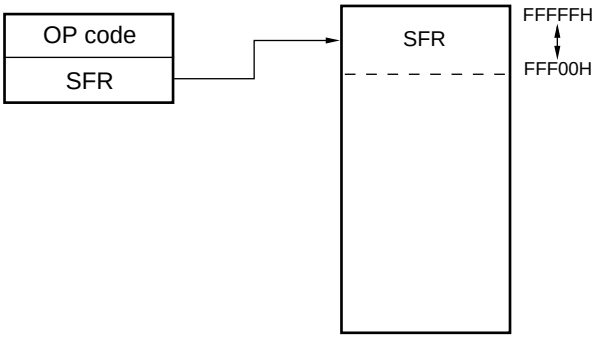
【機　　能】

命令語中の8**ビット・データで対象となる**SFR**アドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのは**FFF00H-FFFFFH**の空間に限られます。**

【オペランド形式】

表現形式	記述方法
SFR	SFR**レジスタ名**
SFRP	16**ビット操作可能な**SFR**レジスタ名（偶数アドレスのみ）**

図3－30　SFR**アドレッシングの概略**



3. 4. 6　レジスタ・インダイレクト・アドレッシング

【機　　能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
ー	[DE]，[HL] **（**F0000H-FFFFFH**空間のみ指定可能）**
ー	ES:[DE]，ES:[HL] **（**ES**レジスタにて上位**4**ビット・アドレス指定）**

図3ー31　[DE]，[HL]**の例**

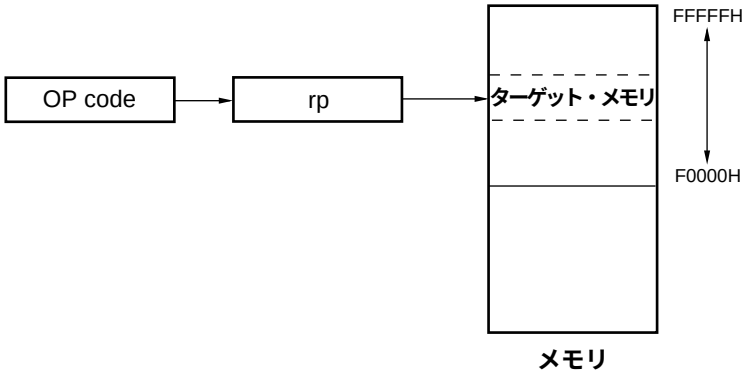
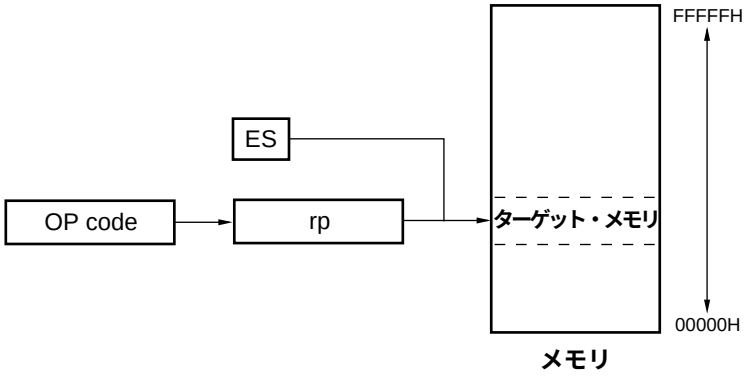


図3ー32　ES:[DE]，ES:[HL]**の例**



3. 4. 7　ベースト・アドレッシング

【機　　能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし，8ビット・イミーディエト・データまたは16ビット・イミーディエト・データをオフセット・データとしてベース・アドレスに加算した結果で，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
−	[HL＋byte]，[DE + byte]，[SP + byte] （F0000H-FFFFFH空間のみ指定可能）
−	word[B]，word[C] （F0000H-FFFFFH空間のみ指定可能）
−	word[BC] （F0000H-FFFFFH空間のみ指定可能）
−	ES:[HL＋byte]，ES:[DE + byte] （ESレジスタにて上位4ビット・アドレス指定）
−	ES:word[B]，ES:word[C] （ESレジスタにて上位4ビット・アドレス指定）
−	ES:word[BC] （ESレジスタにて上位4ビット・アドレス指定）

図3ー33　[SP+byte]の例

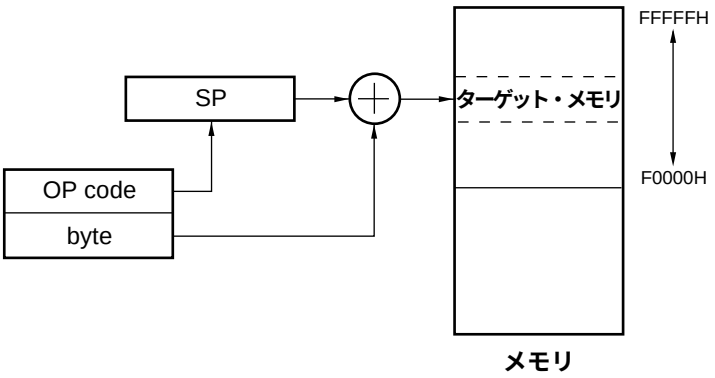


図3ー34　[HL+byte]，[DE+byte]**の例**

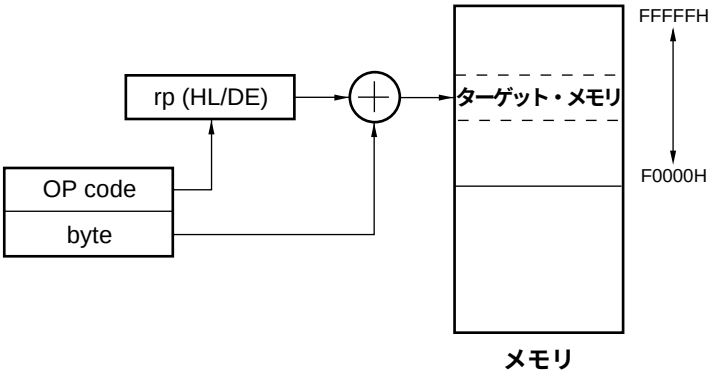


図3ー35　word[B]，word[C]**の例**

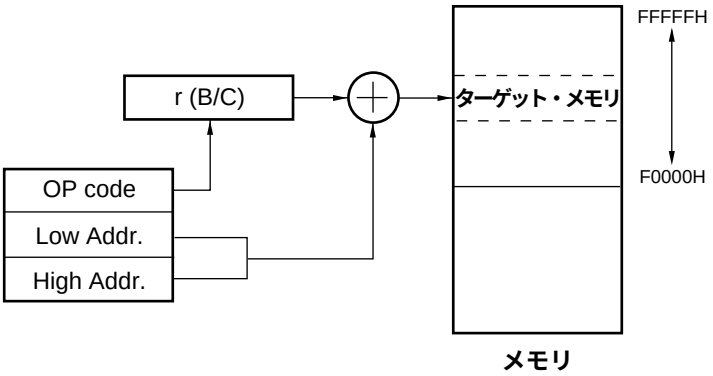


図3ー36　word[BC]**の例**

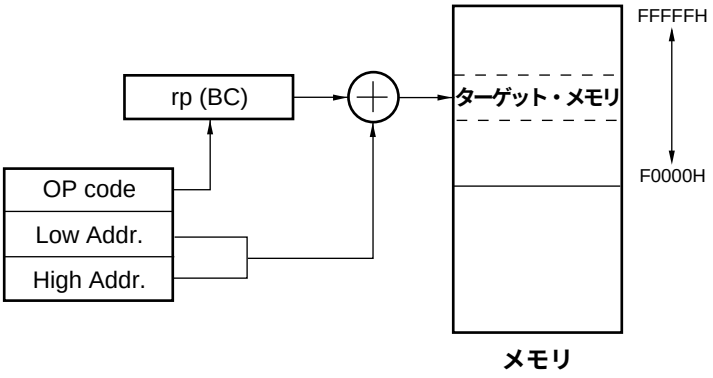


図3－37　ES:[HL+byte]，ES:[DE+byte]の例

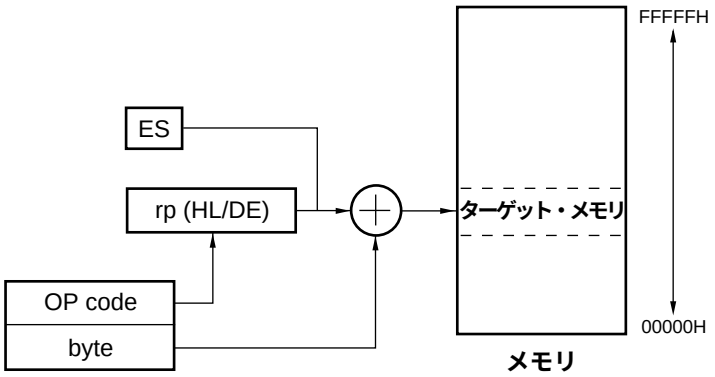


図3－38　ES:word[B]，ES:word[C]の例

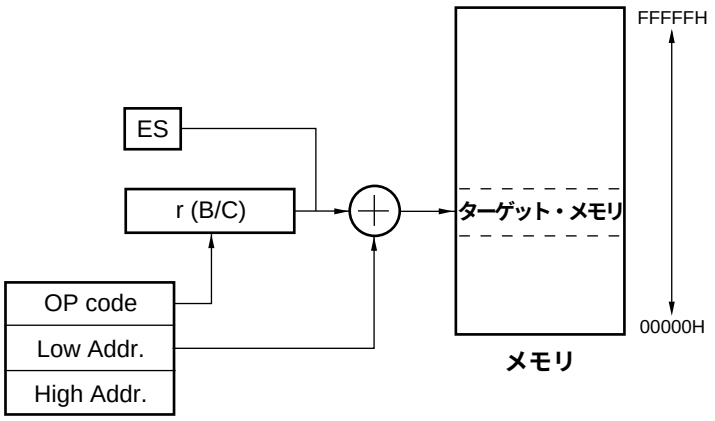
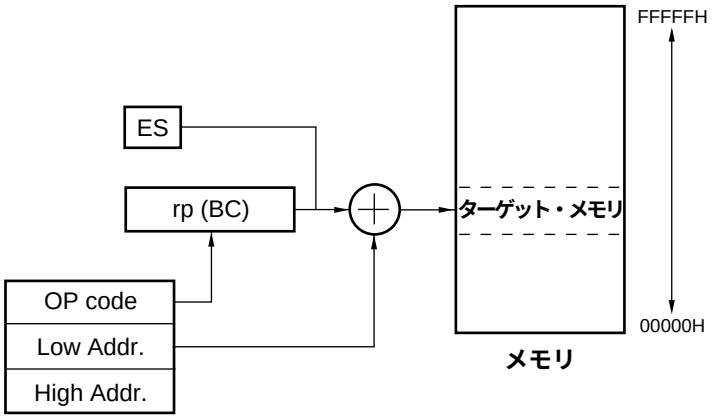


図3－39　ES:word[BC]の例



3. 4. 8　ベースト・インデクスト・アドレッシング

【機　　能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし，同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
－	[HL＋B]，[HL＋C] （F0000H-FFFFFH空間のみ指定可能）
－	ES:[HL＋B]，ES:[HL＋C] （ESレジスタにて上位4ビット・アドレス指定）

図3－40　[HL+B]，[HL+C]の例

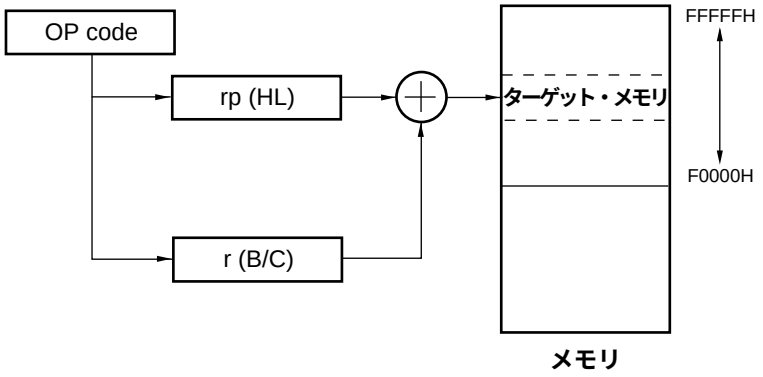
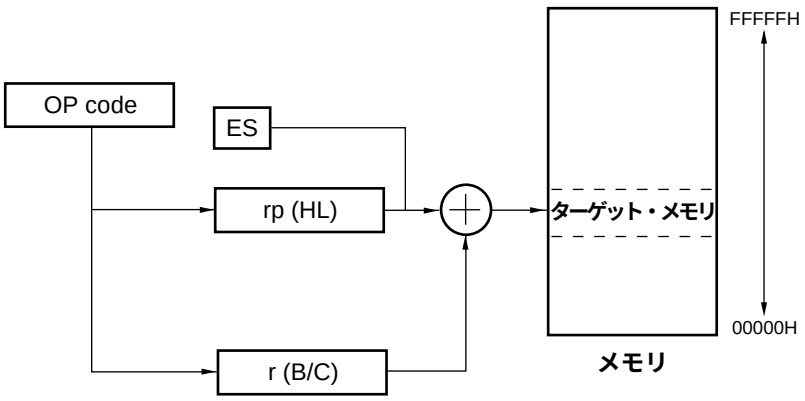


図3－41　ES:[HL+B]，ES:[HL+C]の例



3. 4. 9　スタック・アドレッシング

【機　　能】

スタック･ポインタ(SP)**の内容によりスタック領域を間接的に指定するアドレッシングです。**PUSH, POP**，サブルーチン・コール，リターン命令の実行時，および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。**

スタック・アクセスは内部RAM**のみに用いられます。**

【オペランド形式】

表現形式	記述方法
－	PUSH AX/BC/DE/HL POP AX/BC/DE/HL CALL/CALLT RET BRK RETB (**割り込み要求発生**) RETI

第4章　ポート機能

4. 1　ポートの機能

RL78/G12は，デジタル入出力ポートを備えており，多様な制御を行うことができます。

また，デジタル入出力ポートとしての機能以外に，各種兼用機能を備えています。兼用機能については，第2章 端子機能を参照してください。

4. 2　ポートの構成

ポートは，次のハードウエアで構成しています。

★ 表4－1　ポートの構成

項　　目	構　　成
制御レジスタ	ポート・モード・レジスタ（PM0-PM6, PM12, PM14） ポート・レジスタ（P0-P6, P12-P14） プルアップ抵抗オプション・レジスタ（PU0, PU1, PU3-PU5, PU12, PU14） ポート入力モード・レジスタ（PIM0, PIM1） ポート出力モード・レジスタ（POM0, POM1, POM4, POM5） ポート・モード・コントロール・レジスタ（PMC0, PMC1, PMC4, PMC12, PMC14） A/Dポート・コンフィギュレーション・レジスタ（ADPC） 周辺I/Oリダイレクション・レジスタ（PIOR）
ポート	・20ピン製品： 合計：18本（CMOS入出力：12本，CMOS入力：4本，N-chオープン・ドレイン入出力：2本） ・24ピン製品： 合計：22本（CMOS入出力：16本，CMOS入力：4本，N-chオープン・ドレイン入出力：2本） ・30ピン製品： 合計：26本（CMOS入出力：21本，CMOS入力：3本，N-chオープン・ドレイン入出力：2本）
プルアップ抵抗	・20ピン製品　　：合計：9本 ・24ピン製品　　：合計：13本 ・30ピン製品　　：合計：17本

注意　この章では，以降の主な説明をデータ・フラッシュ搭載品の場合で説明しています。

4. 2. 1　20, 24ピン製品

（1）ポート0

出力ラッチ付き入出力ポートです（24ピン製品に搭載）。ポート・モード・レジスタ0（PM0）により1ビット単位で入力モード／出力モードの指定ができます。P00-P03端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ0（PU0）により1ビット単位で内蔵プルアップ抵抗を使用できます。

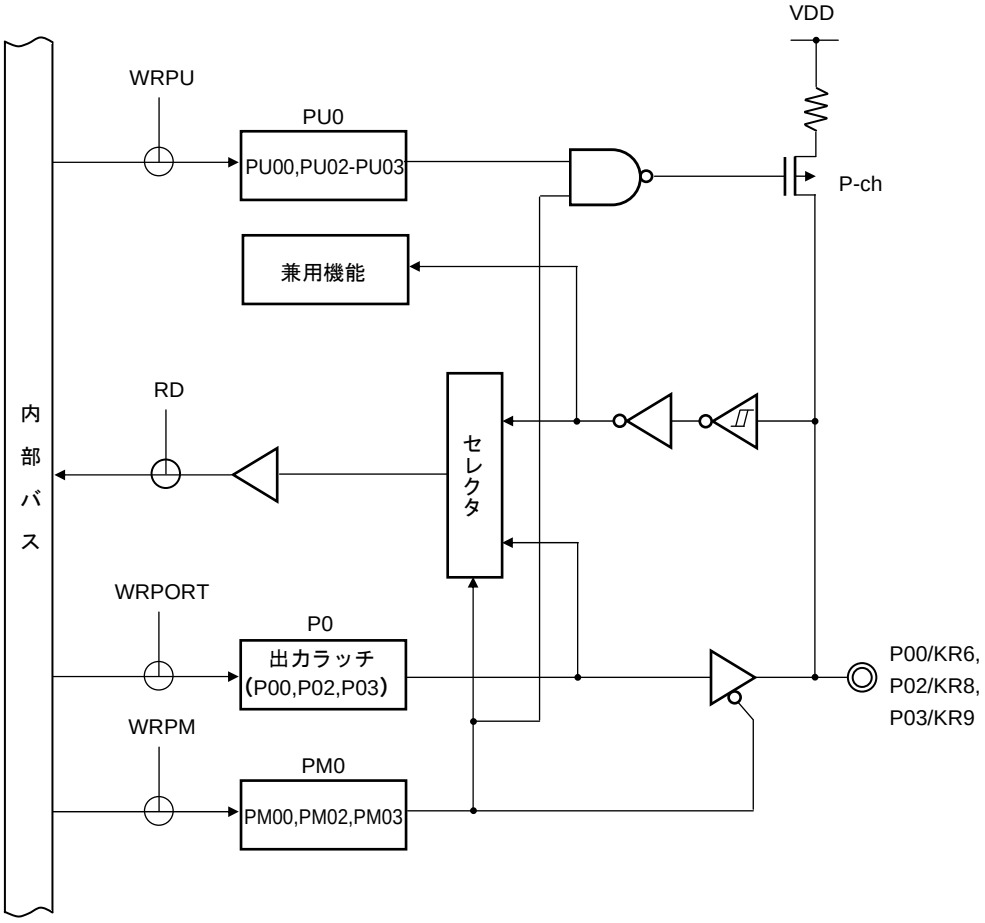
P01端子の出力は，ポート出力モード・レジスタ0（POM0）により1ビット単位でN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能です。

また，兼用機能としてキー・リターン入力機能があります。

リセット信号の発生により，入力モードになります。

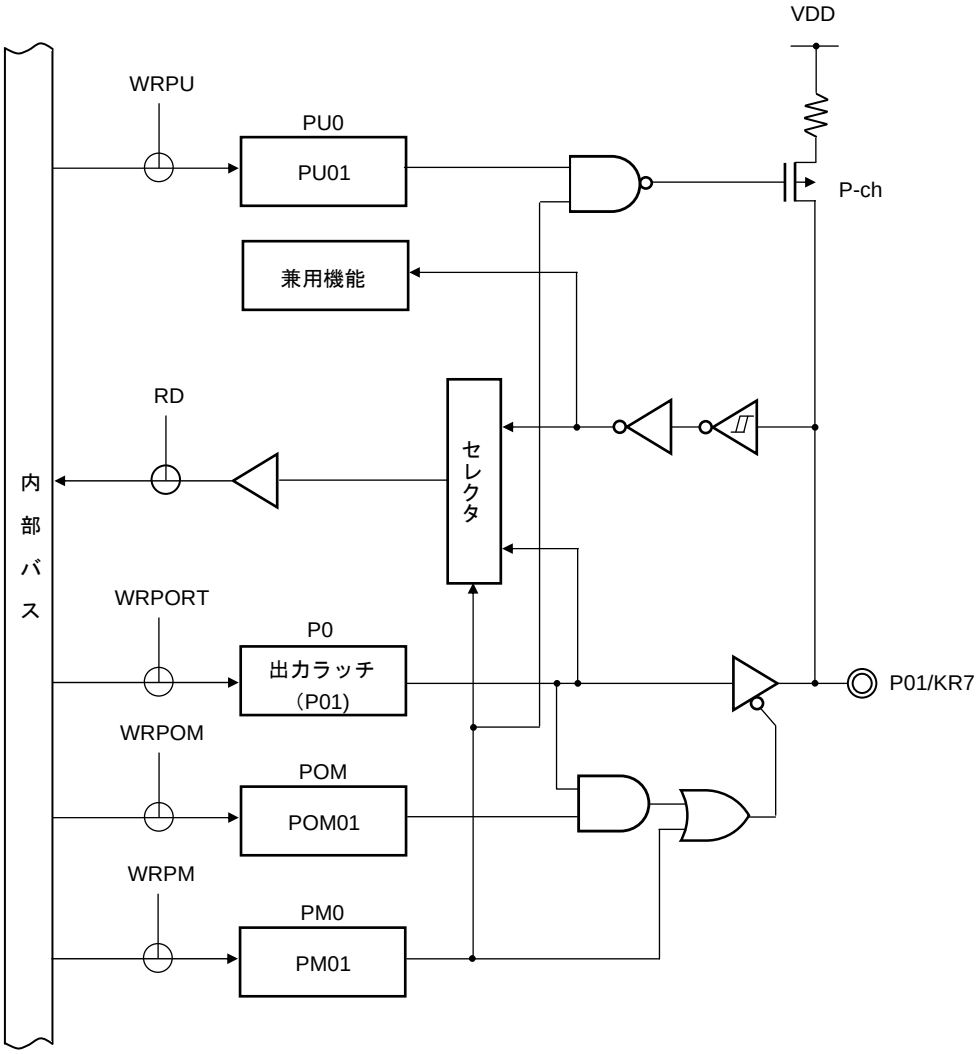
図4－1，図4－2にポート0のブロック図を示します。

図4ー1　P00, P02, P03のブロック図（24ピン製品）



P0　　：**ポート・レジスタ**0
PU0　：**プルアップ抵抗オプション・レジスタ**0
PM0　：**ポート・モード・レジスタ**0
RD　　：**リード信号**
WR××：**ライト信号**

図4ー2　P01のブロック図（24ピン製品）



P0　　：ポート・レジスタ0
PU0　：プルアップ抵抗オプション・レジスタ0
PM0　：ポート・モード・レジスタ0
POM0：ポート出力モード・レジスタ0
RD　　：リード信号
WR××：ライト信号

(2) ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1（PM1）により1ビット単位で入力モード／出力モードの指定ができます。P10-P14**端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ1（PU1）により1ビット単位で内蔵プルアップ抵抗を使用できます。このとき，**P10-P12**については，有効にするビットをポート出力モード・レジスタ1（POM1）で指定してください。**

P10, P11**の入力は，ポート入力モード・レジスタ1（PIM1）の設定により，1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。**

P10-P12**端子の出力は，ポート出力モード・レジスタ1（POM1）により1ビット単位でN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能です。**

また，兼用機能としてアナログ入力，クロック／ブザー出力，シリアル・インタフェースのデータ入出力，クロック入出力，タイマの入出力，外部割り込み要求入力があります。

リセット信号の発生により，アナログ入力になります。

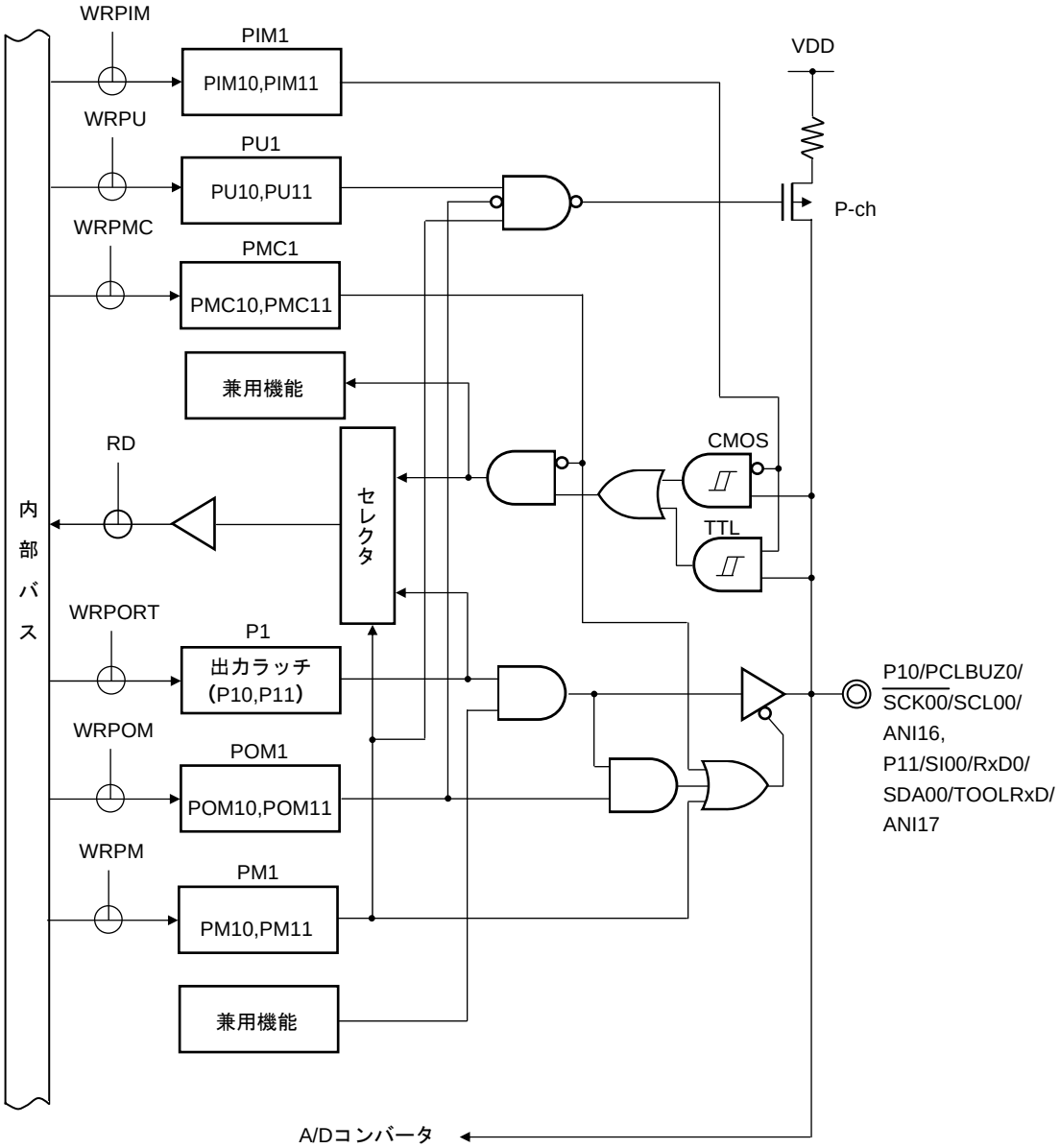
図4－3～図4－6にポート1のブロック図を示します。

★ **注意**1. P10/ANI16/PCLBUZ0/$\overline{\text{SCK00}}$/SCL00**を汎用ポートとして使用する場合，クロック出力選択レジスタ1（CKS1）のビット**7**とシリアル・チャネル許可ステータス・レジスタ1（SE1），シリアル出力レジスタ1（SO1），シリアル出力許可レジスタ1（SOE1）を初期状態と同じ設定“**0**”で使用してください。**

★ 2. P11/SI00/RxD0/SDA00/TOOLRxD/ANI17, P12/SO00/TxD0/TOOLTxD/ANI18**を汎用ポートとして使用する場合，シリアル・チャネル許可ステータス・レジスタ0（SE0），シリアル出力レジスタ0（SO0），シリアル出力許可レジスタ0（SOE0）を初期状態と同じ設定で使用してください。**

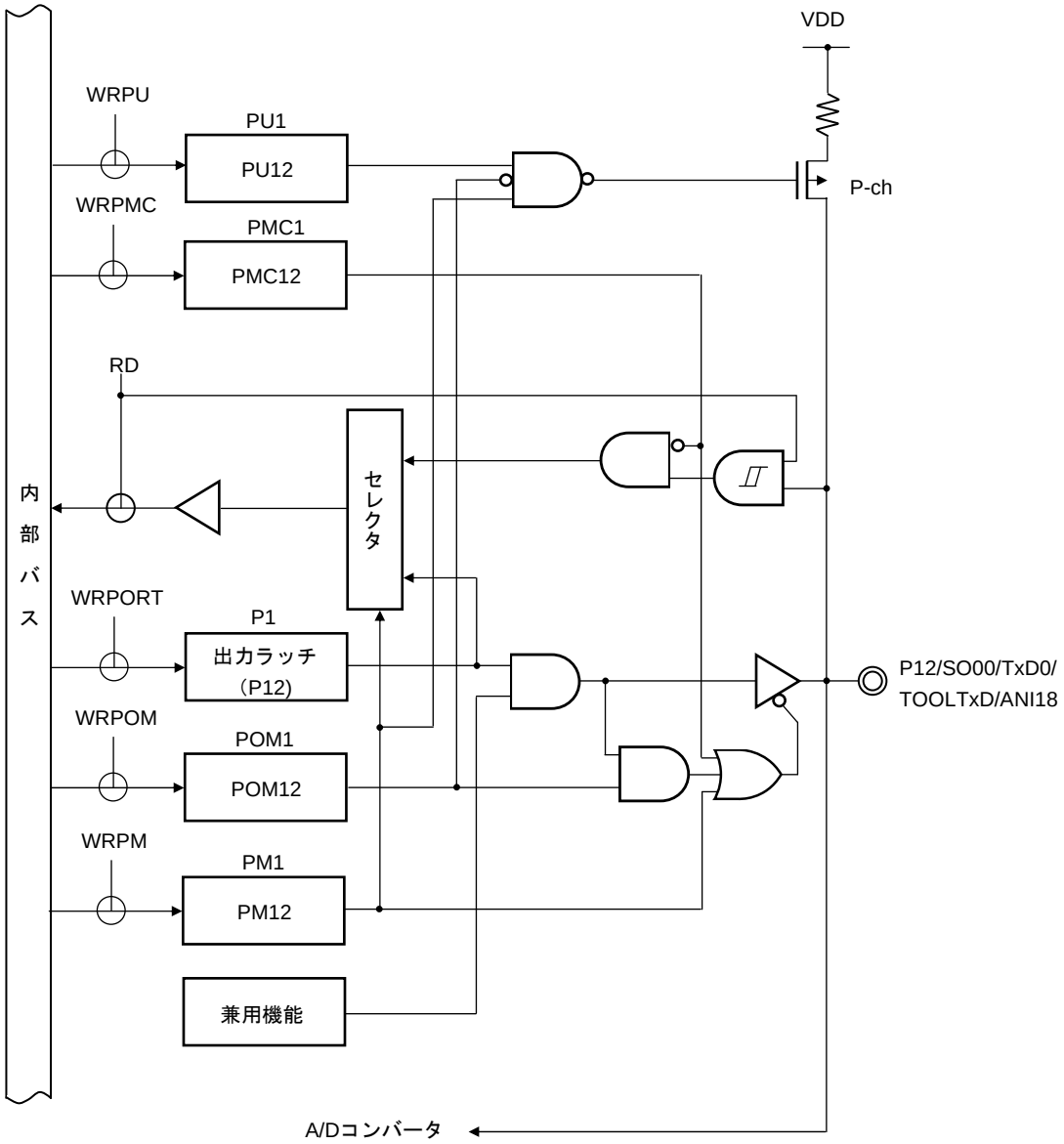
★ 3. P13/TI00/TO00/INTP2/ANI19, P14/TI01/TO01/INTP3/ANI19**を汎用ポートとして使用する場合，タイマ出力レジスタ0（TO0）のビット0, 1（TO00, TO01）とタイマ出力許可レジスタ0（TOE0）のビット0, 1（TOE00, TOE01）を初期状態と同じ設定“0”で使用してください。**

図4－3　P10, P11**のブロック図（**20, 24**ピン製品）**



P1　　：**ポート・レジスタ**1
PU1　：**プルアップ抵抗オプション・レジスタ**1
PM1　：**ポート・モード・レジスタ**1
PIM1　：**ポート入力モード・レジスタ**1
POM1：**ポート出力モード・レジスタ**1
PMC1：**ポートモード・コントロール・レジスタ**1
RD　　：**リード信号**
WR××：**ライト信号**

図4－4　P12**のブロック図（**20, 24**ピン製品）**



P1　　：**ポート・レジスタ**1

PU1　：**プルアップ抵抗オプション・レジスタ**1

PM1　：**ポート・モード・レジスタ**1

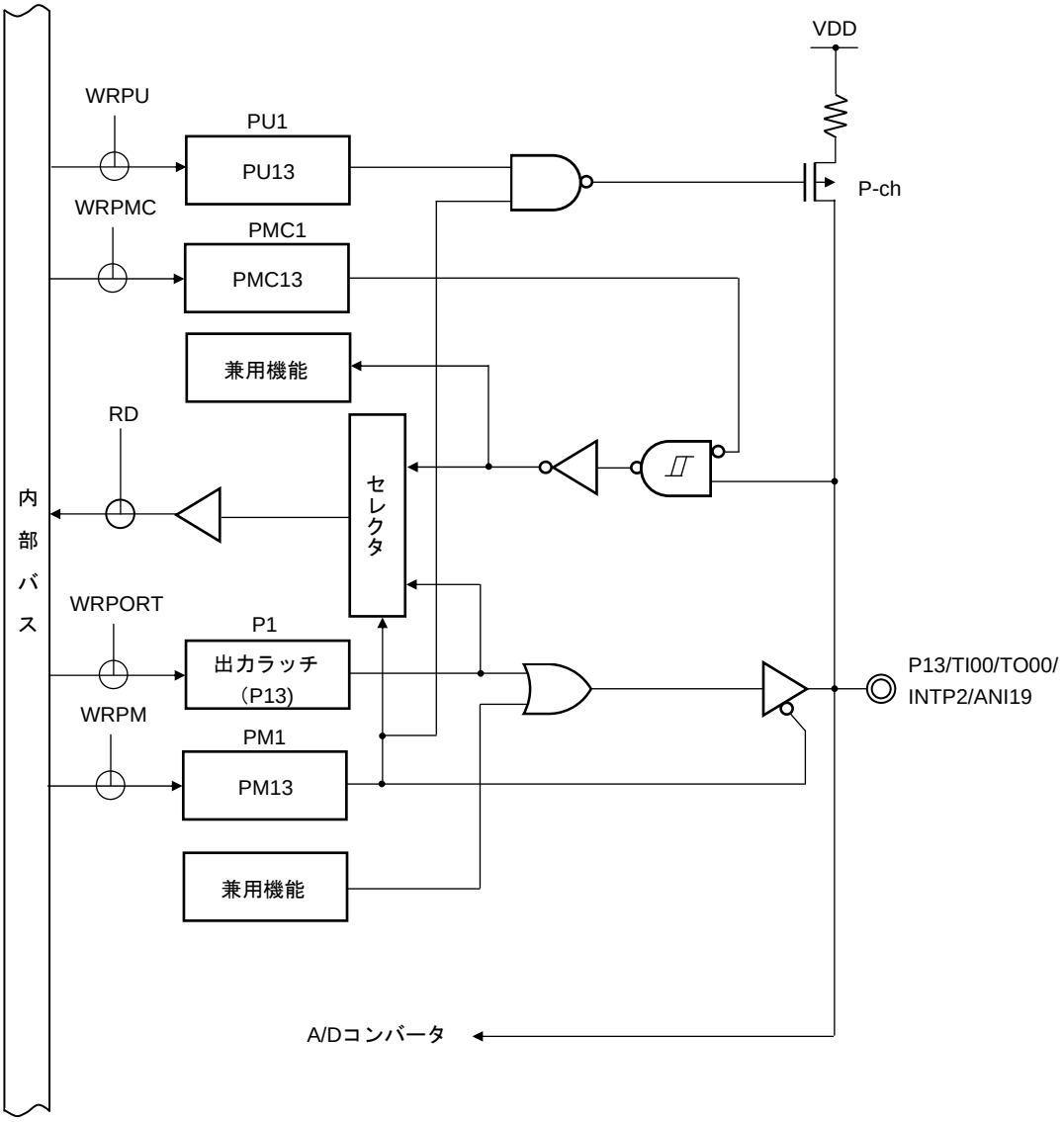
POM1：**ポート出力モード・レジスタ**1

PMC1：**ポートモード・コントロール・レジスタ**1

RD　　：**リード信号**

WR××：**ライト信号**

図4－5　P13のブロック図（20, 24ピン製品）



P1　　**：ポート・レジスタ1**

PU1　　**：プルアップ抵抗オプション・レジスタ1**

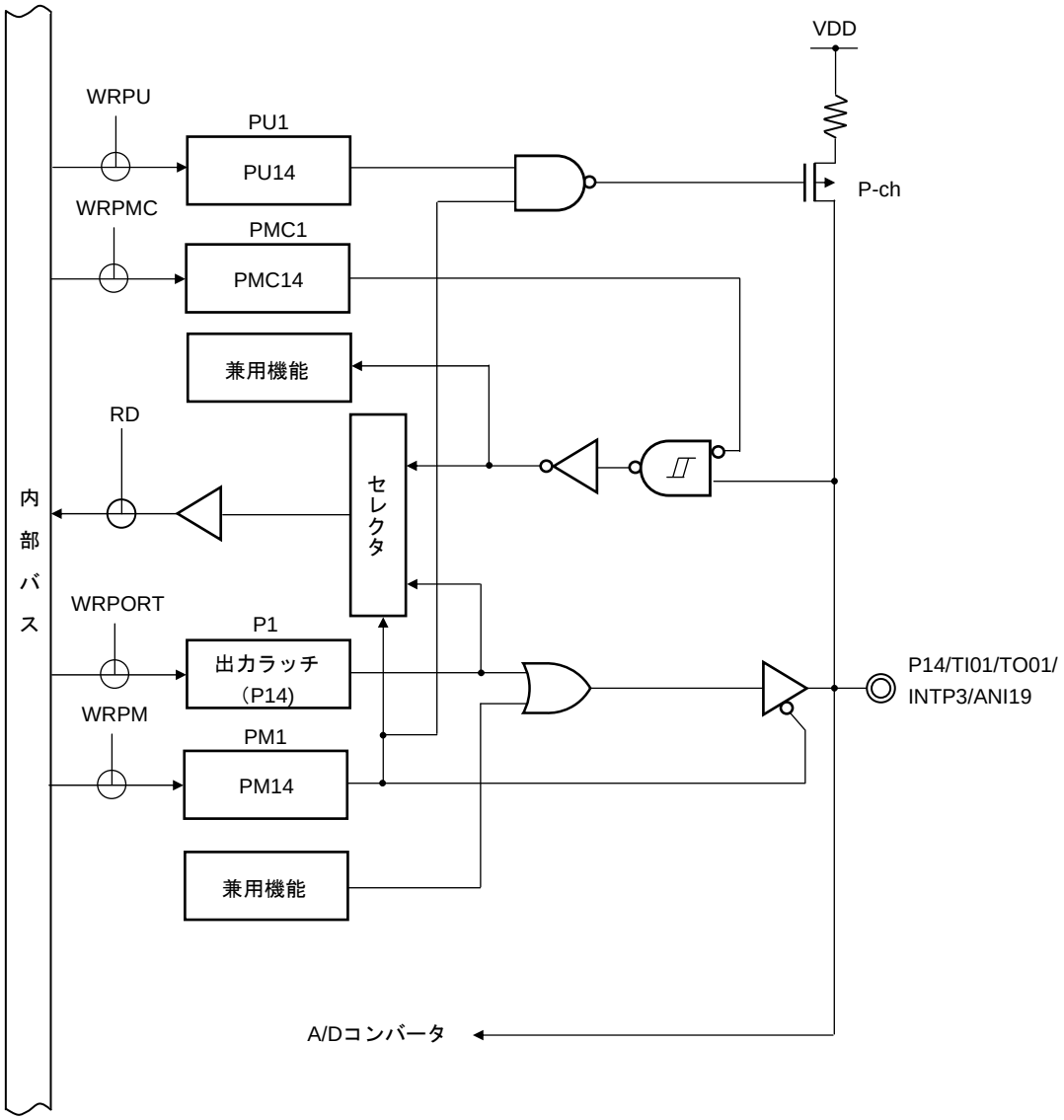
PM1　　**：ポート・モード・レジスタ1**

PMC1　　**：ポートモード・コントロール・レジスタ1**

RD　　**：リード信号**

WR××　　**：ライト信号**

図4－6　P14のブロック図（20, 24ピン製品）



P1　　：**ポート・レジスタ**1

PU1　　：**プルアップ抵抗オプション・レジスタ**1

PM1　　：**ポート・モード・レジスタ**1

PMC1　：**ポートモード・コントロール・レジスタ**1

RD　　：**リード信号**

WR××　：**ライト信号**

(3) ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2（PM2）により1ビット単位で入力モード／出力モードの指定ができます。

また，兼用機能としてA/Dコンバータのアナログ入力，A/Dコンバータの基準電位（＋側）入力，A/Dコンバータの基準電位（－側）入力があります。

P20/ANI0-P23/ANI3をデジタル入力として使用する場合は，A/Dポート・コンフィギュレーション・レジスタ（ADPC）でデジタル入出力に，かつPM2レジスタで入力モードに設定して，上位ビットから使用してください。

P20/ANI0-P27/ANI3をデジタル出力として使用する場合は，ADPCレジスタでデジタル入出力に，かつPM2レジスタで出力モードに設定してください。

P20/ANI0-P23/ANI3をアナログ入力として使用する場合は，A/Dポート・コンフィギュレーション・レジスタ（ADPC）でアナログ入力に，かつPM2レジスタで入力モードに設定して，下位ビットから使用してください。

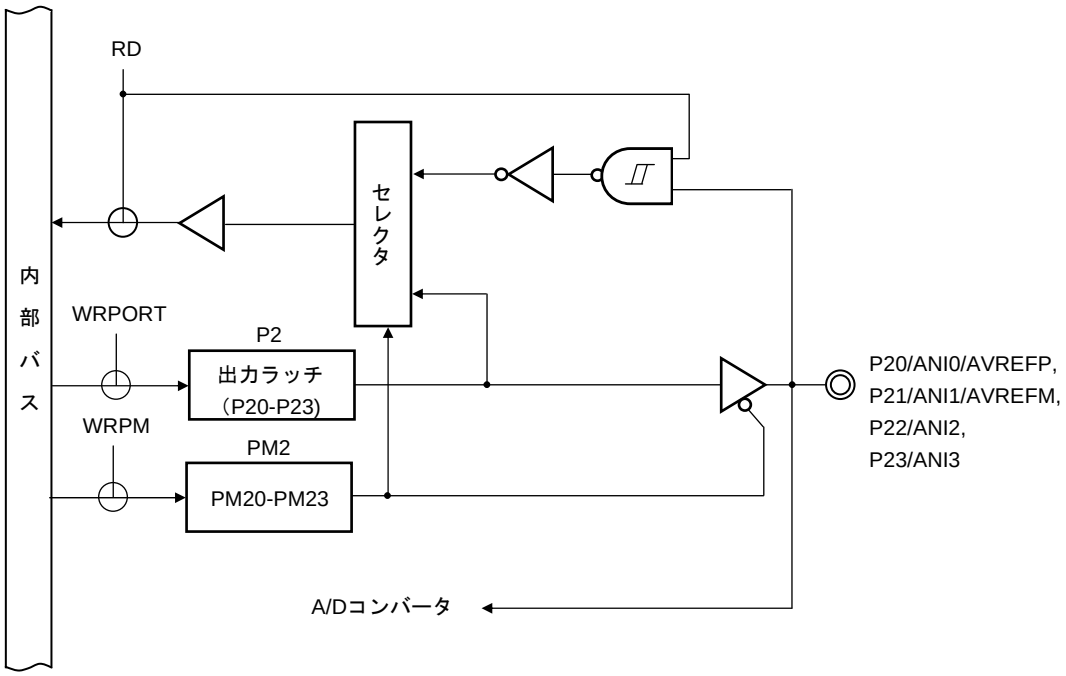
表4－2　P20/ANI0-P23/ANI3端子機能の設定

ADPCレジスタ	PM2レジスタ	ADSレジスタ	P20/ANI0-P23/ANI3端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により，アナログ入力になります。

図4－8にポート2のブロック図を示します。

図4－7　P20-P23のブロック図（20, 24ピン製品）



P2　：ポート・レジスタ2

PM2　：ポート・モード・レジスタ2

RD　：リード信号

WR××：ライト信号

(4) ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4（PM4）**により**1**ビット単位で入力モード／出力モードの指定ができます。**P40-P42**端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ**4（PU4）**により**1**ビット単位で内蔵プルアップ抵抗を使用できます**[注]**。

P41端子の出力は，ポート出力モード・レジスタ**4（POM4）**により**N-ch**オープン・ドレイン出力（V_{DD}耐圧）に設定可能です。

また，兼用機能としてキー・リターン入力，フラッシュ・メモリ・プログラマ／デバッガ用のデータ入出力，アナログ入力，シリアル・インタフェースのデータ入出力，クロック入出力，タイマの入出力，外部割り込み要求入力があります。

リセット信号の発生により，入力モード（P41, P42**はアナログ入力）になります。**

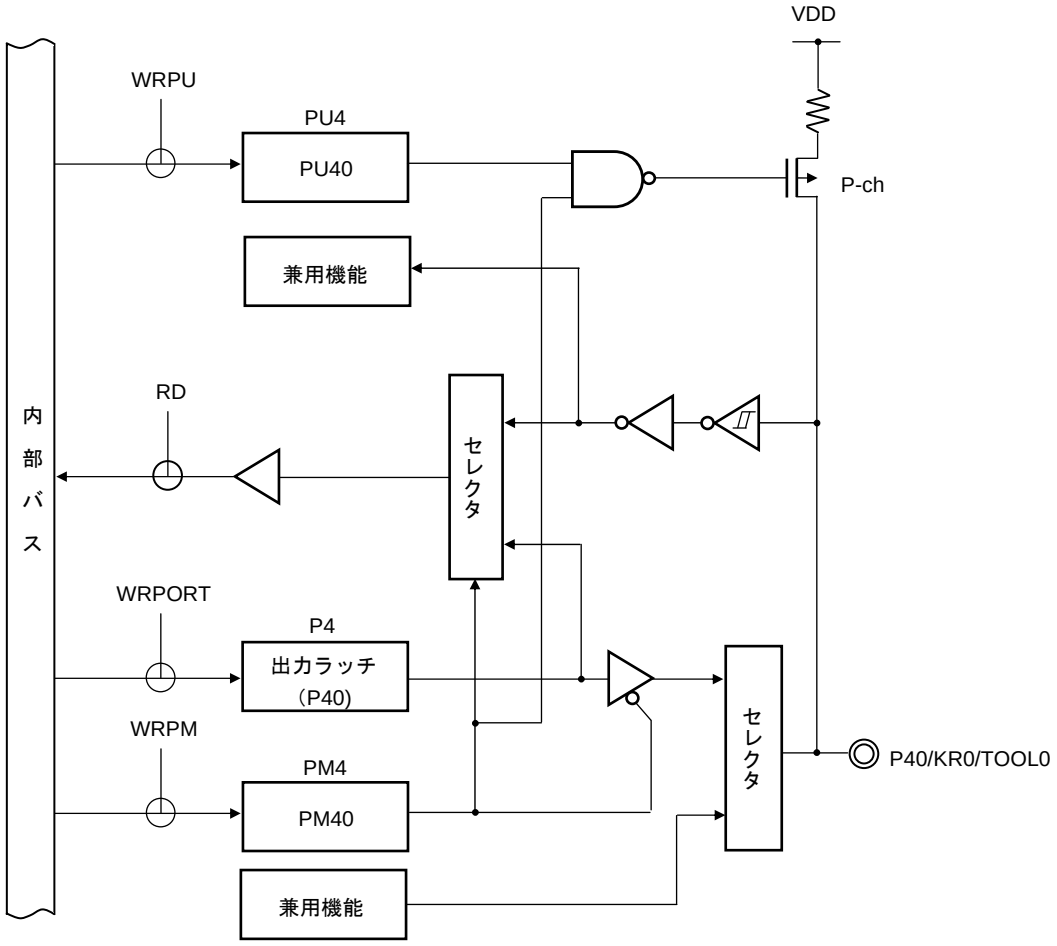
図4－8**～図**4－10**にポート**4**のブロック図を示します。**

注 P40**端子は，ツール接続時にはプルアップ抵抗は接続できません。**

注意1. P40**端子は，ツール接続時はポート端子として使用できません。**

★ 2. P41/SO01/SDA01/TI02/TO02/INTP1/ANI22, P42/SCK01/SCL01/TI03/TO03/ANI21**を汎用ポートとして使用する場合，シリアル・チャネル許可ステータス・レジスタ**0（SE0）**，シリアル出力レジスタ**0（SO0）**，シリアル出力許可レジスタ**0（SOE0）**，またタイマ出力レジスタ**0（TO0）**のビット**2, 3（TO02, TO03）**とタイマ出力許可レジスタ**0（TOE0）**のビット**2, 3（TOE02, TOE03）**を初期状態と同じ設定で使用してください。**また，ポート出力モード・レジスタ4（POM4）は00Hにしてください。

図4－8　P40のブロック図（20, 24ピン製品）



P4　：ポート・レジスタ4

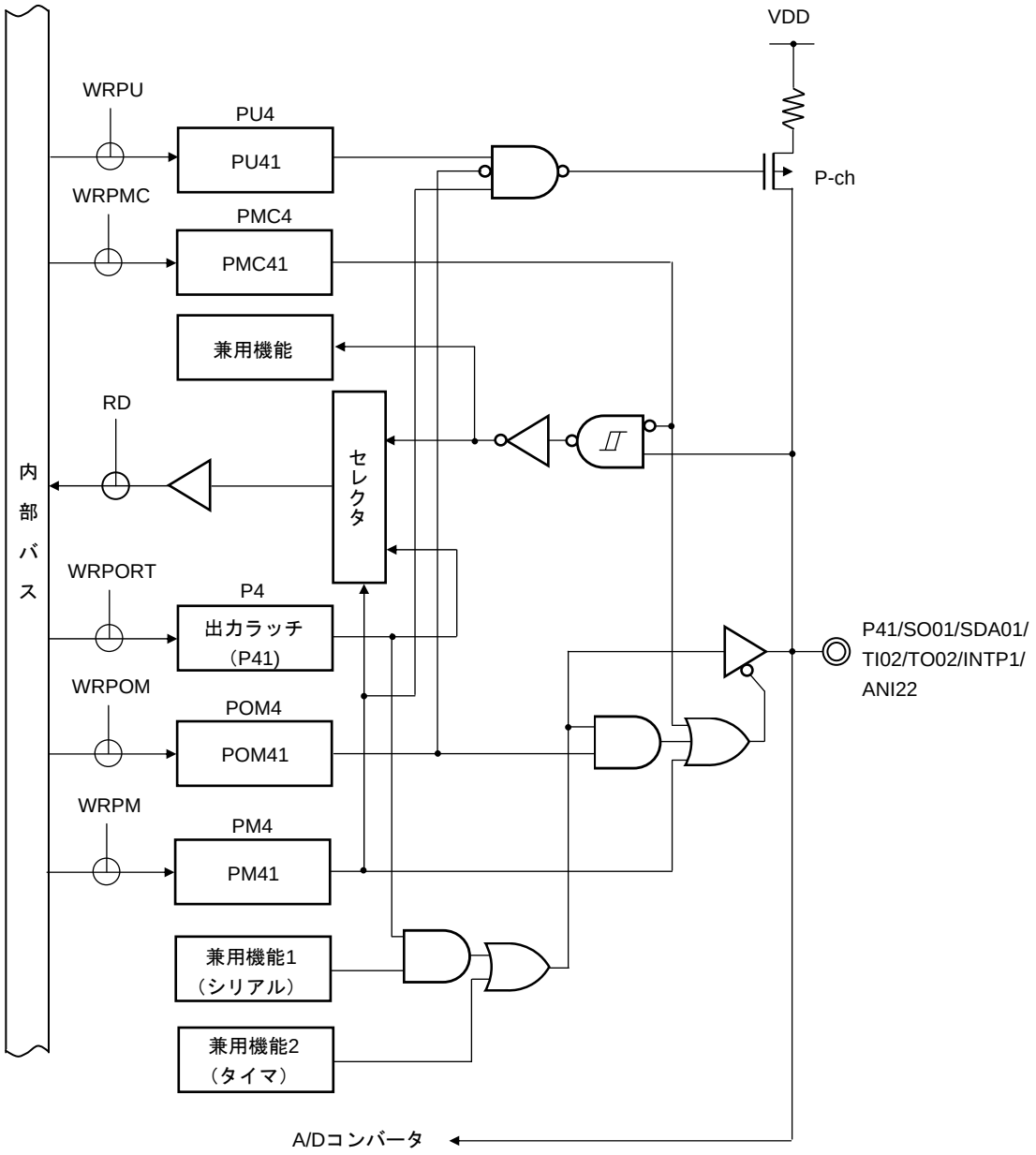
PU4　：プルアップ抵抗オプション・レジスタ4

PM4　：ポート・モード・レジスタ4

RD　：リード信号

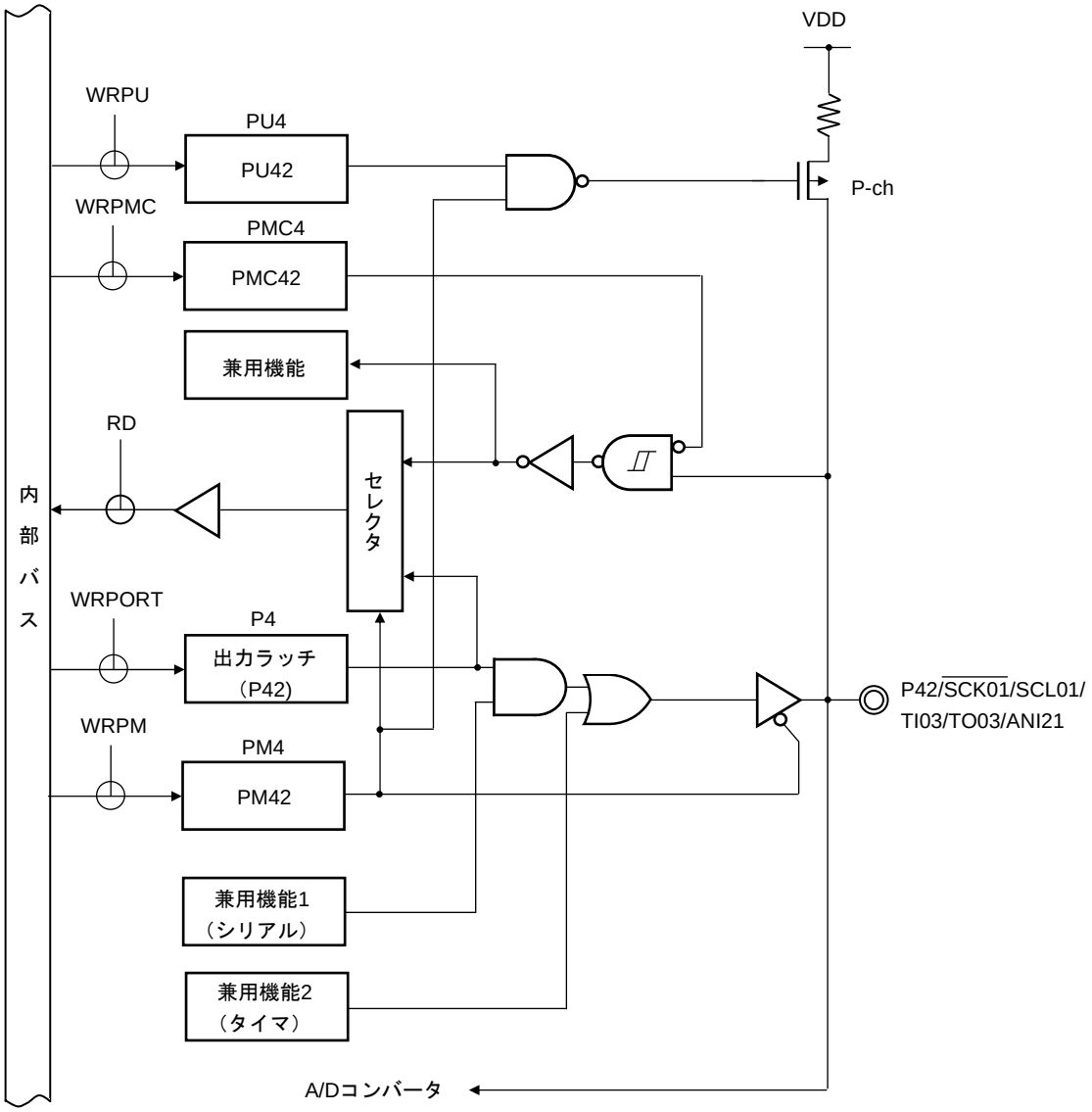
WR××：ライト信号

図4－9　P41のブロック図（20, 24ピン製品）



P4　　：ポート・レジスタ4
PU4　：プルアップ抵抗オプション・レジスタ4
PM4　：ポート・モード・レジスタ4
POM4　：ポート出力モード・レジスタ4
PMC4　：ポート・モード・コントロール・レジスタ4
RD　　：リード信号
WR××：ライト信号

図4－10　P42のブロック図（20, 24ピン製品）



P4　：**ポート・レジスタ**4

PU4　：**プルアップ抵抗オプション・レジスタ**4

PM4　：**ポート・モード・レジスタ**4

PMC4　：**ポート・モード・コントロール・レジスタ**4

RD　：**リード信号**

WR××：**ライト信号**

(5) ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6（PM6）により1ビット単位で入力モード／出力モードの指定ができます。

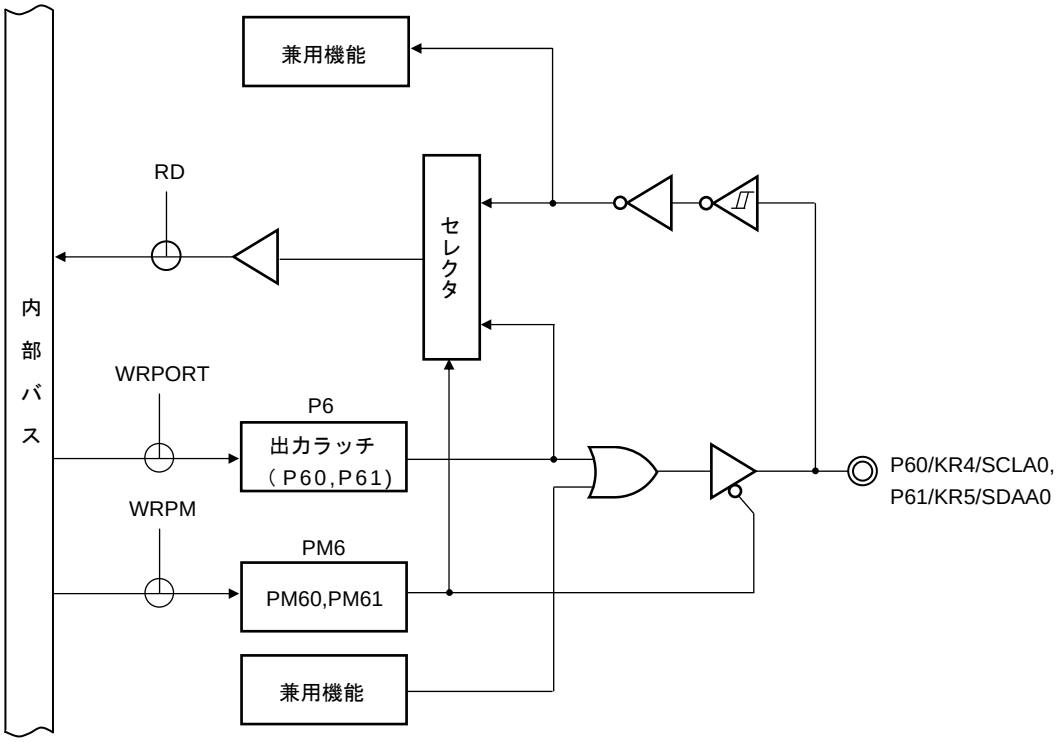
また，兼用機能としてキー・リターン入力，シリアル・インタフェースのデータ入出力，クロック入出力があります。

リセット信号の発生により，入力モードになります。

図4－11にポート6のブロック図を示します。

★　**注意**　P60/KR4/SCLA0, P61/KR5/SDAA0を汎用ポートとして使用する場合，シリアル・インタフェースIICAを動作停止にしてください。

図4－11　P60のブロック図（20, 24ピン製品）



P6　：ポート・レジスタ6

PM6　：ポート・モード・レジスタ6

RD　：リード信号

WR××：ライト信号

(6) ポート12

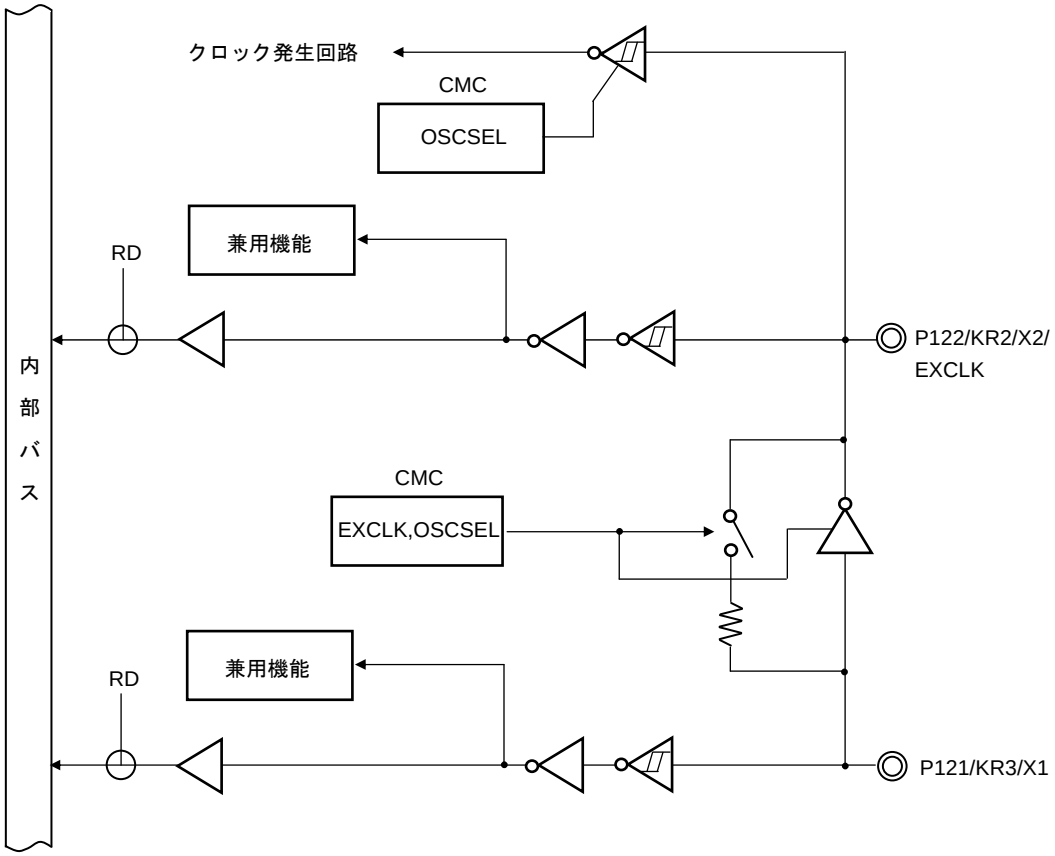
入力ポートです。P125**はプルアップ抵抗オプション・レジスタ**12（PU12）**により，内蔵プルアップ抵抗を使用できます（**$\overline{\text{RESET}}$**入力では有効）。**

また兼用機能としてキー・リターン入力，メイン・システム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力，リセット入力があります。

図4－12, **図**4－13**にポート**12**のブロック図を示します。**

注意　P121, P121**の機能設定は，リセット解除後**1**回のみ可能です。一度，発振子／発振器接続用に設定したポートは，リセットしないかぎり入力ポートとして使用できません。**

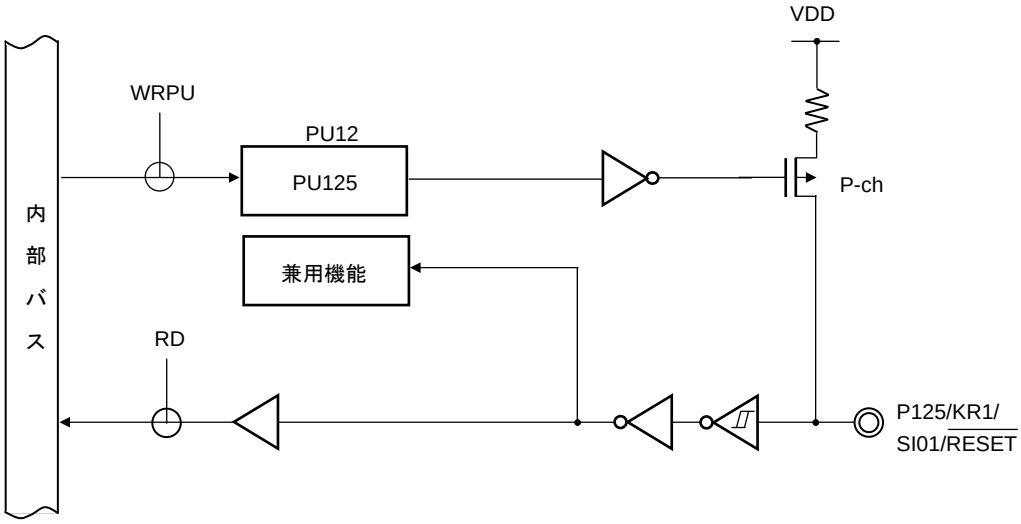
図4－12　P121, P122**のブロック図（**20, 24**ピン製品）**



CSC　：クロック動作モード制御レジスタ

RD　：**リード信号**

図4－13　P125**のブロック図（**20, 24**ピン製品）**



PU12　**：プルアップ抵抗オプション・レジスタ**12

RD　　**：リード信号**

WR××　**：ライト信号**

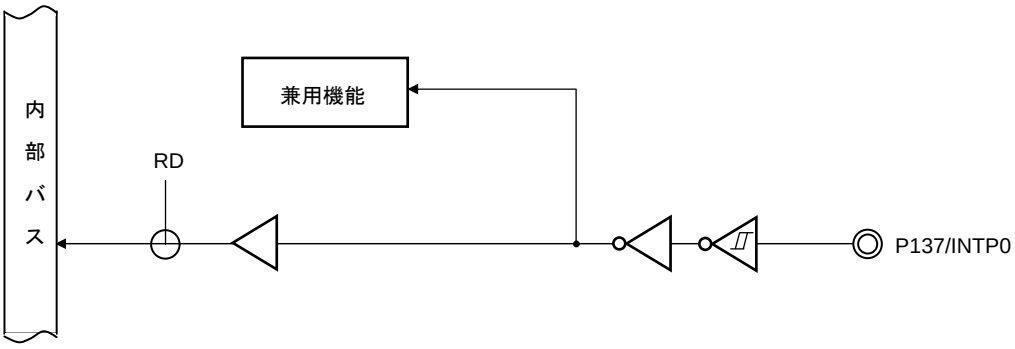
（7**）ポート**13

入力ポートです。

また兼用機能として外部割り込み要求入力があります。

図4－14**にポート**13**のブロック図を示します。**

図4－14　P137**のブロック図（**20, 24**ピン製品）**



RD　　**：リード信号**

★　4. 2. 2　30ピン製品

(1) ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0（PM0）により1ビット単位で入力モード／出力モードの指定ができます。P00，P01**端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ0（PU0）により1ビット単位で内蔵プルアップ抵抗を使用できます。**

P01**の入力は，ポート入力モード・レジスタ0（PIM0）の設定により，通常入力バッファ／**TTL**入力バッファの指定ができます。**

P00, P01**端子は，ポート・モード・コントロール・レジスタ（PMC0）により，1ビット単位でデジタル入出力／アナログ入力の設定が必要です。**

また，兼用機能としてタイマの入出力，A/Dコンバータのアナログ入力，プログラミングUARTの送受信があります。

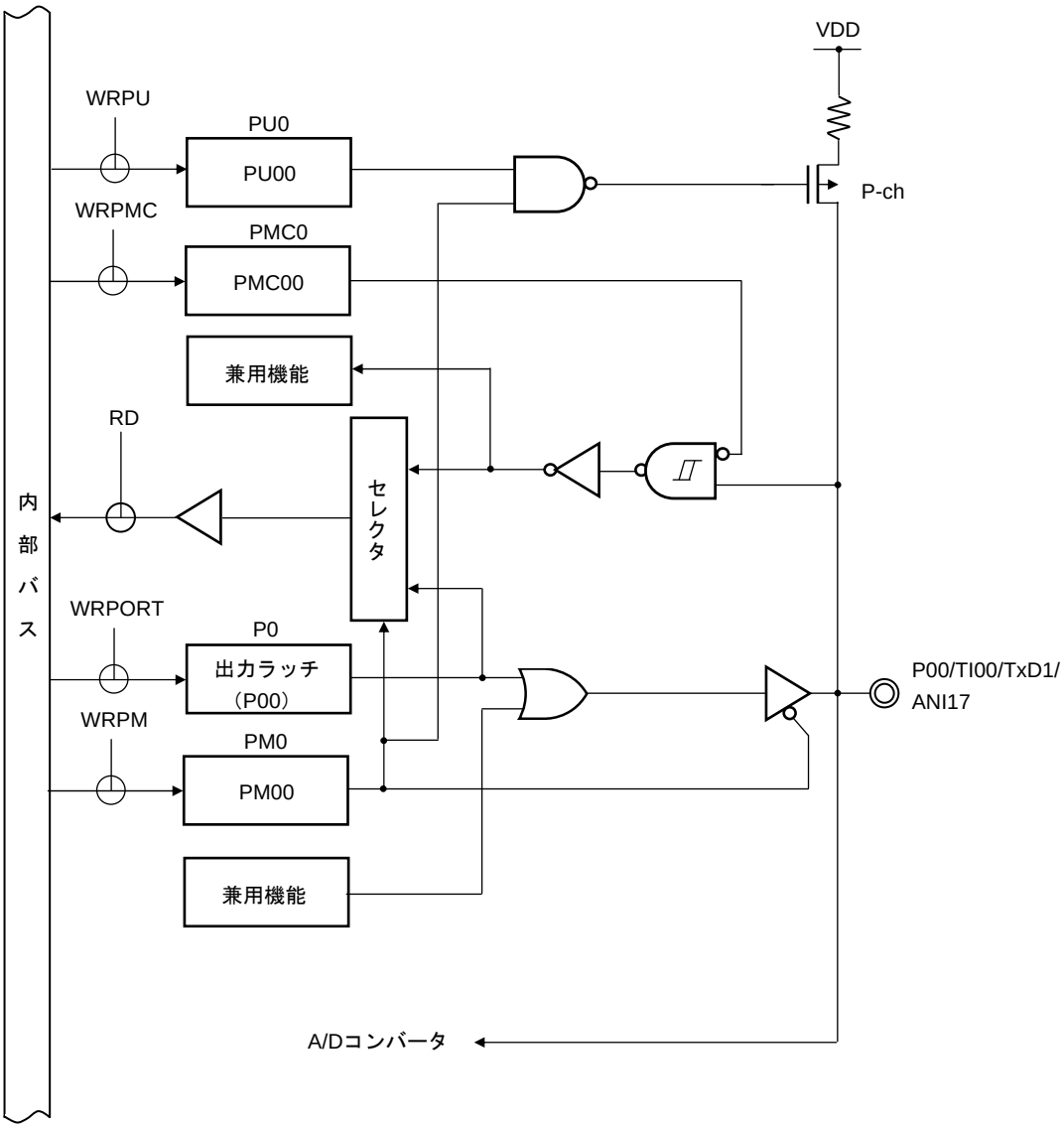
リセット信号の発生により，入力モードになります。

図4－15，**図**4－16**にポート0のブロック図を示します。**

注意1. P00/TI00/TxD1/ANI17**を汎用ポートとして使用する場合，シリアル・チャネル許可ステータス・レジスタ0（SE0），シリアル出力レジスタ0（SO0），シリアル出力許可レジスタ0（SOE0）を初期状態と同じ設定で使用してください。また，ポート出力モード・レジスタ0（POM0）は00Hにしてください。**

2. P01/TO00/RxD1/ANI16**を汎用ポートとして使用する場合，タイマ出力レジスタ0（TO0）のビット0（TO00）とタイマ出力許可レジスタ0（TOE0）のビット0（TOE00）を初期状態と同じ設定“0”で使用してください。**

図4－15　P00**のブロック図（**30**ピン製品）**



P0　　：**ポート・レジスタ**0

PU0　：**プルアップ抵抗オプション・レジスタ**0

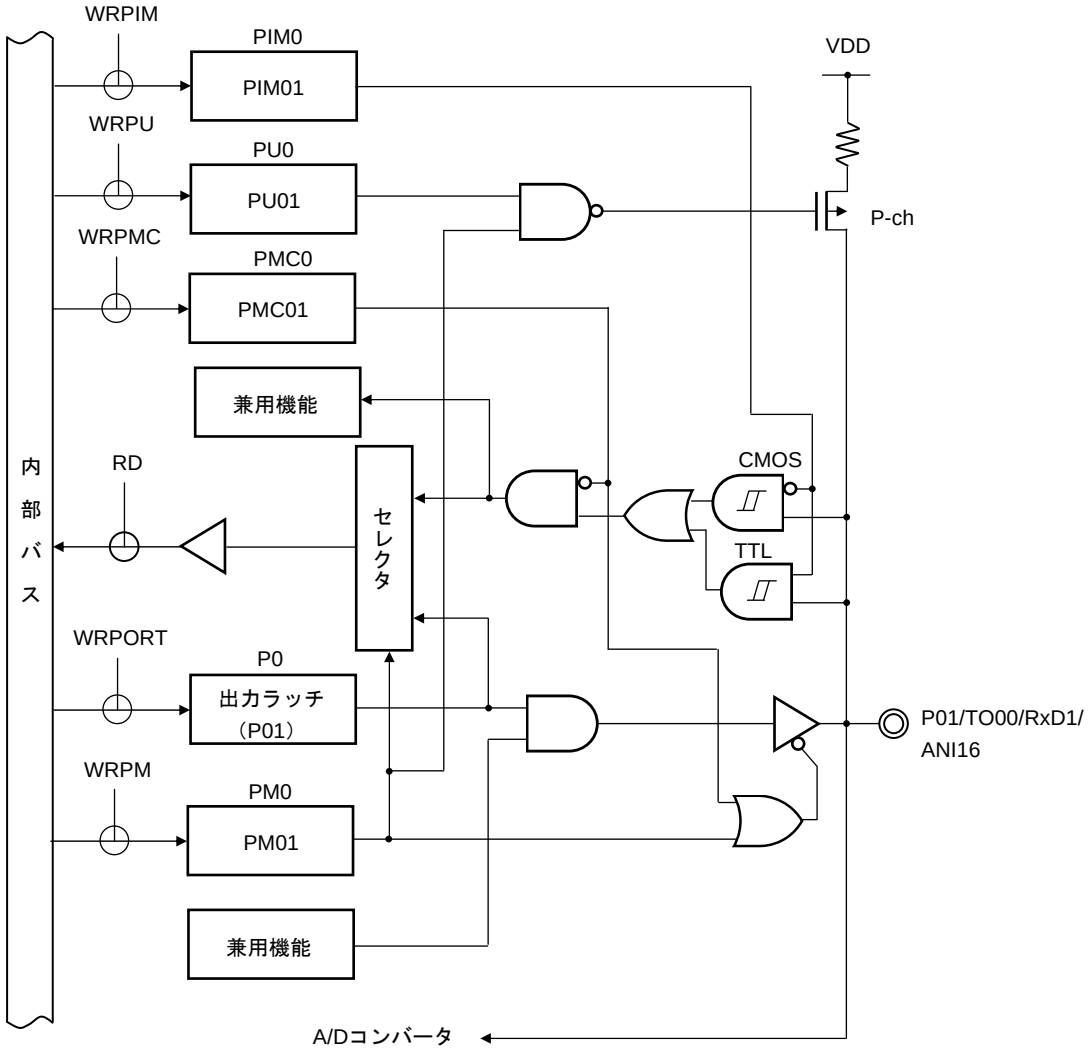
PM0　：**ポート・モード・レジスタ**0

PMC0　：**ポートモード・コントロール・レジスタ**0

RD　　：**リード信号**

WR××　：**ライト信号**

図4－16　P01のブロック図（30ピン製品）



P0　　：**ポート・レジスタ**0

PU0　：**プルアップ抵抗オプション・レジスタ**0

PM0　：**ポート・モード・レジスタ**0

PIM0　：**ポート入力モード・レジスタ**0

PMC0　：**ポートモード・コントロール・レジスタ**0

RD　　：**リード信号**

WR××：**ライト信号**

（2）ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1（PM1）**により**1**ビット単位で入力モード／出力モードの指定ができます。**P10-P17**端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ**1（PU1）**により**1**ビット単位で内蔵プルアップ抵抗を使用できます。

P10, P11, P13-P17**端子の入力は，ポート入力モード・レジスタ**1（PIM1）**の設定により**1**ビット単位で通常入力バッファ／**TTL**入力バッファの指定ができます。**

P10-P15, P17**端子の出力は，ポート出力モード・レジスタ**1（POM1）**により**1**ビット単位で**N-ch**オープン・ドレイン出力（**V_{DD}**耐圧）に設定可能です。**

また，兼用機能としてシリアル・インタフェースのデータ入出力，クロック入出力，プログラミングUART**の送受信，タイマの入出力，クロック／ブザー出力，外部割り込み要求入力があります。**

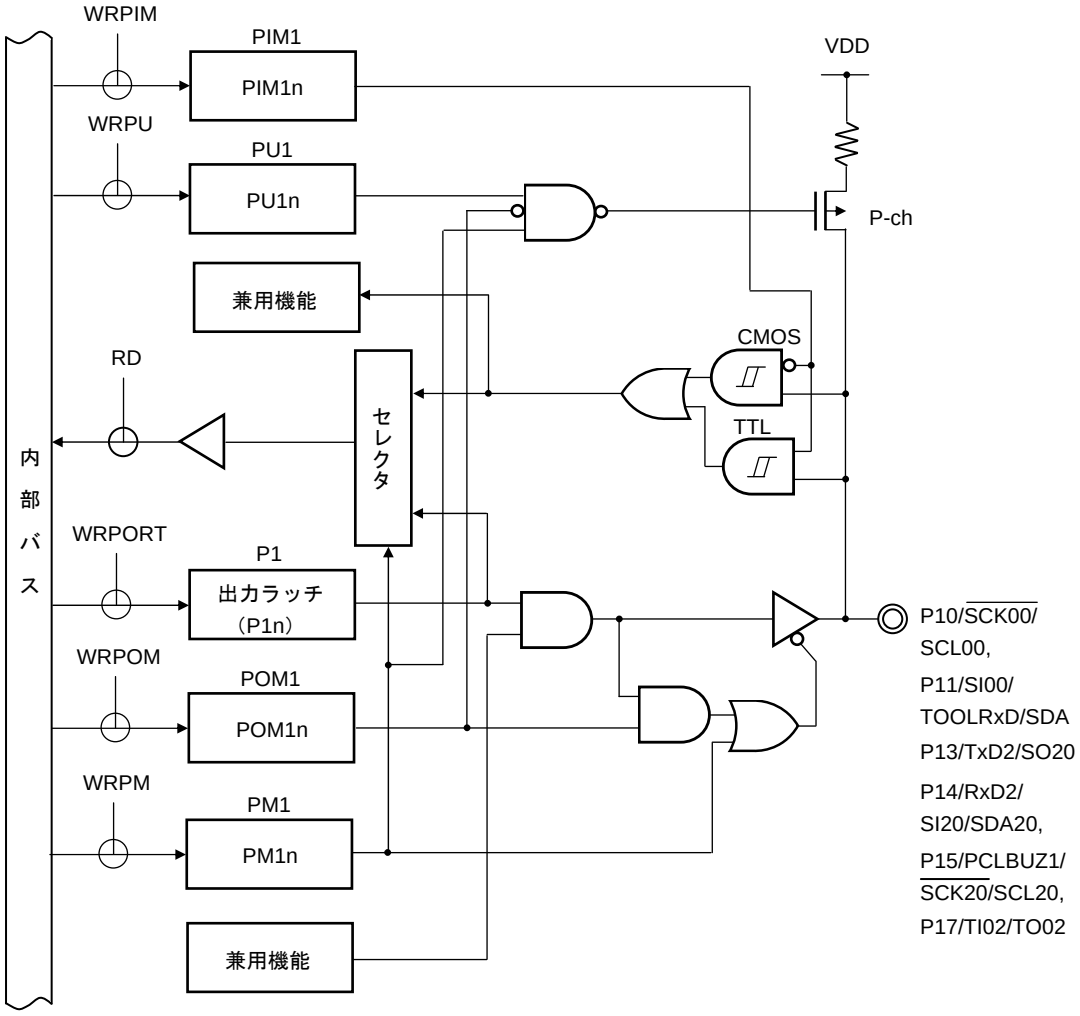
リセット信号の発生により，入力モードになります。

図4－17**～図**4－20**にポート**1**のブロック図を示します。**

注意1. P10/$\overline{\text{SCK00}}$/SCL00, P11/SI00/RxD0/TOOLRxD/SDA00, P12/SO00/TxD0/TOOLTxD, P13/TxD2/SO20, P14/RxD2/SI20/SDA20, P15/PCLBUZ1/$\overline{\text{SCK20}}$/SCL20**を汎用ポートとして使用する場合，シリアル・チャネル許可ステータス・レジスタ**m**（**SEm**），シリアル出力レジスタ**m**（**SOm**），シリアル出力許可レジスタ**m**（**SOEm**），クロック出力選択レジスタ**1**（**CKS1**）のビット**7**を初期状態と同じ設定“**0**”で使用してください。を初期状態と同じ設定で使用してください（**m = 0, 1**）。また，ポート出力モード・レジスタ**1**（**POM1**）は**00H**にしてください。**

2. P16/TI01/TO01/INTP5, P17/TI02/TO02**を汎用ポートとして使用する場合，タイマ出力レジスタ**0**（**TO0**）のビット**1, 2**（**TO01, TO02**）とタイマ出力許可レジスタ**0**（**TOE0**）のビット**1, 2**（**TOE01, TOE02**）を初期状態と同じ設定“**0**”で使用してください。**

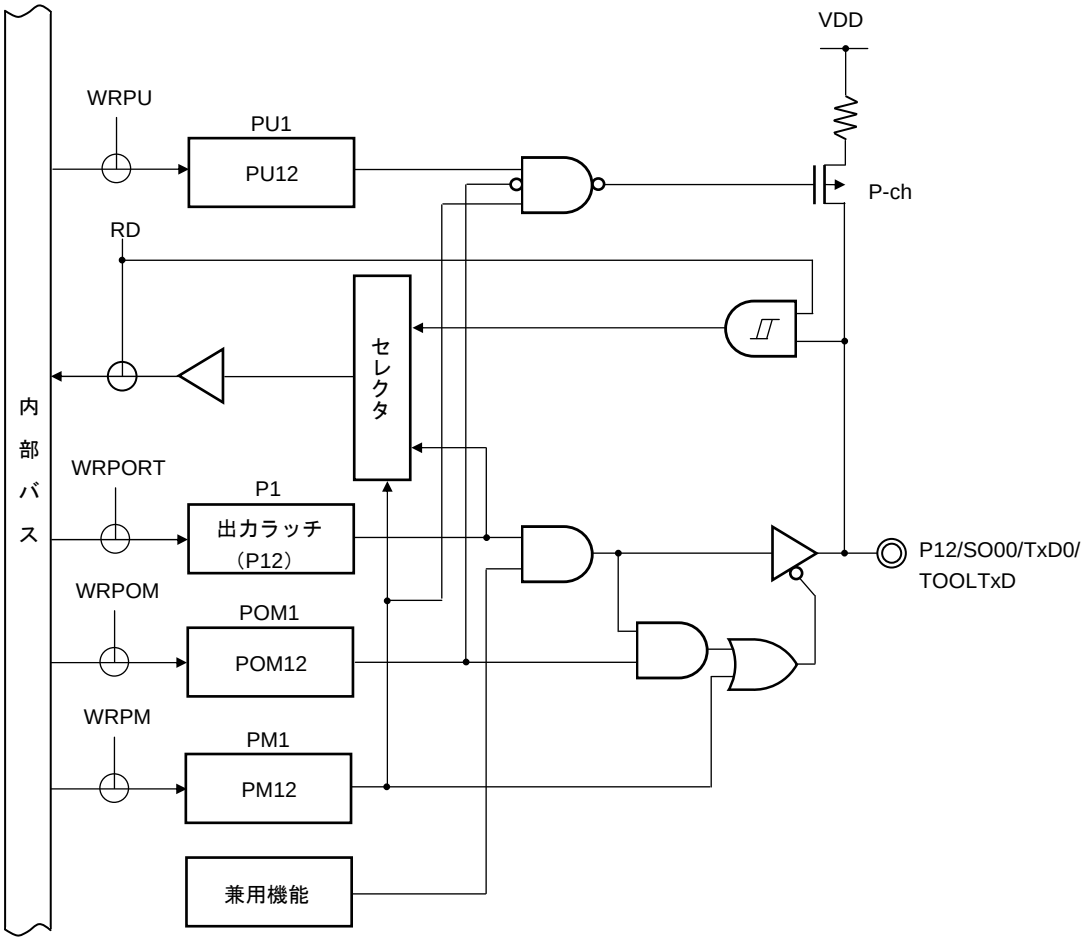
図4－17　P10, P11, P13-P15, P17**のブロック図（**30**ピン製品）**



（n = 0, 1, 3-5, 7）

P1　　：**ポート・レジスタ**1
PU1　：**プルアップ抵抗オプション・レジスタ**1
PM1　：**ポート・モード・レジスタ**1
PIM1　：**ポート入力モード・レジスタ**1
POM1：**ポート出力モード・レジスタ**1
RD　　：**リード信号**
WR××：**ライト信号**

図4－18　P12**のブロック図（**30**ピン製品）**



P1　　：**ポート・レジスタ**1

PU1　：**プルアップ抵抗オプション・レジスタ**1

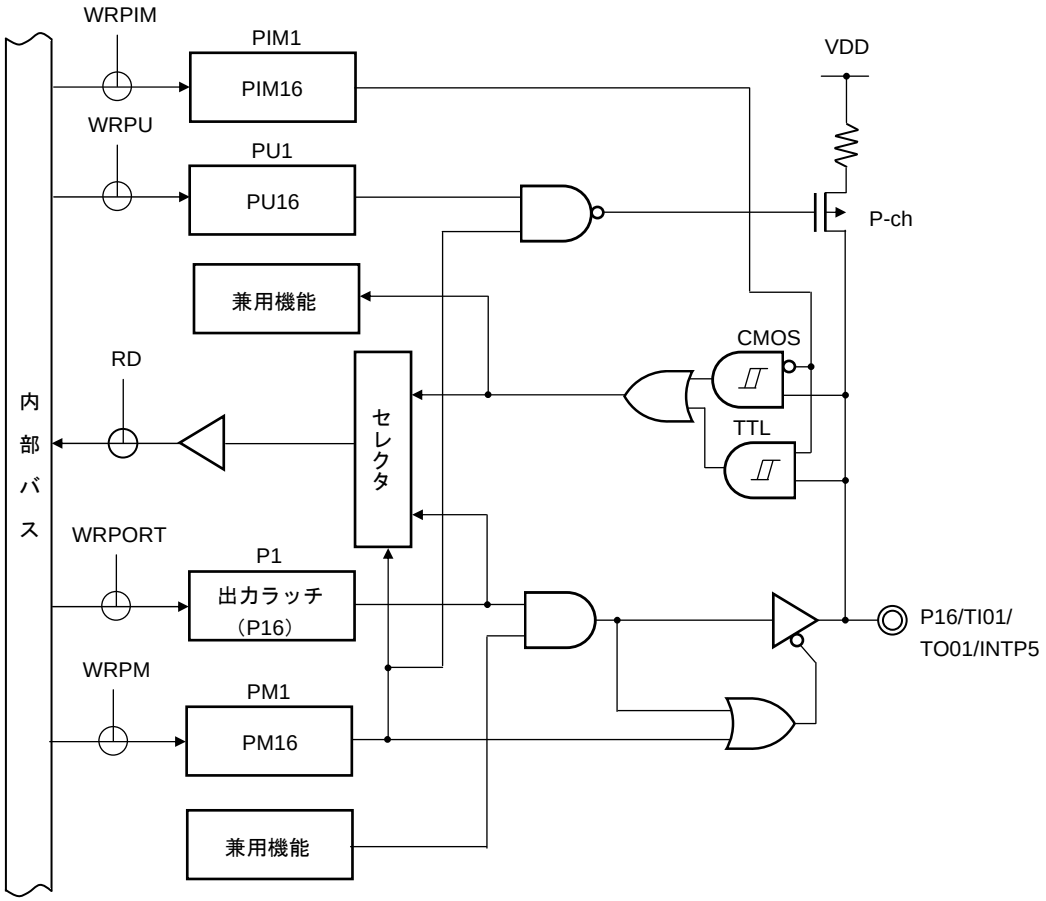
PM1　：**ポート・モード・レジスタ**1

POM1：**ポート出力モード・レジスタ**1

RD　　：**リード信号**

WR××：**ライト信号**

図4－19　P16**のブロック図（**30**ピン製品）**



P1　　：**ポート・レジスタ**1

PU1　：**プルアップ抵抗オプション・レジスタ**1

PM1　：**ポート・モード・レジスタ**1

PIM1　：**ポート入力モード・レジスタ**1

RD　　：**リード信号**

WR××：**ライト信号**

(3) ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2（PM2）により1ビット単位で入力モード／出力モードの指定ができます。

また，兼用機能としてA/Dコンバータのアナログ入力，A/Dコンバータの基準電位（＋側）入力，A/Dコンバータの基準電位（－側）入力があります。

P20/ANI0-P23/ANI3をデジタル入力として使用する場合は，A/Dポート・コンフィギュレーション・レジスタ（ADPC）でデジタル入出力に，かつPM2レジスタで入力モードに設定して，上位ビットから使用してください。

P20/ANI0-P27/ANI3をデジタル出力として使用する場合は，ADPCレジスタでデジタル入出力に，かつPM2レジスタで出力モードに設定してください。

P20/ANI0-P23/ANI3をアナログ入力として使用する場合は，A/Dポート・コンフィギュレーション・レジスタ（ADPC）でアナログ入力に，かつPM2レジスタで入力モードに設定して，下位ビットから使用してください。

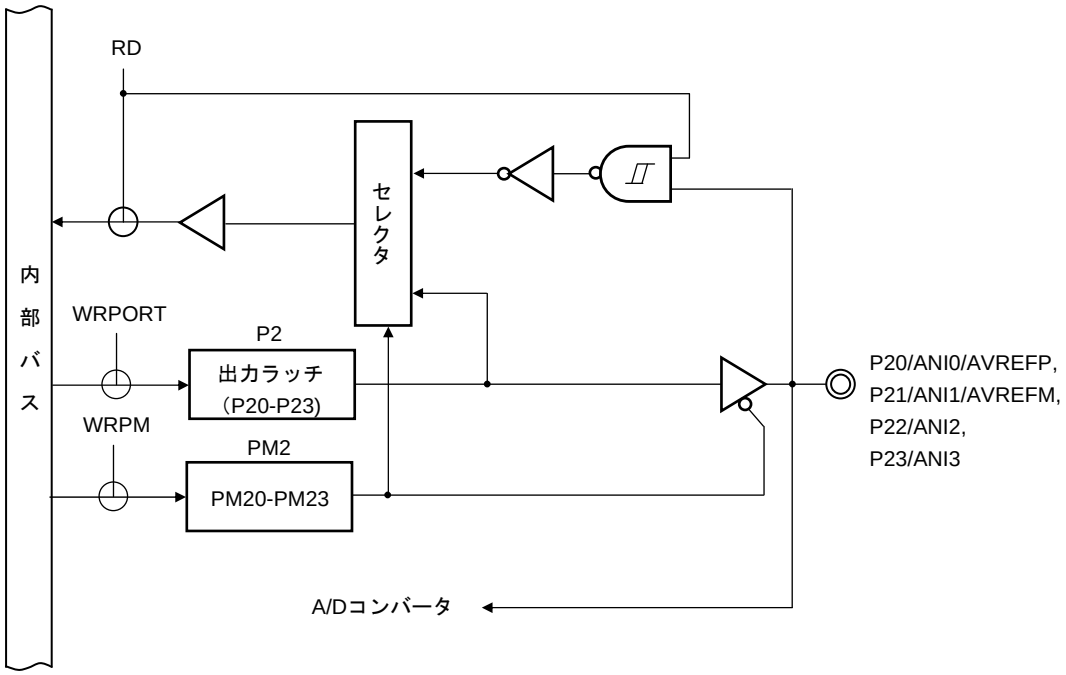
表4－3　P20/ANI0-P23/ANI3端子機能の設定

ADPCレジスタ	PM2レジスタ	ADSレジスタ	P20/ANI0-P23/ANI3端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により，アナログ入力になります。

図4－20にポート2のブロック図を示します。

図4－20　P20-P23のブロック図（30ピン製品）



P2　：ポート・レジスタ2

PM2　：ポート・モード・レジスタ2

RD　：リード信号

WR××：ライト信号

(4) ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3（PM3）により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ3（PU3）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能として外部割り込み要求入力，シリアル・インタフェースのデータ入出力，クロック入出力，クロック／ブザー出力，タイマの入出力があります。

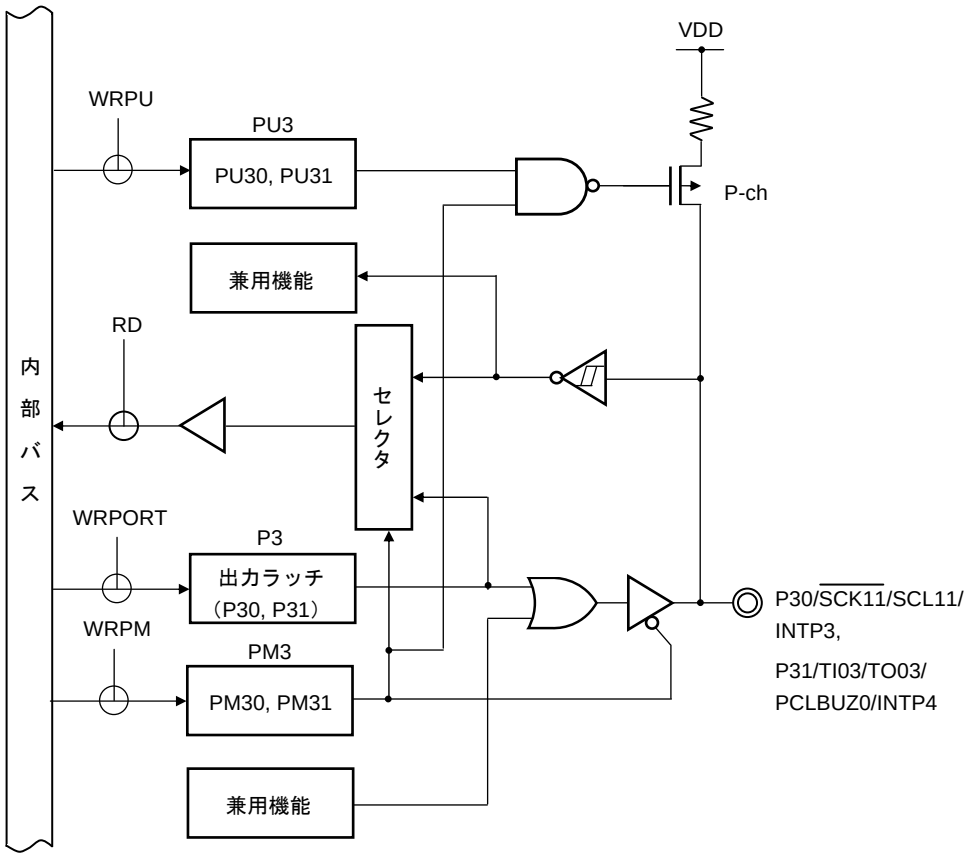
リセット信号の発生により，入力モードになります。

図4－21にポート3のブロック図を示します。

注意1. P31/TI03/TO03/INTP4/PCLBUZ0を汎用ポートとして使用する場合，タイマ出力レジスタ0（TO0）のビット3（TO03）とタイマ出力許可レジスタ0（TOE0）のビット3（TOE03），クロック出力選択レジスタ0（CKS0）のビット7を初期状態と同じ設定“0”で使用してください。

2. P30/$\overline{\text{SCK11}}$/SCL11/INTP3を汎用ポートとして使用する場合，シリアル・チャネル許可ステータス・レジスタ1（SE1），シリアル出力レジスタ1（SO1），シリアル出力許可レジスタ1（SOE1）を初期状態と同じ設定で使用してください。

図4－21　P30, P31のブロック図（30ピン製品）



P3　：ポート・レジスタ3

PU3　：プルアップ抵抗オプション・レジスタ3

PM3　：ポート・モード・レジスタ3

RD　：リード信号

WR××：ライト信号

(5) ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4（PM4）により入力モード／出力モードの指定ができます。入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ4（PU4）により内蔵プルアップ抵抗を使用できます[注]。

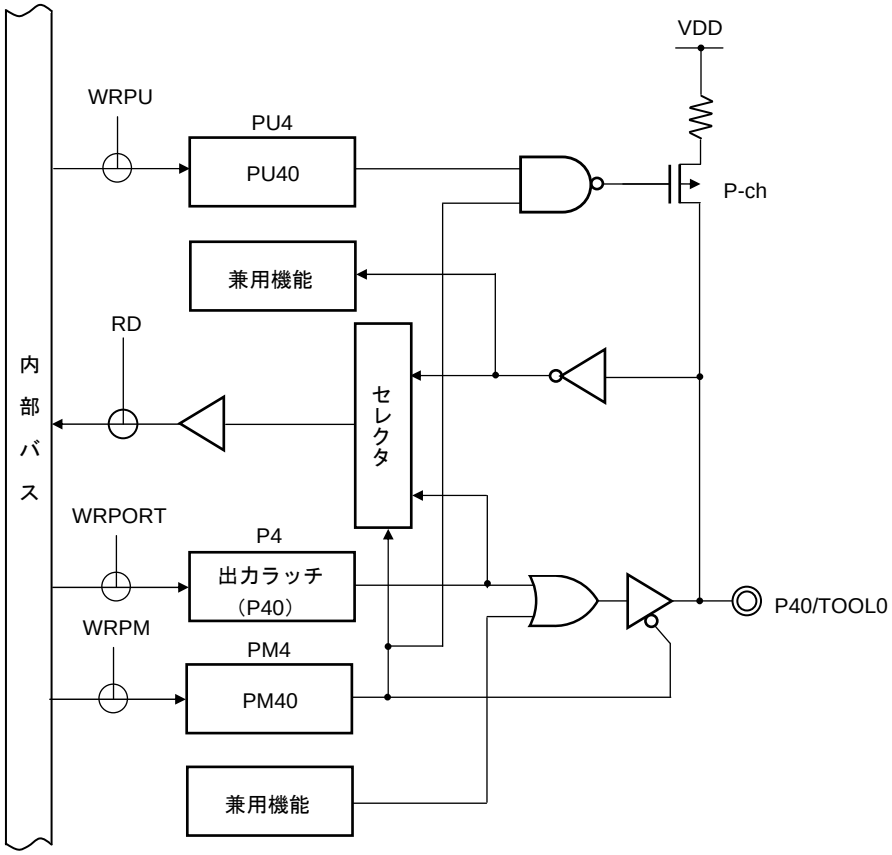
リセット信号の発生により，入力モードになります。

図4－22にポート4のブロック図を示します。

注　P40端子は，ツール接続時にはプルアップ抵抗は接続できません。

注意　P40端子は，ツール接続時はポート端子として使用できません。

図4－22　P40のブロック図（30ピン製品）



P4　：ポート・レジスタ4
PU4　：プルアップ抵抗オプション・レジスタ4
PM4　：ポート・モード・レジスタ4
RD　：リード信号
WR××：ライト信号

(6) ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5（PM5）により1ビット単位で入力モード／出力モードの指定ができます。P50-P57端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ5（PU5）により1ビット単位で内蔵プルアップ抵抗を使用できます。

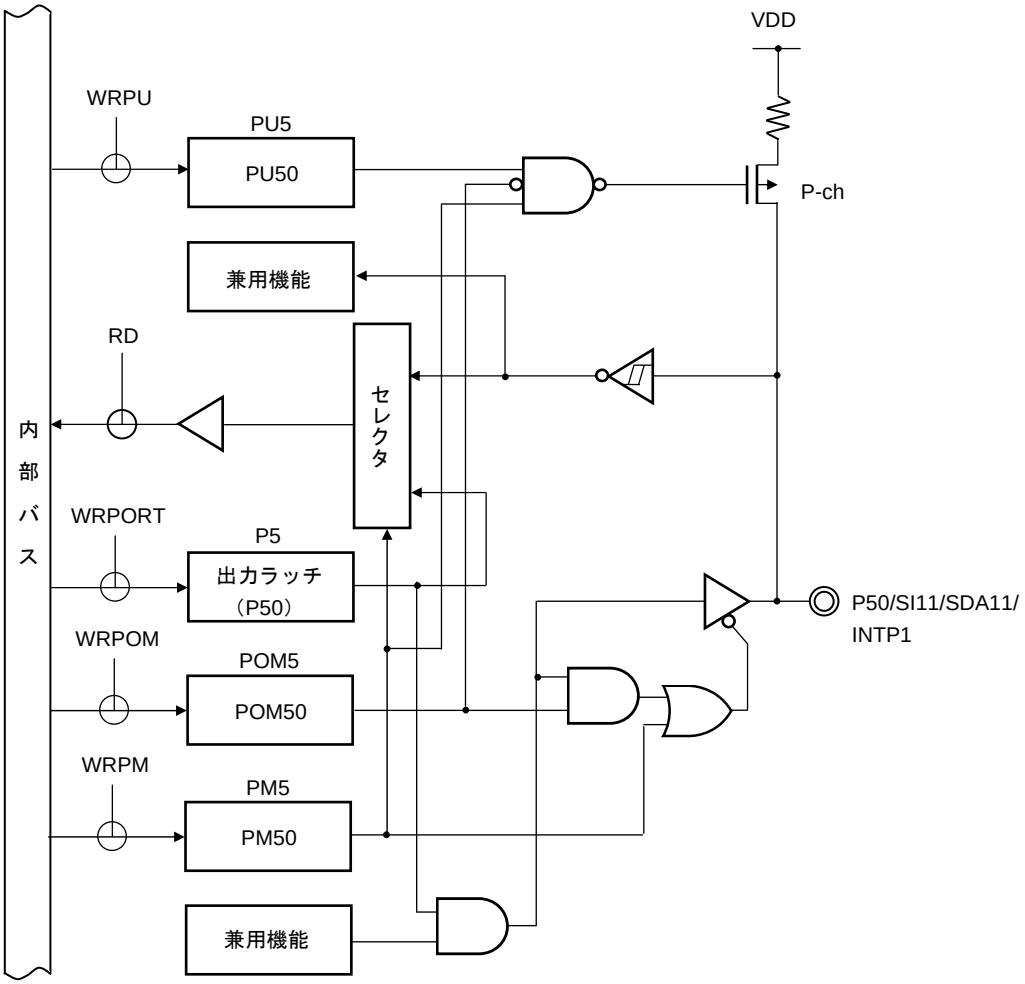
P50端子の出力は，ポート出力モード・レジスタ5（POM5）によりN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能です。

また，兼用機能として外部割り込み要求入力，シリアル・インタフェースのデータ入出力，クロック入出力があります。

リセット信号の発生により，入力モードになります。

図4－23，図4－24にポート5のブロック図を示します。

図4－23　P50のブロック図（30ピン製品）



P5　：ポート・レジスタ5

PU5　：プルアップ抵抗オプション・レジスタ5

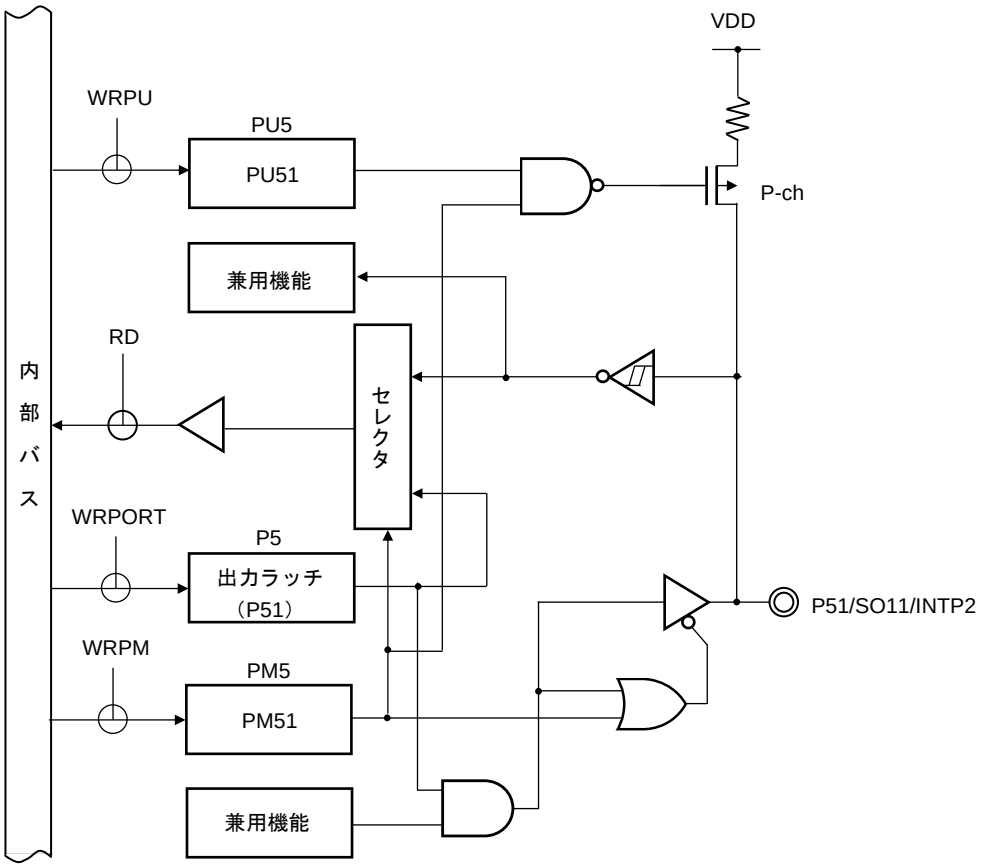
PM5　：ポート・モード・レジスタ5

POM5　：ポート出力モード・レジスタ5

RD　：リード信号

WR××：ライト信号

図4－24　P51**のブロック図（**30**ピン製品）**



P5　　**：ポート・レジスタ**5

PU5　**：プルアップ抵抗オプション・レジスタ**5

PM5　**：ポート・モード・レジスタ**5

RD　　**：リード信号**

WR××　**：ライト信号**

（7）ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6（PM6）により1ビット単位で入力モード／出力モードの指定ができます。

出力は，N-chオープン・ドレイン出力（6 V耐圧）です。

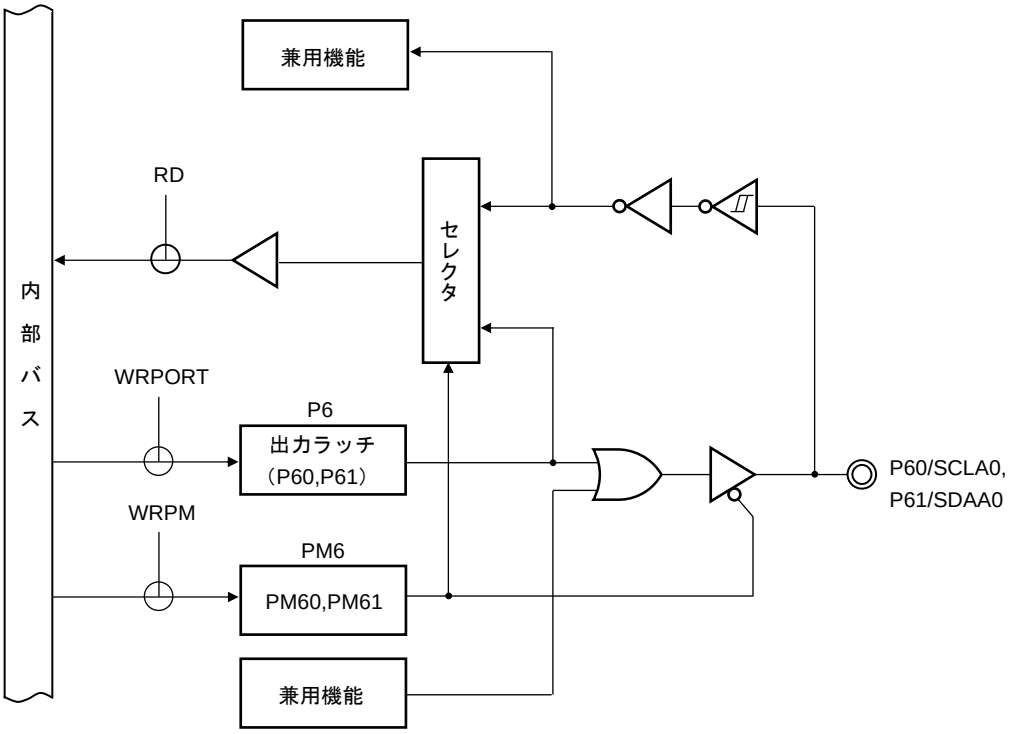
また，兼用機能としてシリアル・インタフェースのデータ入出力，クロック入出力があります。

リセット信号の発生により，入力モードになります。

図4－25にポート6のブロック図を示します。

注意1. P60/SCLA0, P61/SDAA0を汎用ポートとして使用する場合，シリアル・インタフェースIICAを動作停止にしてください。

図4－25　P60, P61のブロック図（30ピン製品）



P6　：ポート・レジスタ6

PM6　：ポート・モード・レジスタ6

RD　：リード信号

WR××：ライト信号

(8) ポート12

P120は出力ラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ12（PM12）により，入力モード／出力モードの指定ができます。入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ12（PU12）により内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力ポートです。

P120端子の入力は，ポート・モード・コントロール・レジスタ（PMC12）の設定により，デジタル入出力／アナログ入力の設定が必要です。

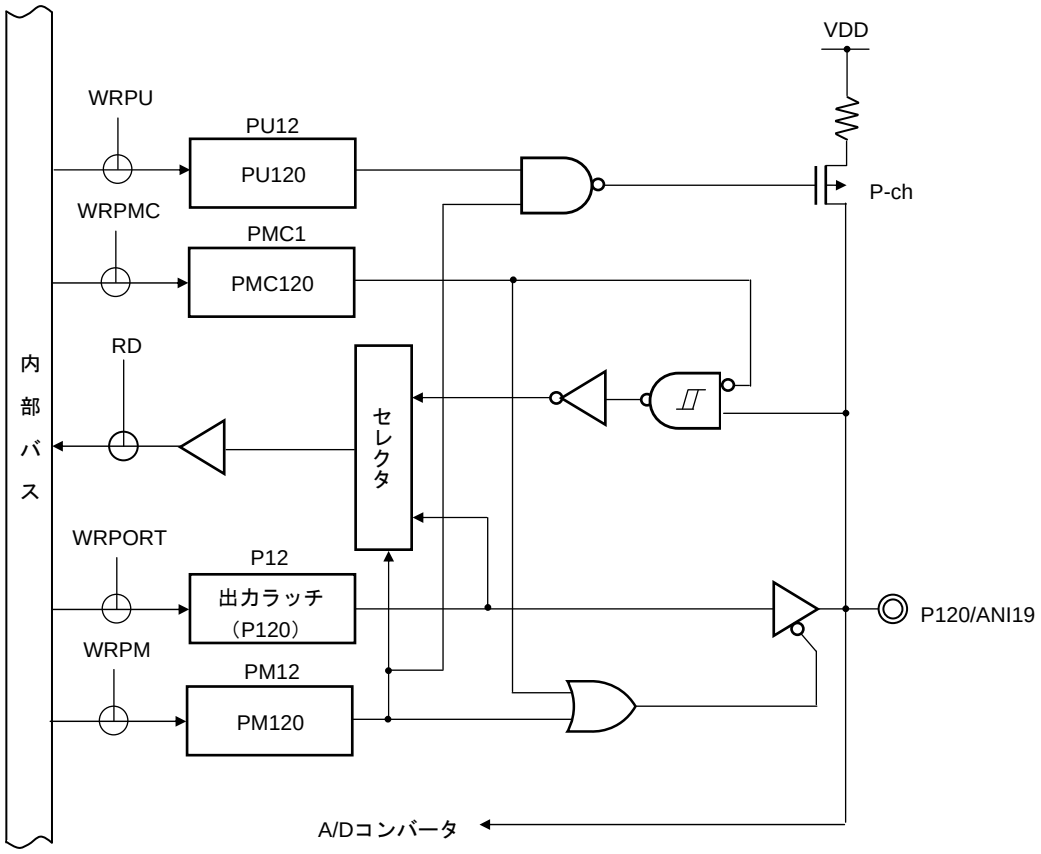
また兼用機能としてA/Dコンバータのアナログ入力，メイン・システム・クロック用発振子接続メイン・システム・クロック用外部クロック入力，サブシステム・クロック用外部クロック入力があります。

リセット信号の発生により，入力モードになります。

図4－26, 図4－27にポート12のブロック図を示します。

注意　P121, P122の機能設定は，リセット解除後1回のみ可能です。一度，発振子／発振器接続用に設定したポートは，リセットしないかぎり入力ポートとして使用できません。

図4－26　P120のブロック図（30ピン製品）



P12　：ポート・レジスタ12

PU12　：プルアップ抵抗オプション・レジスタ12

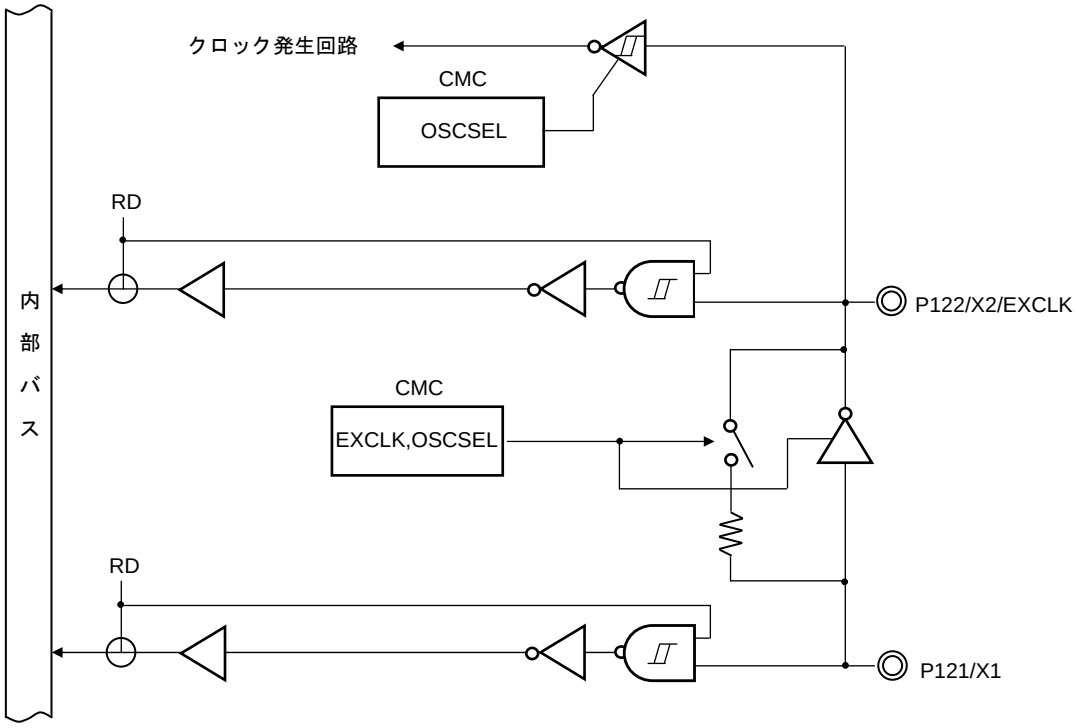
PM12　：ポート・モード・レジスタ12

PMC12：ポートモード・コントロール・レジスタ12

RD　：リード信号

WR××：ライト信号

図4－27　P121, P122**のブロック図（**30**ピン製品）**



CMC　：クロック動作モード制御レジスタ

RD　　：リード信号

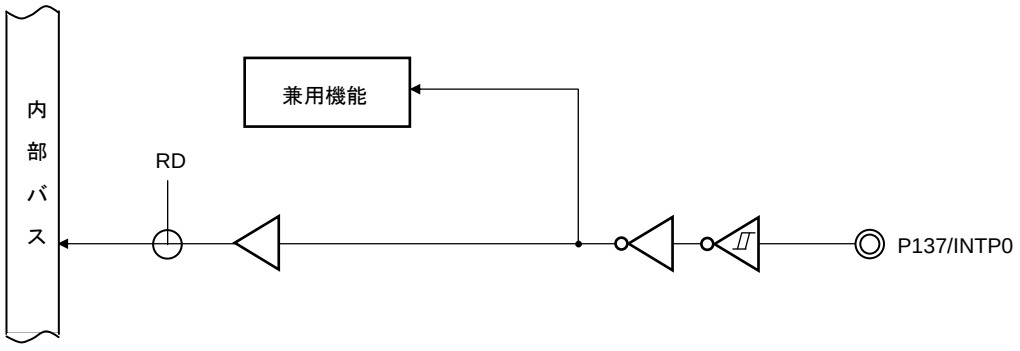
(9) ポート13

1ビット入力専用ポートです。

また兼用機能として外部割り込み要求入力があります。

図4－28**にポート**13**のブロック図を示します。**

図4－28　P137**のブロック図（**30**ピン製品）**



RD　　**：リード信号**

（10）ポート14

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ14（PM14）により入力モード／出力モードの指定ができます。入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ14（PU14）により内蔵プルアップ抵抗を使用できます。

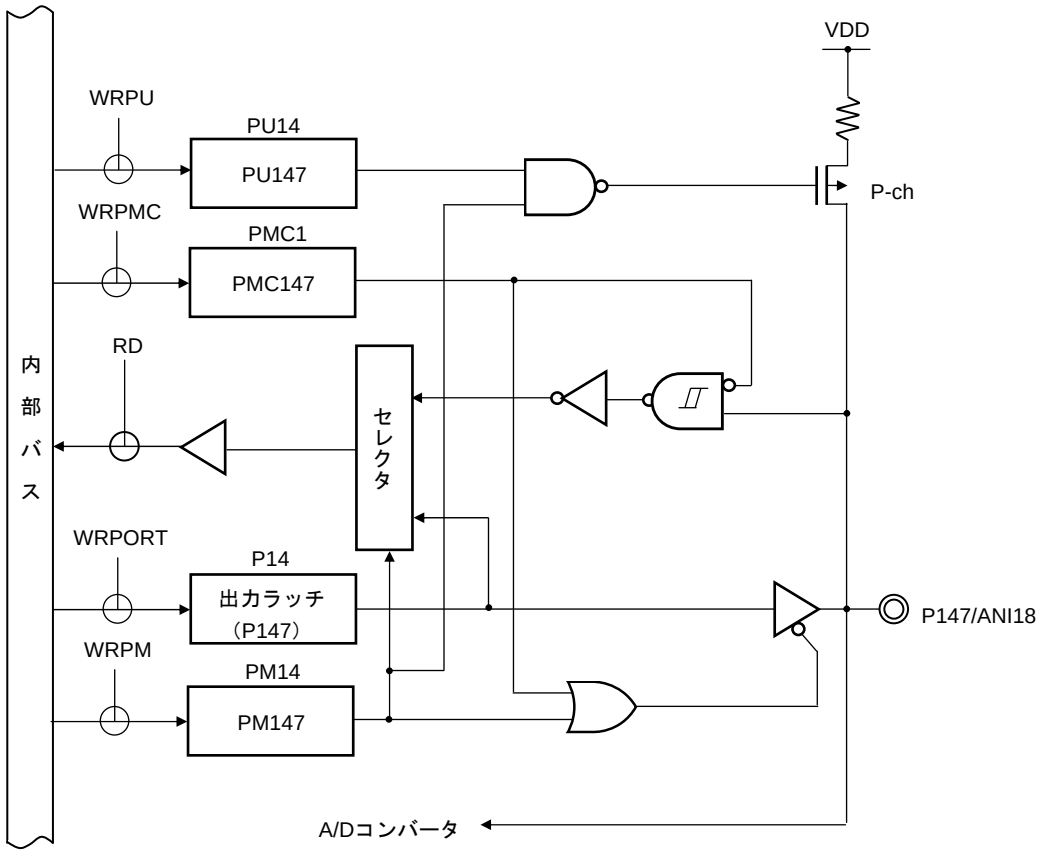
P147端子の入力は，ポート・モード・コントロール・レジスタ（PMC14）の設定により，デジタル入出力／アナログ入力の設定が必要です。

また，兼用機能としてA/Dコンバータのアナログ入力があります。

リセット信号の発生により，入力モードになります。

図4－29のブロック図を示します。

図4－29　P147のブロック図（30ピン製品）



P14　：ポート・レジスタ14

PU14　：プルアップ抵抗オプション・レジスタ14

PM14　：ポート・モード・レジスタ14

PMC14：ポートモード・コントロール・レジスタ14

RD　：リード信号

WR××：ライト信号

4. 3　ポート機能を制御するレジスタ

ポートは，次のレジスタで制御します。

- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- プルアップ抵抗オプション・レジスタ（PUxx）
- ポート入力モード・レジスタ（PIMx）
- ポート出力モード・レジスタ（POMx）
- ポート・モード・コントロール・レジスタ（PMCxx）
- A/Dポート・コンフィギュレーション・レジスタ（ADPC）
- 周辺I/Oリダイレクション・レジスタ（PIOR）

表4－4　PMx, Pxx, PUxx, PIMx, POMx, PMCxxレジスタとそのビット（20, 24ピン製品）

ポート		ビット名					
		PMxレジスタ	Pxxレジスタ	PUxxレジスタ	PIMxレジスタ	POMxレジスタ	PMCxxレジスタ
ポート0[注]	0	PM00	P00	PU00	－	－	－
	1	PM01	P01	PU01	－	POM01	－
	2	PM02	P02	PU02	－	－	－
	3	PM03	P03	PU03	－	－	－
ポート1	0	PM10	P10	PU10	PIM10	POM10	PMC10
	1	PM11	P11	PU11	PIM11	POM11	PMC11
	2	PM12	P12	PU12	－	POM12	PMC12
	3	PM13	P13	PU13	－	－	PMC13
	4	PM14	P14	PU14	－	－	PMC14
ポート2	0	PM20	P20	－	－	－	－
	1	PM21	P21	－	－	－	－
	2	PM22	P22	－	－	－	－
	3	PM23	P23	－	－	－	－
ポート4	0	PM40	P40	PU40	－	－	－
	1	PM41	P41	PU41	－	POM41	PMC41
	2	PM42	P42	PU42	－	－	PMC42
ポート6	0	PM60	P60	－	－	－	－
	1	PM61	P61	－	－	－	－
ポート12	1	－	P121	－	－	－	－
	2	－	P122	－	－	－	－
	5	－	P125	PU125	－	－	－
ポート13	7	－	P137	－	－	－	－

注　24ピン製品のみ

★ **表**4－5 PMxx, Pxx, PUxx, PIMx, POMx, PMCxx**レジスタとそのビット（**30**ピン製品）**

ポート		ビット名					
		PMxxレジスタ	Pxxレジスタ	PUxxレジスタ	PIMxレジスタ	POMxレジスタ	PMCxxレジスタ
ポート0	0	PM00	P00	PU00	－	POM00	PMC00
	1	PM01	P01	PU01	PIM01	－	PMC01
ポート1	0	PM10	P10	PU10	PIM10	POM10	－
	1	PM11	P11	PU11	PIM11	POM11	－
	2	PM12	P12	PU12	－	POM12	－
	3	PM13	P13	PU13	PIM13	POM13	－
	4	PM14	P14	PU14	PIM14	POM14	－
	5	PM15	P15	PU15	PIM15	POM15	－
	6	PM16	P16	PU16	PIM16	－	－
	7	PM17	P17	PU17	PIM17	POM17	－
ポート2	0	PM20	P20	－	－	－	－
	1	PM21	P21	－	－	－	－
	2	PM22	P22	－	－	－	－
	3	PM23	P23	－	－	－	－
ポート3	0	PM30	P30	PU30	－	－	－
	1	PM31	P31	PU31	－	－	－
ポート4	0	PM40	P40	PU40	－	－	－
ポート5	0	PM50	P50	PU50	－	POM50	－
	1	PM51	P51	PU51	－	－	－
ポート6	0	PM60	P60	－	－	－	－
	1	PM61	P61	－	－	－	－
ポート12	0	PM120	P120	PU120	－	－	PMC120
	1	－	P121	－	－	－	－
	2	－	P122	PU125	－	－	－
ポート13	7	－	P137	－	－	－	－
ポート14	7	PM147	P147	PU147	－	－	PMC147

各レジスタのフォーマットの説明を次に示します。

(1) ポート・モード・レジスタ（PMxx）

ポートの入力／出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

ポート端子を兼用機能の端子として使用する場合，4. 5　**兼用端子使用時のポート・モード・レジスタ，出力ラッチの設定**を参照し，設定してください。

図4－30　ポート・モード・レジスタのフォーマット

20, 24**ピン製品**

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0[注]	1	1	1	1	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	1	1	1	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	1	1	1	1	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM4	1	1	1	1	1	PM42	PM41	PM40	FFF24H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FFF26H	FFH	R/W

注　24**ピン製品のみ**

★　30**ピン製品**

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	1	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	1	1	1	1	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	1	1	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	1	1	1	1	PM40	FFF24H	FFH	R/W
PM5	1	1	1	1	1	1	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FFF26H	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM14	PM147	1	1	1	1	1	1	1	FFF2EH	FFH	R/W

PMmn	Pmn**端子の入出力モードの選択**（m = 0-6, 12, 14; n = 0-7）
0	**出力モード（出力バッファ・オン）**
1	**入力モード（出力バッファ・オフ）**

(2) ポート・レジスタ（Pxx）

ポートの出力ラッチの値を設定するレジスタです。

リードする場合，入力モード時は端子レベルが，出力モード時はポートの出力ラッチの値が読み出されます[注]。

ポート・レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，P4は01Hに，その他は00Hになります。

注 A/Dコンバータのアナログ入力機能として設定したポートでは，入力モード時にリードすると端子レベルではなく常に0が読み出されます。

図4－31 ポート・レジスタのフォーマット

20, 24**ピン製品**

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	P03	P02	P01	P00	FFF00H	00H（出力ラッチ）	R/W
P1	0	0	0	P14	P13	P12	P11	P10	FFF01H	00H（出力ラッチ）	R/W
P2	0	0	0	0	P23	P22	P21	P20	FFF02H	00H（出力ラッチ）	R/W
P4	0	0	0	0	0	P42	P41	P40	FFF04H	01H（出力ラッチ）	R/W
P6	0	0	0	0	0	0	P61	P60	FFF06H	00H（出力ラッチ）	R/W
P12	0	0	P125	0	0	P122	P121	0	FFF0CH	不定	R/W
P13	P137	0	0	0	0	0	0	0	FFF0DH	不定	R/W

★ 30**ピン製品**

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	0	0	P01	P00	FFF00H	00H（出力ラッチ）	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H（出力ラッチ）	R/W
P2	0	0	0	0	P23	P22	P21	P20	FFF02H	00H（出力ラッチ）	R/W
P3	0	0	0	0	0	0	P31	P30	FFF03H	00H（出力ラッチ）	R/W
P4	0	0	0	0	0	0	0	P40	FFF04H	01H（出力ラッチ）	R/W
P5	0	0	0	0	0	0	P51	P50	FFF05H	00H（出力ラッチ）	R/W
P6	0	0	0	0	0	0	P61	P60	FFF06H	00H（出力ラッチ）	R/W
P12	0	0	0	0	0	P122	P121	P120	FFF0CH	不定	R/W[注]
P13	P137	0	0	0	0	0	0	0	FFF0DH	不定	R/W
P14	P147	0	0	0	0	0	0	0	FFF02H	00H（出力ラッチ）	R/W

Pmn	m = 0-6, 12, 13, 14 ; n = 0-7	
	出力データの制御（出力モード時）	入力データの読み出し（入力モード時）
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121, P122, P125, P137はRead Onlyです。

(3) プルアップ抵抗オプション・レジスタ（PUxx）

内蔵プルアップ抵抗を使用するか，しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で，入力モードに設定したビットにのみ，ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは，プルアップ抵抗オプション・レジスタの設定にかかわらず，内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

プルアップ抵抗オプション・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PU4は01H，PU12は20H（20, 24ピン製品），他は00Hになります。

図4－32　プルアップ抵抗オプション・レジスタのフォーマット

20, 24ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU1	0	0	0	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU4	0	0	0	0	0	PU42	PU41	PU40	F0034H	01H	R/W
PU12	0	0	PU125	0	0	0	0	0	F003CH	20H	R/W

★ 30ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	0	0	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	0	0	0	0	PU40	F0034H	01H	R/W
PU5	0	0	0	0	0	0	PU51	PU50	F0035H	00H	R/W
PU12	0	0	PU125	0	0	0	0	PU120	F003CH	00H	R/W
PU14	PU147	0	0	0	0	0	0	0	F003EH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択（m = 0, 1, 3-5, 12, 14; n = 0-7）
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

(4) ポート入力モード・レジスタ（PIMx）

CMOS入力／TTL入力を1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時にTTL入力バッファを選択できます。

ポート入力モード・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4－33　ポート入力モード・レジスタのフォーマット

20, 24ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM1	0	0	0	0	0	0	PIM11	PIM10	F0041H	00H	R/W

★ 30ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	0	0	0	PIM01	0	F0040H	00H	R/W
PIM1	PIM17	PIM16	PIM15	PIM14	PIM13	0	PIM11	PIM10	F0041H	00H	R/W

PIMmn	Pmn端子の入力バッファの選択（m = 0, 1; n = 0, 1, 3-7）
0	通常入力バッファ
1	TTL入力バッファ

(5) ポート出力モード・レジスタ（POMx）

CMOS出力／N-chオープン・ドレイン出力を1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易I^2C通信時のSDAxx端子にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択できます。

また，20, 24ピン製品のポート1が入力モードのときに，POM1はPU1レジスタとともに，内蔵プルアップ抵抗を使用するかどうかを設定します。

1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4－34　ポート出力モード・レジスタのフォーマット

20, 24ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	0	0	0	POM01	0	F0050H	00H	R/W
POM1	0	0	0	0	0	POM12	POM11	POM10	F0051H	00H	R/W
POM4	0	0	0	0	0	0	POM41	0	F0054H	00H	R/W

★ 30ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	0	0	0	0	POM00	F0050H	00H	R/W
POM1	POM17	0	POM15	POM14	POM13	POM12	POM11	POM10	F0051H	00H	R/W
POM5	0	0	0	0	0	0	0	POM50	F0055H	00H	R/W

POMmn	Pmn端子の出力モードの選択（m = 0, 1, 4, 5 ; n = 0-5, 7）
0	通常出力モード 入力時は内蔵プルアップ抵抗を接続する（20, 24ピン製品のPOM1）
1	N-chオープン・ドレイン出力（V_{DD}耐圧）モード 入力時は内蔵プルアップ抵抗を接続しない（20, 24ピン製品のPOM1）

(6) ポート・モード・コントロール・レジスタ（PMCxx）

デジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

ポート・モード・コントロール・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図4－35　ポート・モード・コントロール・レジスタのフォーマット

20, 24ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC1	1	1	1	PMC14	PMC13	PMC12	PMC11	PMC10	F0061H	FFH	R/W
PMC4	1	1	1	1	1	PMC42	PMC41	1	F0064H	FFH	R/W

★ 30ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC0	1	1	1	1	1	1	PMC01	PMC00	F0060H	FFH	R/W
PMC12	1	1	1	1	1	1	1	PMC120	F006CH	FFH	R/W
PMC14	PMC147	1	1	1	1	1	1	1	F006EH	FFH	R/W

PMCmn	Pmn端子のデジタル入出力／アナログ入力の選択（m = 0, 1, 4 12, 14；n = 0-4, 7）
0	デジタル入出力（アナログ入力以外の兼用機能）
1	アナログ入力

（7）A/Dポート・コンフィギュレーション・レジスタ（ADPC）

ANI0/P20-ANI3/P23端子を，A/Dコンバータのアナログ入力／ポートのデジタル入出力に切り替えるレジスタです。

ADPCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4－36　A/Dポート・コンフィギュレーション・レジスタ（ADPC）のフォーマット

アドレス：F0076H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	0	ADPC2	ADPC1	ADPC0

ADPC2	ADPC1	ADPC0	アナログ入力（A）／デジタル入出力（D）の切り替え			
			ANI3/P23	ANI2/P22	ANI1/P21	ANI0/P20
0	0	0	A	A	A	A
0	0	1	D	D	D	D
0	1	0	D	D	D	A
0	1	1	D	D	A	A
1	0	0	D	A	A	A
上記以外			設定禁止			

注意1. A/D変換で使用するチャネルは，ポート・モード・レジスタ2（PM2）で入力モードに選択してください。

2. ADPCレジスタでデジタル入出力として設定する端子を，アナログ入力チャネル指定レジスタ（ADS）で設定しないでください。

(8) 周辺I/Oリダイレクション・レジスタ（PIOR）

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は，兼用機能を割り当てるポートを切り替える機能です。

PIORレジスタは， 8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4－37 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット

アドレス：F0077H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIOR	0	0	0	0	PIOR3	PIOR2	PIOR1	PIOR0

20, 24ピン製品

ビット	機能	設定値	
		0	1
PIOR3[注1]	$\overline{SCK01}$	P42	P02[注2]
	SI01	P125	P00[注2]
	SO01	P41	P01[注2]
	SCL01	P42	P02[注2]
	SDA01	P41	P01[注2]
PIOR2	TI02	P41	P122
	TI03	P42	P121
PIOR1	RxD0	P11	P61
	TxD0	P12	P60
PIOR0	INTP2	P13	P122
	INTP3	P14	P121

★ 30ピン製品

ビット	機能	設定値	
		0	1
PIOR2	SCLA0	P60	P14
	SDAA0	P61	P13
PIOR1	TxD2[注1]	P13	－
	RxD2[注1]	P14	－
	SCL20[注1]	P15	－
	SDA20[注1]	P14	－
	SI20[注1]	P14	－
	SO20[注1]	P13	－
	$\overline{SCK20}$[注1]	P15	－
	TxD0	P12	P17
	RxD0	P11	P16
	SCL00	P10	－
	SDA00	P11	－
	SI00	P11	－
	SO00	P12	－
	$\overline{SCK00}$	P10	－
PIOR0	TI02/TO02	P17	P15
	TI03/TO03	P31	P14
	TI04/TO04[注1]	－	P13
	TI05/TO05[注1]	－	P12
	TI06/TO06[注1]	－	P11
	TI07/TO07[注1]	－	P10

注1. データ・フラッシュ搭載品

2. 24ピン製品

4. 4 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

ポート端子を兼用機能の端子として使用する場合，ポート・モード・レジスタ，出力ラッチを表4－4のように設定してください。

表4－6 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（20, 24ピン製品）（1/2）

端子名称	兼用機能		PMC××	PM××	P××
	名 称	入出力			
P00	KR6	入力	－	1	×
P01	KR7	入力	－	1	×
P02	KR8	入力	－	1	×
P03	KR9	入力	－	1	×
P10	ANI16	入力	1	1	×
	PCLBZ0	出力	－	0	0
	$\overline{\text{SCK00}}$	入力	－	1	×
		出力	－	0	1
	SCL00	入出力	－	0	1
P11	ANI17[注1]	入力	－	1	×
	SI00	入力	－	1	×
	RxD0	入力	－	1	×
	SDA00	入出力	－	0	1
	TOOLRxD	入力	－	1	×
P12	ANI18[注1]	入力	－	1	×
	SO00	出力	－	0	1
	TxD0	出力	－	0	1
	TOOLTxD	出力	－	0	1
P13	ANI19[注1]	入力	－	1	×
	TI00	入力	－	1	×
	TO00	出力	－	0	0
	INTP2	入力	－	1	×
P14	ANI20[注1]	入力	－	1	×
	TI01	入力	－	1	×
	TO01	出力	－	0	0
	INTP3	入力	－	1	×
P20	ANI0[注2]	入力	－	1	×
	AVREFP	入力	－	1	×
P21	ANI1[注2]	入力	－	1	×
	AVREFM	入力	－	1	×
P22, P23	ANI2, AN3[注2]	入力	－	1	×
P40	KR0	入力	－	1	×
	TOOL0	入出力	－	×	×

備考 ×：don't care
PM××：ポート・モード・レジスタ
P××：ポートの出力ラッチ
PMC××：ポート・モード・コントロール・レジスタ

表4－6 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（20, 24ピン製品）（2/2）

端子名称	兼用機能		PMC××	PM××	P××
	名　　称	入出力			
P41	ANI22[注1]	入力	－	1	×
	SO01	出力	－	0	1
	SDA01	入出力	－	0	1
	TI02	入力	－	1	×
	TO02	出力	－	0	0
	INTP1[注1]	入力	－	1	×
P42	ANI21	入力	－	1	×
	$\overline{\text{SCK01}}$	入力	－	1	×
		出力	－	0	1
	SCL01	入出力	－	0	1
	TI03	入力	－	1	×
	TO03	出力	－	0	0
P60	KR4	入力	－	1	×
	SLCA0	入出力	－	0	0
P61	KR5	入力	－	1	×
	SDAA0	出力	－	0	0
P121	KR3	入力	－	1	×
P122	KR2	入力	－	1	×
P125	KR1	入力	－	1	×
	SI01	入力	－	1	×
P137	INTP0	入力	－	1	×

備考 ×　：don't care
PM××　：ポート・モード・レジスタ
P××　：ポートの出力ラッチ
PMC××：ポート・モード・コントロール・レジスタ

注1．ANI16/P10-ANI20/P14, ANI21/P42, ANI22/P41端子の機能は，ポート・モード・コントロール・レジスタ1, 4（PMC1, PMC4），アナログ入力チャネル指定レジスタ（ADS），PM1, PM4レジスタの設定で決定します。

表4－7 ANI16/P10–ANI20/P14, ANI21/P42, ANI22/P41端子機能の設定（20, 24ピン製品）

PMC1, PMC4レジスタ	PM1, PM4レジスタ	ADSレジスタ	ANI16/P10-ANI20/P14, ANI21/P42, ANI22/P41端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

注2．ANI0/P20-ANI3/P23**端子の機能は，**A/D**ポート・コンフィギュレーション・レジスタ（**ADPC**），アナログ入力チャネル指定レジスタ（**ADS**），ポート・モード・レジスタ**2（PM2）の設定で決定します。

表4－8　ANI0/P20-ANI3/P23**端子機能の設定**（20, 24**ピン製品**）

ADPC**レジスタ**	PM2**レジスタ**	ADS**レジスタ**	ANI0/P20-ANI3/P23**端子**
デジタル入出力選択	**入力モード**	－	**デジタル入力**
	出力モード	－	**デジタル出力**
アナログ入力選択	**入力モード**	ANI**選択**	**アナログ入力（変換対象）**
		ANI**非選択**	**アナログ入力（非変換対象）**
	出力モード	ANI**選択**	**設定禁止**
		ANI**非選択**	

★ **表4－9 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（30ピン製品）（1/2）**

端子名称	兼用機能		PMC××	PM××	P××
	名　　称	入出力			
P00	ANI17[注1]	入力	1	1	×
	TI00	入力	－	1	×
	TxD1	出力	－	0	1
P01	ANI16[注1]	入力	1	1	×
	TO00	出力	－	0	0
	RxD1	入力	－	1	×
P10	$\overline{SCK00}$	入力	－	1	×
		出力	－	0	1
	SCL00	入出力	－	0	1
P11	SI00	入力	－	1	×
	RxD0	入力	－	1	×
	TOOLRxD	入力	－	1	×
	SDA00	入出力	－	0	1
P12	SO00	出力	－	0	1
	TxD0	出力	－	0	1
	TOOLTxD	出力	－	0	1
P13	TxD2	出力	－	0	1
	SO20	出力	－	0	1
P14	RxD2	入力	－	1	×
	SI20	入力	－	1	×
	SDA20	入出力	－	0	1
P15	PCLBUZ1	出力	－	0	0
	$\overline{SCK20}$	入力	－	1	×
	SCL20	入出力	－	0	1
P16	TI01	入力	－	1	×
	TO01	出力	－	0	0
	INTP5	入力	－	1	×
P17	TI02	入力	－	1	×
	TO02	出力	－	0	0
P20	ANI0	入力	－	1	×
	AV_{REFP}	入力	－	1	×
P21	ANI1	入力	－	1	×
	AV_{REFM}	入力	－	1	×
P22, P23	ANI2, ANI3[注2]	入力	－	1	×
P30	INTP3	入力	－	1	×
	$\overline{SCK11}$	出力	－	0	0
	SCL11	入出力	－	0	1
P31	TI03	入力	－	1	×
	TO03	出力	－	0	0
	INTP4	入力	－	1	×
	PCLBUZ0	出力	－	0	0

備考 ×　　：don't care
PM××　　：ポート・モード・レジスタ
P××　：ポートの出力ラッチ
PMC××：ポート・モード・コントロール・レジスタ

表4－9 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（30ピン製品）（2/2）

端子名称	兼用機能		PMC××	PM××	P××
	名 称	入出力			
P40	TOOL0	入出力	－	×	×
P50	SI11	入力	－	1	×
	SDA11	入出力	－	0	1
	INTP1	入力	－	1	×
P51	SO11	出力	－	0	1
	INTP2	入力	－	1	×
P60	SCLA0	入出力	－	0	0
P61	SDAA0	入出力	－	0	0
P120	ANI19注1	入力	1	1	×
P137	INTP0	入力	－	1	×
P147	ANI18注1	出力	－	0	0

備考 ×：don't care
PM××：ポート・モード・レジスタ
P××：ポートの出力ラッチ
PMC××：ポート・モード・コントロール・レジスタ

注1. ANI16/P01, ANI17/P00, ANI18/P147, ANI19/P120端子の機能は，ポート・モード・コントロール・レジスタ0, 12, 14（PMC0, PMC12, PMC14），アナログ入力チャネル指定レジスタ（ADS），PM0, PM12, PM14レジスタの設定で決定します。

表4－10 ANI16/P03, ANI17/P02, ANI18/P147, ANI19/P120端子機能の設定（30ピン製品）

PMC0, PMC12, PMC14 レジスタ	PM0, PM12, PM14 レジスタ	ADSレジスタ	ANI16/P01, ANI17/P00, ANI18/P147, ANI19/P120端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

2. ANI0/P20-ANI7/P27, ANI8/P150-ANI14/P156端子の機能は，A/Dポート・コンフィギュレーション・レジスタ（ADPC），アナログ入力チャネル指定レジスタ（ADS），ポート・モード・レジスタ2, 15（PM2, PM15）の設定で決定します。

表4－8 ANI0/P20-ANI3/P23端子機能の設定

ADPC	PM2, PM15	ADS	ANI0/P20-ANI3/P23端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

4. 5　ポート・レジスタn（Pn）に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合，操作対象のビットだけでなく，操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため，任意のポートを入力モードから出力モードに切り替える前には，出力ラッチの値を書き直すことを推奨します。

＜例＞ P00は出力ポート，P01-P03は入力ポート（端子状態はすべてハイ・レベル）で，かつポート0の出力ラッチの値が“00H”のとき，出力ポートP00の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると，ポート0の出力ラッチの値は，“FFH”になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込みの対象は出力ラッチ，読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/G12内部で，次の順序で行われます。

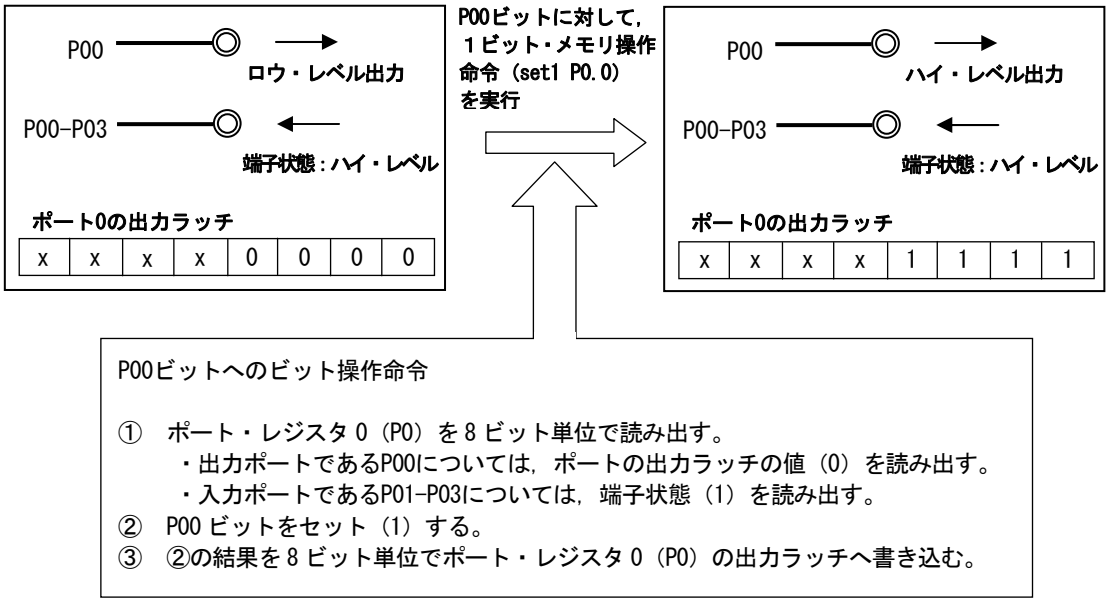
<1> Pnレジスタを8ビット単位で読み出し
<2> 対象の1ビットを操作
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき，出力ポートであるP00は出力ラッチの値（0）を読み出し，入力ポートであるP01-P03は端子状態を読み出します。このときP01-P03の端子状態が“ハイ･レベル”とすると，読み出し値は“EH”となります。

<2> の操作で，値は“FH”となります。

<3> の操作で，出力ラッチに“FH”が書き込まれます。

図4－24　1ビット・メモリ操作命令（P00の場合）



第5章　クロック発生回路

5. 1　クロック発生回路の機能

クロック発生回路は，CPUおよび周辺ハードウエアに供給するクロックを発生する回路です。
システム・クロックおよびクロック発振回路には，次の種類があります。

（1）メイン・システム・クロック

① X1発振回路

X1, X2に発振子を接続することにより，f_X = 1～20 MHzのクロックを発振させることができます。
STOP命令の実行またはMSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により，発振を停止することができます。

★ ② 高速オンチップ・オシレータ（HOCO）

オプションバイト（000C2H）により，f_{IH} = 24 MHz/16 MHz/12 MHz/8 MHz/1 MHz（TYP.）から周波数を選択し，発振させることができます。リセット解除後，CPUは必ずこのHOCOクロックで動作を開始します。STOP命令の実行またはHIOSTOPビット（CSCレジスタのビット0）の設定により，発振を停止することができます。

また，EXCLK端子から外部メイン・システム・クロック（f_{EX} = 1～20 MHz）を供給することができます。
STOP命令の実行またはMSTOPビットの設定により，外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは，MCM0ビット（システム・クロック制御レジスタ（CKC）のビット4）の設定により，高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）とHOCOクロックを切り替えられます。

★ （2）LOCO（Low Speed On-chip Oscllator）クロック

f_{IL} = 15 kHz（TYP.）のクロックを発振させることができます。
LOCOクロックをCPUクロックとして使用することはできません。
LOCOクロックで動作するのは，次の周辺ハードウエアのみです。

- ウォッチドッグ・タイマ
- リアルタイマ・カウンタ
- インターバル・タイマ

オプション・バイト（000C0H）のビット4（WDTON）または，動作スピード・モード制御レジスタ（OSMC）のビット4（WUTMMCK0）のどちらか，または両方が1のときに動作します。

ただし，WDTON = 1， WUTMMCK0 = 0かつオプション・バイト（000C0H）のビット0（WDSTBYON）が0のときに，HALT命令またはSTOP命令を実行した場合，低速オンチップ・オシレータ（LOCO）は発振を停止します。

注意　リアルタイム・クロックの動作クロックにLOCOクロック（f_{IL}）を選択できるのは，定周期割り込み機能使用時のみです。

備考　f_X　：X1クロック発振周波数
f_{IH}　：HOCOクロック周波数
f_{EX}　：外部メイン・システム・クロック周波数
f_{IL}　：LOCOクロック周波数

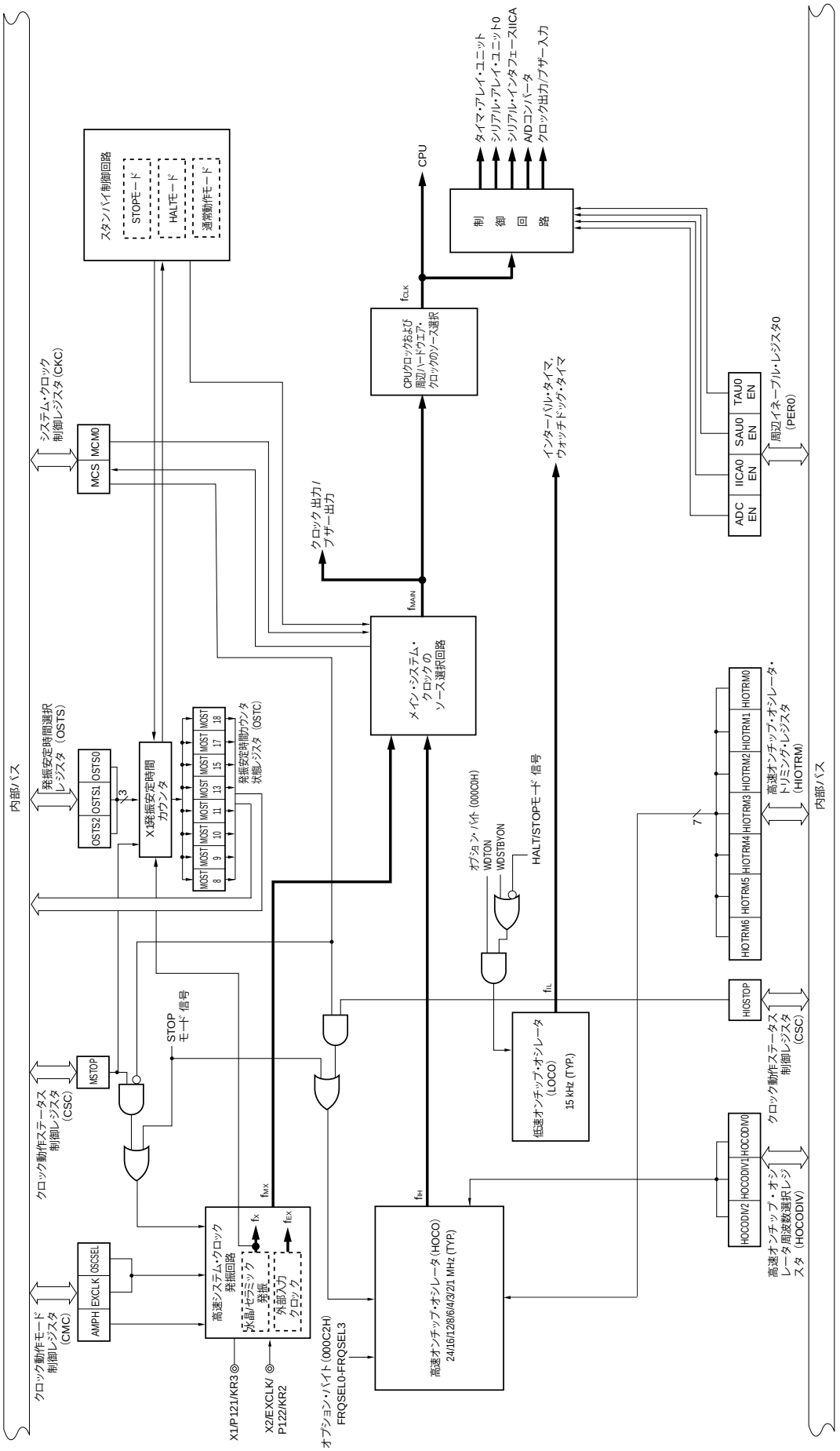
5. 2　クロック発生回路の構成

クロック発生回路は，次のハードウエアで構成しています。

表5－1　クロック発生回路の構成

	項　　目	構　　成
	制御レジスタ	クロック動作モード制御レジスタ（CMC）
		システム・クロック制御レジスタ（CKC）
		クロック動作ステータス制御レジスタ（CSC）
		発振安定時間カウンタ状態レジスタ（OSTC）
		発振安定時間選択レジスタ（OSTS）
		周辺イネーブル・レジスタ0（PER0）
		動作スピード・モード制御レジスタ（OSMC）
★		高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）
★		高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）
	発振回路	X1発振回路
★		高速オンチップ・オシレータ
★		低速オンチップ・オシレータ

図5－1　クロック発生回路のブロック図



★

備考 f_X　：X1クロック発振周波数
★　f_{IH}　：HOCOクロック周波数
f_{EX}　：外部メイン・システム・クロック周波数
f_{MX}　：高速システム・クロック周波数
f_{MAIN}　：メイン・システム・クロック周波数
f_{CLK}　：CPU／周辺ハードウエア・クロック周波数
★　f_{IL}　：LOCOクロック周波数

5.3　クロック発生回路を制御するレジスタ

クロック発生回路は，次の8種類のレジスタで制御します。

- クロック動作モード制御レジスタ（CMC）
- システム・クロック制御レジスタ（CKC）
- クロック動作ステータス制御レジスタ（CSC）
- 発振安定時間カウンタ状態レジスタ（OSTC）
- 発振安定時間選択レジスタ（OSTS）
- 周辺イネーブル・レジスタ0（PER0）
- 動作スピード・モード制御レジスタ（OSMC）
- ★　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）
- ★　高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）

(1) クロック動作モード制御レジスタ（CMC）

X1/P121/KR3，X2/EXCLK/P122/KR2端子の動作モードの設定と，発振回路のゲインを選択するレジスタです。

CMCレジスタは，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は，1ビット・メモリ操作命令，または8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により，00Hになります。

図5－2　クロック動作モード制御レジスタ（CMC）のフォーマット

アドレス：FFFA0H　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	0	0	0	0	0	AMPH

EXCLK	OSCSEL	**高速システム・クロック端子の動作モード**	X1/P121/KR3**端子**	X2/EXCLK/P122/KR2**端子**
0	0	**入力ポート・モード**	**入力ポート**	
0	1	X1**発振モード**	**水晶／セラミック発振子接続**	
1	0	**入力ポート・モード**	**入力ポート**	
1	1	**外部クロック入力モード**	**入力ポート**	**外部クロック入力**

AMPH	X1**クロック発振周波数の制御**
0	1 MHz≦f_X≦10 MHz
1	10 MHz＜f_X≦20 MHz

注意1.　CMC**レジスタは，リセット解除後，**8**ビット・メモリ操作命令で**1**回のみ書き込み可能です。**

2.　**リセット解除後，クロック動作ステータス制御レジスタ（**CSC**）の設定で**X1**発振を開始する前に，**CMC**レジスタを設定してください。**

3.　X1**クロック発振周波数が**10MHz**を越える場合は，必ず**AMPH**ビットに**1**を設定してください。**

4.　CMC**レジスタを初期値（**00H**）のまま使用する場合，暴走時の誤動作を防止するためにリセット解除後は必ず**00H**に設定してください。**

備考　f_X　**：**X1**クロック発振周波数**

(2) システム・クロック制御レジスタ（CKC）

CPU／周辺ハードウエア・クロックの選択，分周比を設定するレジスタです。

CKCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図5－3　システム・クロック制御レジスタ（CKC）のフォーマット

アドレス：FFFA4H　リセット時：00H　R/W[注]

略号	7	6	5	4	3	2	1	0
CKC	0	0	MCS	MCM0	0	0	0	0

MCS	メイン・システム・クロック（f_{MAIN}）のステータス
0	HOCOクロック（f_{IH}）
1	高速システム・クロック（f_{MX}）

MCM0	メイン・システム・クロック（f_{MAIN}）の動作制御
0	メイン・システム・クロック（f_{MAIN}）にHOCOクロック（f_{IH}）を選択
1	メイン・システム・クロック（f_{MAIN}）に高速システム・クロック（f_{MX}）を選択

注　ビット5はRead Onlyです。

備考1. f_{IH}　：HOCOクロック周波数
f_{MX}　：高速システム・クロック周波数
f_{MAIN}　：メイン・システム・クロック周波数
2. ×　：don't care

注意　未定義のビットには，必ず0を設定してください。

(3) クロック動作ステータス制御レジスタ（CSC）

★ 高速システム・クロック，HOCOクロックの動作を制御するレジスタです（LOCOクロックは除く）。
CSCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により，C0Hになります。

図5－4　クロック動作ステータス制御レジスタ（CSC）のフォーマット

アドレス：FFFA1H　リセット時：C0H　R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	0	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

★

HIOSTOP	HOCOクロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

注意1. リセット解除後は，クロック動作モード制御レジスタ（CMC）を設定してからCSCレジスタを設定してください。

2. MSTOPビットの設定でX1発振を開始する場合は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

3. CPU／周辺ハードウエア・クロック（f_{CLK}）に選択しているクロックは，CSCレジスタで停止させないでください。

4. クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件は，表5－2のようになります。

5. リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ（OSTS）を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は，OSTSレジスタを設定する必要はありません。

表5－2 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	CSCレジスタのフラグ設定
X1クロック 外部メイン・システム・クロック	CPU／周辺ハードウエア・クロックが高速システム・クロック以外で動作 （CLS = 0かつMCS = 0，またはCLS = 1）	MSTOP = 1
★ HOCOクロック	CPU／周辺ハードウエア・クロックがHOCOクロック以外で動作 （CLS = 0かつMCS = 1，またはCLS = 1）	HIOSTOP = 1

(4) 発振安定時間カウンタ状態レジスタ（OSTC）

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに，X1クロックの発振安定時間を確認することができます。

★ ・CPUクロックがHOCOクロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除した場合

OSTCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生，STOP命令，MSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）= 1により，00Hになります。

備考 発振安定時間カウンタは，次の場合にカウントを開始します。

- X1クロック発振開始時（EXCLK, OSCSEL = 0, 1 → MSTOP = 0）
- STOPモードを解除したとき

図5－5　発振安定時間カウンタ状態レジスタ（OSTC）のフォーマット

アドレス：FFFA2H　**リセット時：**00H　R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
									f_X = 10 MHz時	f_X = 20 MHz時
0	0	0	0	0	0	0	0	$2^8/f_X$未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	$2^8/f_X$以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	$2^9/f_X$以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	$2^{10}/f_X$以上	102.4 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	$2^{11}/f_X$以上	204.8 μs以上	102.4 μs以上
1	1	1	1	1	0	0	0	$2^{13}/f_X$以上	819.2 μs以上	409.6 μs以上
1	1	1	1	1	1	0	0	$2^{15}/f_X$以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	1	1	0	$2^{17}/f_X$以上	13.11 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	$2^{18}/f_X$以上	26.21 ms以上	13.11 ms以上

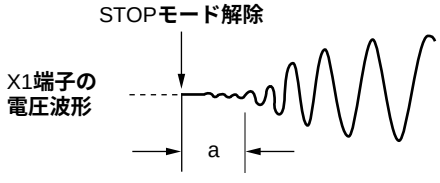
注意1．上記時間経過後，MOST8**ビットから順番に“**1**”となっていき，そのまま“**1**”を保持します。**

2．発振安定時間カウンタは発振安定時間選択レジスタ（OSTS**）で設定した発振安定時間までしかカウントしません。**
次のときには，OSTS**レジスタの発振安定時間を，発振開始後に**OSTC**レジスタで確認したいカウント値より大きい値に設定してください。**

★ **・**CPU**クロックがHOCOクロックで，**X1**クロックの発振を開始したい場合**

★ **・**CPU**クロックがHOCOクロックで，**X1**クロックも発振している状態で**STOP**モードに移行し，その後，**STOP**モードを解除したい場合**
（したがって，STOP**モード解除後の**OSTC**レジスタは，**OSTS**レジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）**

3．X1**クロックの発振安定時間は，クロック発振を開始するまでの時間（下図**a**）は含みません。**



備考　f_X：X1**クロック発振周波数**

(5) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合，STOPモード解除後は，OSTSレジスタで設定した時間を自動でウエイトします。

★ CPUクロックにHOCOクロックを選択した場合，STOPモード解除後は，発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間が経過したかを確認してください。OSTCレジスタでは，あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，07Hになります。

図5－6　発振安定時間選択レジスタ（OSTS）のフォーマット

アドレス：FFFA3H　**リセット時：**07H　R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				f_X = 10 MHz時	f_X = 20 MHz時
0	0	0	$2^8/f_X$	25.6 μs	**設定禁止**
0	0	1	$2^9/f_X$	51.2 μs	25.6 μs
0	1	0	$2^{10}/f_X$	102.4 μs	51.2 μs
0	1	1	$2^{11}/f_X$	204.8 μs	102.4 μs
1	0	0	$2^{13}/f_X$	819.2 μs	409.6 μs
1	0	1	$2^{15}/f_X$	3.27 ms	1.64 ms
1	1	0	$2^{17}/f_X$	13.11 ms	6.55 ms
1	1	1	$2^{18}/f_X$	26.21 ms	13.11 ms

注意1．CPU**クロックが**X1**クロック時に**STOP**モードへ移行する場合は，**STOP**命令の実行よりも前に**OSTS**レジスタを設定しておいてください。**

2．発振安定時間が20 μs**以下は設定禁止です。**

3．OSTS**レジスタの設定を変更する場合は，クロック動作ステータス制御レジスタ（**CSC**）の**MSTOP**ビットを**0**に設定する前に行ってください。**

4．X1**クロックの発振安定時間中は，**OSTS**レジスタを変更しないでください。**

5．発振安定時間カウンタはOSTS**レジスタで設定した発振安定時間までしかカウントしません。**

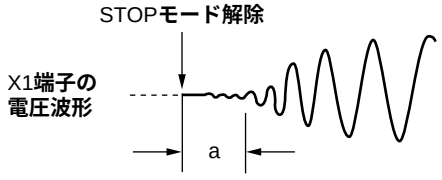
次のときには，OSTS**レジスタの発振安定時間を，発振開始後に**OSTC**レジスタで確認したいカウント値より大きい値に設定してください。**

★ **・**CPU**クロックがHOCOクロックで，**X1**クロックの発振を開始したい場合**

★ **・**CPU**クロックがHOCOクロックで，**X1**クロックも発振している状態で**STOP**モードに移行し，その後，**STOP**モードを解除したい場合**

（したがって，STOP**モード解除後の**OSTC**レジスタは，**OSTS**レジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）**

6．X1**クロックの発振安定時間は，クロック発振を開始するまでの時間（下図**a**）は含みません。**



備考　f_X：X1**クロック発振周波数**

(6) 周辺イネーブル・レジスタ0（PER0）

各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

このレジスタで制御される以下の周辺機能を使用する場合は，周辺機能の初期設定前に対応するビットをセット（1）してください。

- リアルタイム・クロック
- A/Dコンバータ
- シリアル・インタフェースIICA
- シリアル・アレイ・ユニット0
- タイマ・アレイ・ユニット

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図5－7　周辺イネーブル・レジスタ0（PER0）のフォーマット（1/2）

アドレス：F00F0H　リセット時：00H　R/W

	略号	7	6	5	4	3	2	1	0
★	PER0	TMKAE	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

TMKAE	インターバル・タイマの入力クロック供給[注]の制御
0	入力クロック供給停止 ・インターバル・タイマで使用するSFRへのライト不可 ・インターバル・タイマはリセット状態
1	入力クロック供給 ・インターバル・タイマで使用するSFRへのリード／ライト可

ADCEN	A/Dコンバータの入力クロック供給の制御
0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入力クロック供給 ・A/Dコンバータで使用するSFRへのリード／ライト可

IICA0EN	シリアル・インタフェースIICAの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可 ・シリアル・インタフェースIICAはリセット状態
1	入力クロック供給 ・シリアル・インタフェースIICAで使用するSFRへのリード／ライト可

注　TMKAEビットで制御可能な入力クロックは，CPUからインターバル・タイマで使用するレジスタにアクセスする場合に使用されます。TMKAEビットで，インターバル・タイマの動作クロック（f_{IL}）の供給を制御することはできません。

図5－7 周辺イネーブル・レジスタ0（PER0）のフォーマット（2/2）

アドレス：F00F0H **リセット時：**00H R/W

★	略号	7	6	5	4	3	2	1	0
	PER0	TMKAE	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

★

SAU1EN	シリアル・アレイ・ユニット1の入力クロック供給の制御
0	入力クロック供給停止（20, 24ピン製品では0に固定） ・シリアル・アレイ・ユニット1で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット1はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット1で使用するSFRへのリード／ライト可

SAU0EN	シリアル・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット0で使用するSFRへのリード／ライト可

TAU0EN	タイマ・アレイ・ユニットの入力クロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード／ライト可

注意 未定義のビットには，必ず0を設定してください。

(7) 動作スピード・モード制御レジスタ（OSMC）

OSMCレジスタでは，インターバル・タイマの動作クロックを確定します。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図5－8 動作スピード・モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	インターバル・タイマの動作クロックの供給
0	クロック不確定
1	LOCOクロック

★　(8) 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）

オプション・バイト（000C2H）で設定した高速内蔵発振器の周波数を変更するレジスタです。ただし，オプション・バイト（000C2H）のFQSEL3ビットの値によって，選択できる周波数が異なります。

HOCODIVは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，初期値（不定）になります。

図5－9　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット

アドレス：F00A8H　リセット時：不定　R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV 2	HOCODIV 1	HOCODIV 0

HOCODIV 2	HOCODIV 1	HOCODIV 0	高速内蔵発振クロック周波数の選択	
			FRQSEL3ビットが0のとき	FRQSEL3ビットが1のとき
0	0	0	24 MHz	設定禁止
0	0	1	12 MHz	16 MHz
0	1	0	6 MHz	8 MHz
0	1	1	3 MHz	4 MHz
1	0	0	設定禁止	2 MHz
1	0	1	設定禁止	1 MHz
上記以外			設定禁止	

注意1. HOCODIVレジスタの設定は周波数の変更前，変更後ともに動作可能な電圧範囲で行ってください。

2. HOCODIVレジスタによって周波数を変更した場合も，オプション・バイト(000C2H)で設定したフラッシュ動作モードの電圧の範囲内で使用してください。

オプションバイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE2			
1	0	LS(低速メイン)モード	1MHz～8MHz	1.8V～5.5V
1	1	HS(高速メイン)モード	1MHz～16MHz	2.4V～5.5V
			1MHz～24MHz	2.7V～5.5V

3. HOCODIVレジスタで値を変更してから，3クロック間は設定前の周波数で動作します。

4. システム・クロックにX1発振／外部発振入力／サブシステム・クロックを設定しているときに高速内蔵発振器の周波数を変更する場合は，CSCレジスタのビット0(HIOSTOP)を1にセットし，高速内蔵発振器を停止させてから周波数を変更してください。

★　**(9) 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）**

高速オンチップ・オシレータの精度補正を行うレジスタです。

HIOTRM**は，8ビット・メモリ操作命令で設定します。**

リセット信号の発生により，初期値（10H）になります。

図5－10　高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）のフォーマット

アドレス：F00A0H　**リセット時：**10H　R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	HIOTRM6	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0

HIO TRM6	HIO TRM5	HIO TRM4	HIO TRM3	HIO TRM2	HIO TRM1	HIO TRM0	**高速オンチップ・オシレータ**
0	0	0	0	0	0	0	**最低速**
0	0	0	0	0	0	1	↑
0	0	0	0	0	1	0	
0	0	0	0	0	1	1	
0	0	0	0	1	0	0	
			•				
			•				
			•				
1	1	1	1	1	1	0	↓
1	1	1	1	1	1	1	**最高速**

5. 4　システム・クロック発振回路

5. 4. 1　X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（1～20 MHz）によって発振します。

また，外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット7, 6（EXCLK, OSCSEL）を次のように設定してください。

・水晶，セラミック発振：EXCLK, OSCSEL = 0, 1

・外部クロック入力　　：EXCLK, OSCSEL = 1, 1

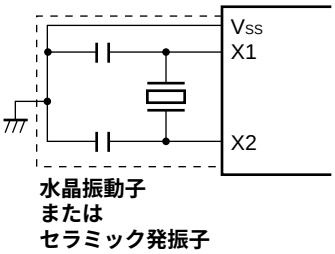
X1発振回路を使用しない場合は，入力ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。

さらに，入力ポートとしても使用しない場合は，表2－3　各端子の未使用端子処理を参照してください。

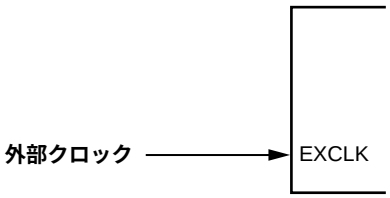
図5－10にX1発振回路の外付け回路例を示します。

図5－11　X1発振回路の外付け回路例

（a）水晶，セラミック発振



（b）外部クロック



注意　X1発振回路を使用する場合は，配線容量などの影響を避けるために，図5－11の破線の部分を次のように配線してください。

・配線は極力短くしてください。

・他の信号線と交差させない，変化する大電流が流れる線と接近させないでください。

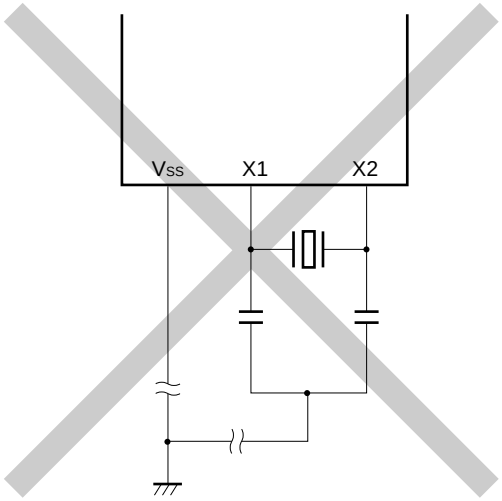
・発振回路のコンデンサの接地点は，常にVssと同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。

・発振回路から信号を取り出さないでください。

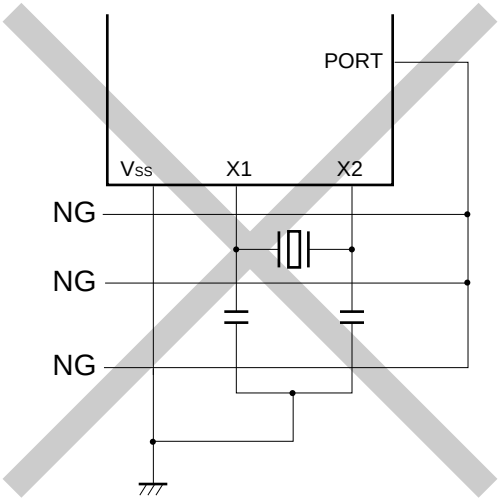
図5－12に発振子の接続の悪い例を示します。

図5－12　発振子の接続の悪い例（1/2）

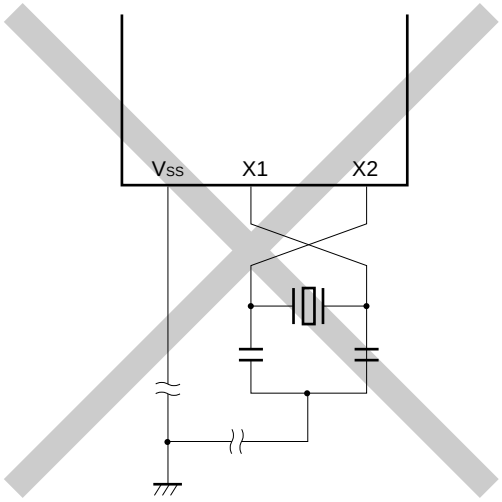
（a）接続回路の配線が長い



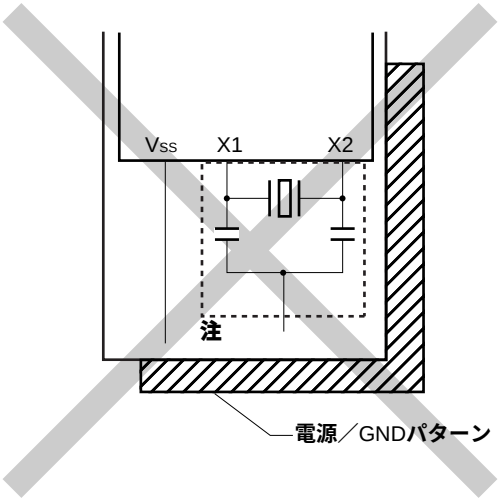
（b）信号線が交差している



（c）X1, X2の信号線の配線が交差している



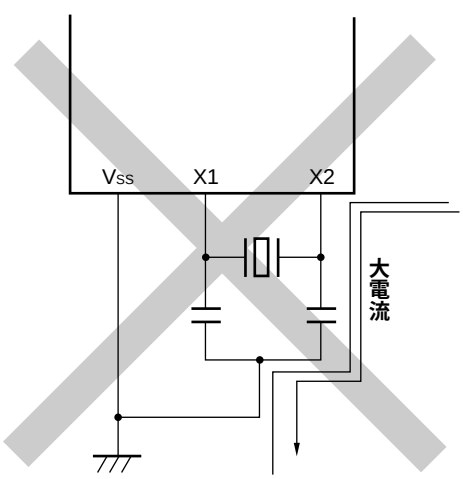
（d）X1, X2配線の下に電源／GNDパターンがある



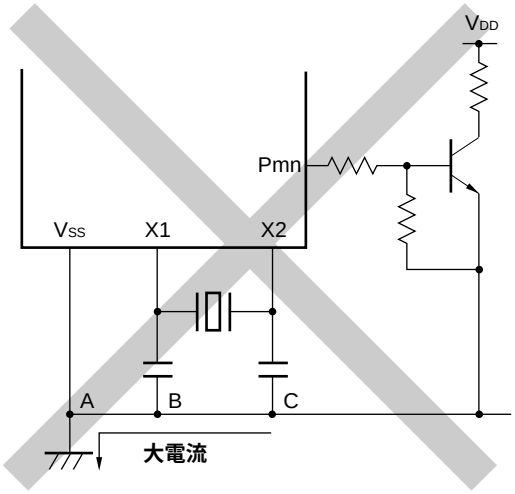
注　多層基板や両面基板において，X1, X2端子と発振子の配線部（図中の点線部分）の下には，電源／GNDパターンを配置しないでください。
容量成分の原因となり，発振特性に影響を与える配置はしないでください。

図5－12　発振子の接続の悪い例（2/2）

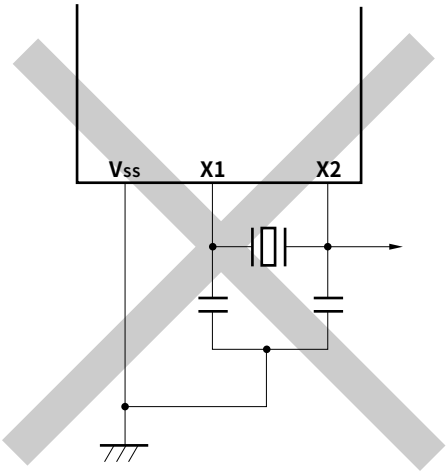
（e） 変化する大電流が信号線に近接している



（f） 発振回路部のグランド・ライン上に電流が流れる（A点，B点，C点の電位が変動する）



（g）信号を取り出している



★　5. 4. 2　高速オンチップ・オシレータ（HOCO）

RL78/G12は，高速オンチップ・オシレータを内蔵しています。オプションバイト（000C2H）により24 MHz, 16 MHz, 12 MHz, 8 MHz, 4 MHz, 1 MHzから周波数を選択することが可能です。クロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）にて発振を制御できます。

リセット解除後，高速オンチップ・オシレータは自動的に発振を開始します。

★　5. 4. 3　低速オンチップ・オシレータ（LOCO）

RL78/G12は，低速オンチップ・オシレータを内蔵しています。

LOCOクロックは，ウォッチドッグ・タイマ，リアルタイマ・カウンタ，インターバル・タイマのクロックとして使用します。CPUクロックとして使用できません。

オプション・バイト（000C0H）のビット4（WDTON）または，動作スピード・モード制御レジスタ（OSMC）のビット4（WUTMMCK0）のどちらか，または両方が1のときに動作します。

ウォッチドッグ・タイマ停止時かつ，WUTMMCK0 = 0以外では，低速オンチップ・オシレータの発振は継続します。ウォッチドッグ・タイマ動作時に，プログラムが暴走する場合においても，LOCOクロックが停止することはありません。

5. 5　クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し，かつ，スタンバイ・モードなどのCPUの動作モードを制御します（図5－1を参照）。

○メイン・システム・クロック　f_{MAIN}
- 高速システム・クロック　f_{MX}
  - X1クロック　f_X
  - 外部メイン・システム・クロック　f_{EX}
- ★ HOCOクロック　f_{IH}

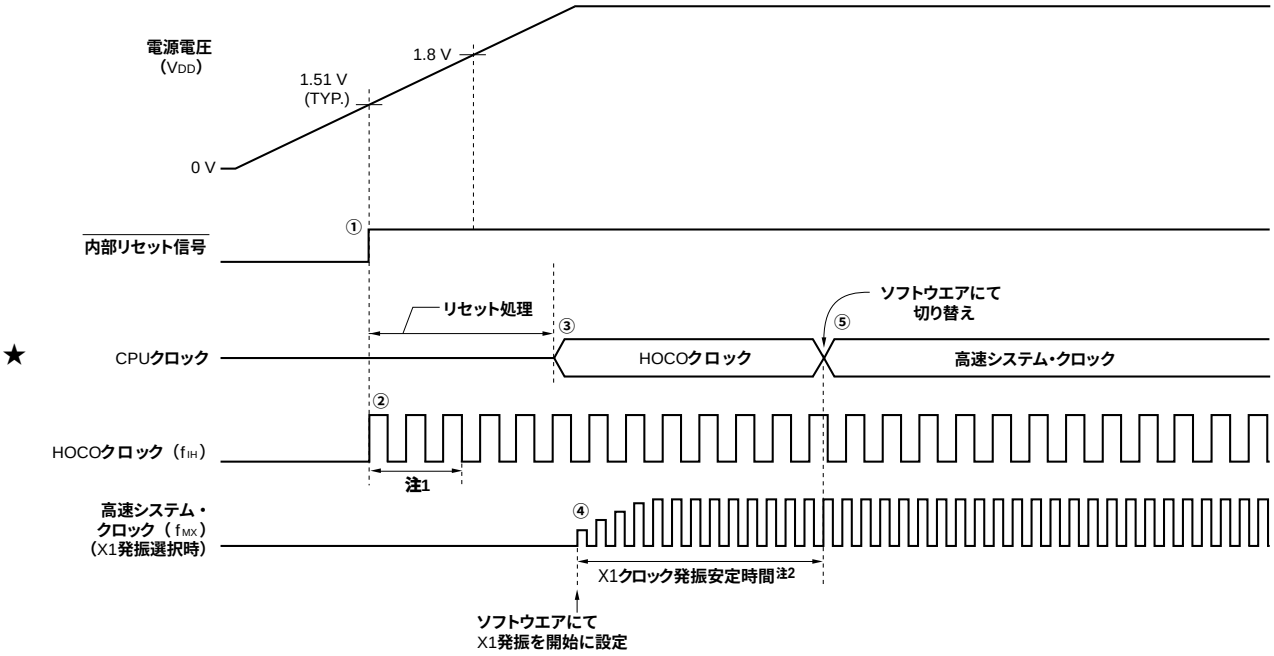
★ ○LOCOクロック　f_{IL}

○CPU／周辺ハードウエア・クロック　f_{CLK}

★ RL78/G12では，リセット解除後，CPUは高速オンチップ・オシレータの出力により動作を開始します。

電源電圧投入時のクロック発生回路の動作を，図5－12に示します。

図5－13　電源電圧投入時のクロック発生回路の動作



① 電源投入後，パワーオン・リセット（POR）回路による内部リセット信号が発生されます。

★ ② 電源電圧が1.51 V（TYP.）を越えると，リセットが解除され，高速オンチップ・オシレータが自動的に発振開始されます。

★ ③ リセット解除後に電源／レギュレータの電圧安定待ちなどのリセット処理が行われたのちに，CPUがHOCOクロックで動作開始します。

④ X1クロックは，ソフトウエアにて発振開始を設定してください。

⑤ CPUをX1クロックに切り替える場合は，クロックの発振安定待ち後に，ソフトウエアにて切り替えを設定してください。

★ **注**1. HOCOクロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

2. リセット解除時は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

注意　EXCLK端子からの外部クロック入力を使用する場合，発振安定待ち時間は不要です。

5. 6　クロックの制御

★　5. 6. 1　高速オンチップ・オシレータの設定例

リセット解除後，CPU／周辺ハードウエア・クロック（f_{CLK}）としてHOCOクロックが供給されます。高速オンチップ・オシレータ（HOCO）の周波数は，オプション・バイト（000C2H）のFRQSEL0-FRQSEL3で選択できます。この周波数は，高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で変更できます。

【オプション・バイト設定】

アドレス：000C2H

オプション・バイト（000C2H）

7	6	5	4	3	2	1	0
CMODE1 0/1	CMODE0 0/1	1	0	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

CMODE1	CMODE0	フラッシュの動作モード設定
1	0	LS（低速メイン）モード
1	1	HS（高速メイン）モード

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
1	0	1	1	4 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

【高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）設定】

アドレス：F00A8H

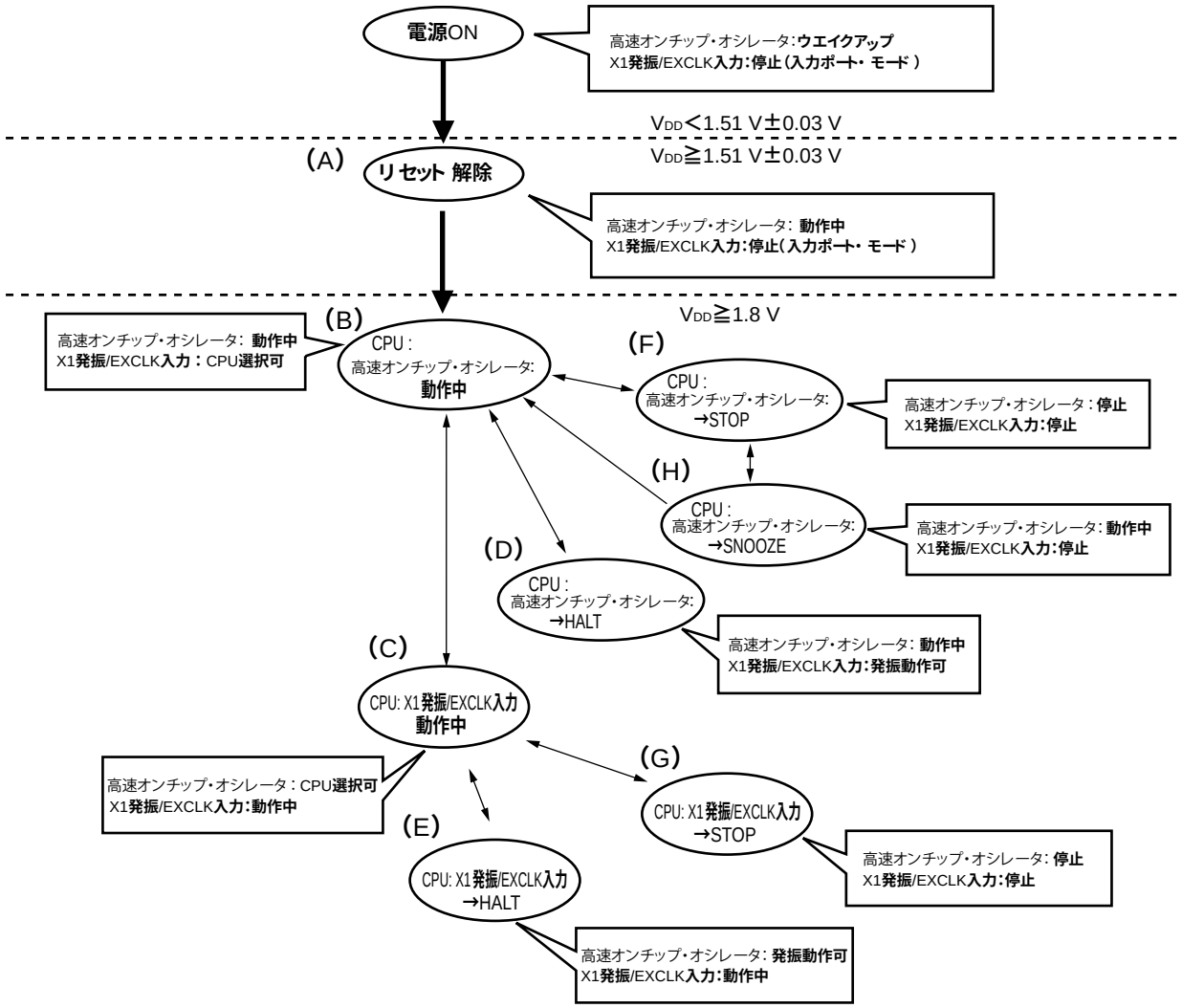
	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV 2	HOCODIV 1	HOCODIV 0

HOCODIV 2	HOCODIV 1	HOCODIV 0	高速内蔵発振クロック周波数の選択	
			FRQSEL3ビットが0のとき	FRQSEL3ビットが1のとき
0	0	0	24 MHz	設定禁止
0	0	1	12 MHz	16 MHz
0	1	0	6 MHz	8 MHz
0	1	1	3 MHz	4 MHz
1	0	0	設定禁止	2 MHz
1	0	1	設定禁止	1 MHz
上記以外			設定禁止	

5. 6. 2　CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5－13に示します。

図5－14　CPUクロック状態移行図



5. 6. 3　CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について，次に示します。

表5ー3　CPUクロックの移行について

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
★ HOCOクロック	X1クロック	X1発振が安定していること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後	高速オンチップ・オシレータを停止（HIOSTOP = 1）すると，動作電流を低減可能
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0	
★ 外部メイン・システム・クロック	HOCOクロック	高速オンチップ・オシレータが発振されていること ・HIOSTOP = 0	外部メイン・システム・クロック入力を無効に設定可能（MSTOP = 1）
	X1クロック	移行不可 （変更したい場合は，いったんリセットしてから再設定してください。）	ー

5. 6. 4　CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ（CKC）のビット4（MCM0）の設定により，メイン・システム・クロック
★ の切り替え（HOCOクロック→高速システム・クロック）をすることができます。

実際の切り替え動作は，CKCレジスタを書き換えた直後ではなく，CKCレジスタを変更したのち，数クロックは切り替え前のクロックで動作します（表5ー4参照）。

★ メイン・システム・クロックが高速システム・クロックで動作しているか，HOCOクロックで動作しているかは，CKCレジスタのビット5（MCS）で判定できます。

表5－4　メイン・システム・クロックの切り替え（$f_{IH} \leftrightarrow f_{MX}$）に要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 （$f_{MAIN} = f_{IH}$）	1 （$f_{MAIN} = f_{MX}$）
0 （$f_{MAIN} = f_{IH}$）	$f_{MX} \geqq f_{IH}$		1＋f_{IH}/f_{MX}クロック
	$f_{MX} < f_{IH}$		$2f_{IH}/f_{MX}$クロック
1 （$f_{MAIN} = f_{MX}$）	$f_{MX} \geqq f_{IH}$	$2f_{MX}/f_{IH}$クロック	
	$f_{MX} < f_{IH}$	1＋f_{MX}/f_{IH}クロック	

備考1.　切り替え前のCPUクロックのクロック数です。

2.　小数点以下を切り上げてください。

★ 例　メイン・システム・クロックをHOCOクロック（8 MHz選択時）から高速システム・クロックに切り替える場合（f_{IH} = 8 MHz, f_{MX} =10 MHz発振時）

1＋f_{IH}/f_{MX} = 1＋8/10 = 1＋0.8 = 1.8 → 2クロック

5. 6. 5　クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

表5－8　クロック発振停止前の条件とフラグ設定

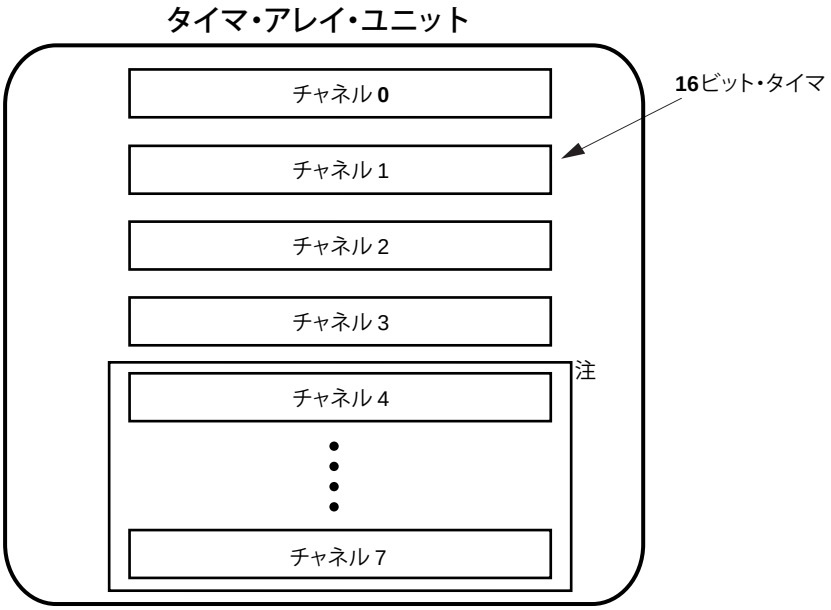
	クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
★	HOCOクロック	MCS = 1またはCLS = 1 （CPUが高速システム・クロックで動作）	HIOSTOP = 1
	X1クロック	MCS = 0またはCLS = 1 （CPUがHOCOクロックで動作）	MSTOP = 1
★	外部メイン・システム・クロック		

第6章　タイマ・アレイ・ユニット

タイマ・アレイ・ユニットは４個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャネル」と呼び，それぞれを単独のタイマとして使用することはもちろん，複数のチャネルを組み合わせて高度なタイマ機能として使用することもできます。

★



注　30ピン製品のみ

チャネル1, 3の16ビット・タイマを2つの8ビット・タイマ（上位／下位）として使用することもできます。チャネル1, 3が8ビット・タイマとして使用できる機能は，次の機能です。

- インターバル・タイマ機能
- 外部イベント・カウンタ機能（下位8ビット・タイマのみ）
- ディレイ・カウント機能（下位8ビット・タイマのみ）

★　また，30ピン製品のチャネル7は，シリアル・アレイ・ユニットのUART2と連携し，LIN-bus受信処理を実現することができます。

6. 1 タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには，次のような機能があります。

6. 1. 1 単独チャネル動作機能

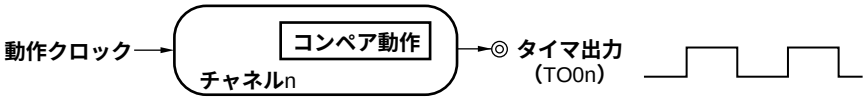
単独チャネル動作機能は，他のチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

(1) インターバル・タイマ

一定間隔で割り込み（INTTM0n）を発生する基準タイマとして利用できます。

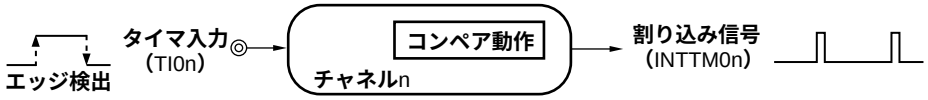
(2) 方形波出力

INTTM0n割り込みの発生ごとにトグル動作を行い，デューティ50%の方形波をタイマ出力端子（TO0n）より出力します。



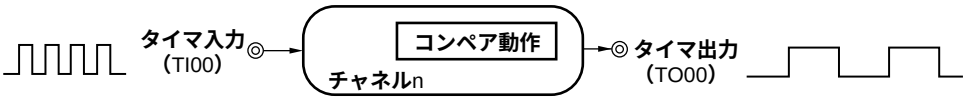
(3) 外部イベント・カウンタ

タイマ入力端子（TI0n）に入力される信号の有効エッジをカウントし，規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



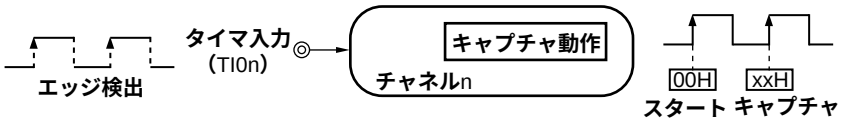
(4) 分周器機能（チャネル0のみ）

タイマ入力端子（TI00）から入力されたクロックを分周して出力端子（TO00）より出力します。



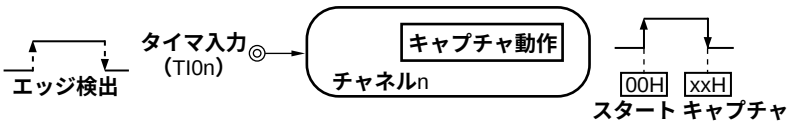
(5) 入力パルス間隔測定

タイマ入力端子（TI0n）に入力されるパルス信号の有効エッジでカウントをスタートし，次のパルスの有効エッジでカウント値をキャプチャすることで，入力パルスの間隔を測定します。



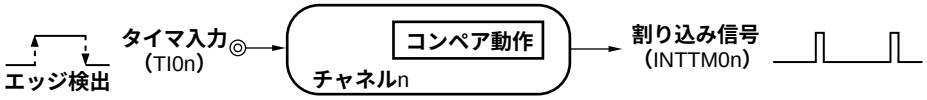
(6) 入力信号のハイ／ロウ・レベル幅測定

タイマ入力端子（TI0n）に入力される信号の片エッジでカウントをスタートし，もう一方の片エッジでカウント値をキャプチャすることで，入力信号のハイ・レベル幅，ロウ・レベル幅を測定します。



(7) ディレイ・カウンタ

タイマ入力端子（TI0n）に入力される信号の有効エッジでカウントをスタートし，任意のディレイ期間後，割り込みを発生します。



備考　n：チャネル番号（n = 0-3）

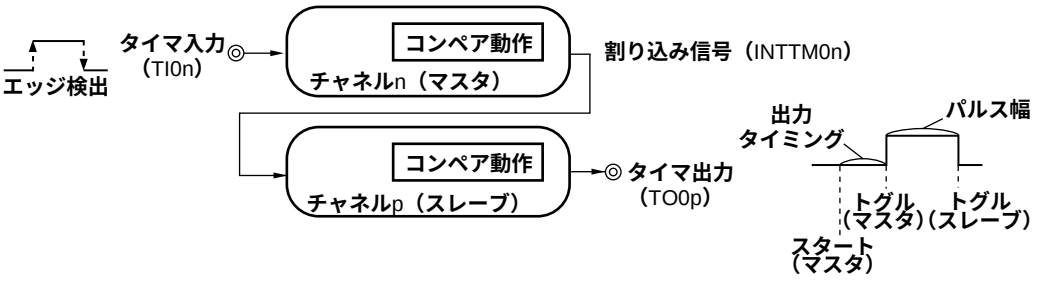
6. 1. 2　複数チャネル連動動作機能

複数チャネル連動動作機能は，マスタ・チャネル（主に周期を制御する基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組み合せて実現する機能です。

複数チャネル連動動作機能は，次に示すモードとして利用できます。

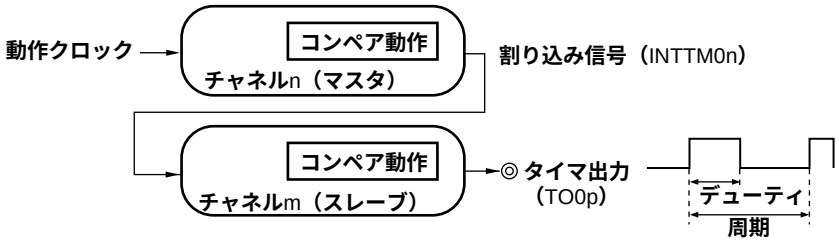
(1) ワンショット・パルス出力

2チャネルをセットで使用し，出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



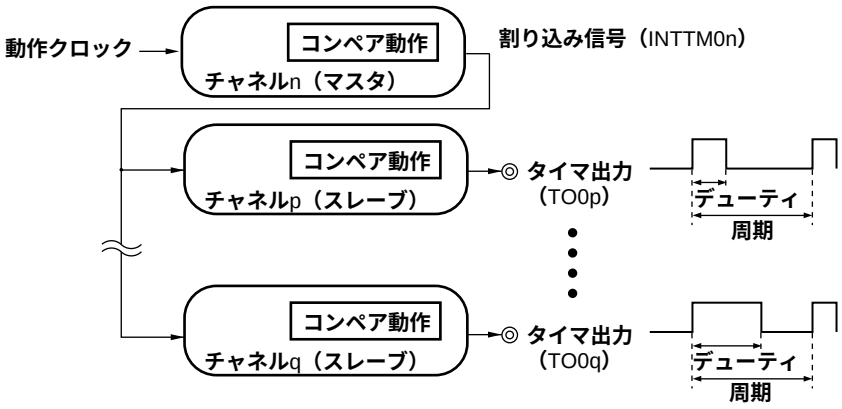
(2) PWM（Pulse Width Modulation）出力

2チャネルをセットで使用し，周期とデューティを任意に設定できるパルスを生成します。



（3）多重PWM（Pulse Width Modulation）出力

PWM機能を拡張し，1つのマスタ・チャネルと複数のスレーブ・チャネルを使用することで，周期一定で，任意のデューティのPWM信号を最大3種類生成することができます。



注意　複数チャネル連動動作機能の使用にあたっては，いくつかのルールがあります。

- **マスタ・チャネルには，偶数チャネル（チャネル0, 2）のみ設定可能**
- **スレーブ・チャネルはマスタ・チャネルの下位のチャネルのみ設定可能（複数のスレーブ・チャネルを設定可能）**

など

複数チャネル連動動作機能のルールの詳細については，6. 4　複数チャネル連動動作機能の基本ルールを参照してください。

★　6. 1. 3　LIN-bus対応機能（チャネル7のみ）

LIN-bus通信機能において，受信信号がLIN-busの通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

(1) ウエイクアップ信号の検出

UART2のシリアル・データ入力端子（RxD2）に入力される信号の立ち下がりエッジでカウントをスタートし，立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば，ウエイクアップ信号と認識します。

(2) シンク・ブレーク・フィールドの検出

ウエイクアップ信号検出後，UART2のシリアル・データ入力端子（RxD2）に入力される信号の立ち下がりエッジでカウントをスタートし，立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば，シンク・ブレーク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定

シンク・ブレーク・フィールド検出後，UART2のシリアル・データ入力端子（RxD2）に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考　LIN-bus対応機能の動作設定については，6. 3 **(13) 入力切り替え制御レジスタ（ISC）**を参照してください。

6. 2　タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは，次のハードウエアで構成されています。

表6－1　タイマ・アレイ・ユニットの構成

項　　目	構　　成
タイマ／カウンタ	タイマ・カウンタ・レジスタ0n（TCR0n）
レジスタ	タイマ・データ・レジスタ0n（TDR0n）
★ タイマ入力	TI00-TI03，RxD2端子（LIN-bus用）
タイマ出力	TO00-TO03，出力制御回路
制御レジスタ	＜ユニット設定部のレジスタ＞ ・周辺イネーブル・レジスタ0（PER0） ・タイマ・クロック選択レジスタ0（TPS0） ・タイマ・チャネル許可ステータス・レジスタ0（TE0） ・タイマ・チャネル開始レジスタ0（TS0） ・タイマ・チャネル停止レジスタ0（TT0） ・タイマ入力選択レジスタ0（TIS0） ・タイマ出力許可レジスタ0（TOE0） ・タイマ出力レジスタ0（TO0） ・タイマ出力レベル・レジスタ0（TOL0） ・タイマ出力モード・レジスタ0（TOM0）
	＜各チャネル部のレジスタ＞ ・タイマ・モード・レジスタ0n（TMR0n） ・タイマ・ステータス・レジスタ0n（TSR0n） ・入力切り替え制御レジスタ（ISC） ・ノイズ・フィルタ許可レジスタ1（NFEN1） ・ポート・モード・レジスタ（PMxx） ・ポート・レジスタ（Pxx）

備考　n：チャネル番号（n = 0-7）

★　タイマ・アレイ・ユニットの各チャネルのタイマ入出力の兼用ポートは，製品によって異なります。

表6－2　各製品に搭載しているタイマ入出力端子

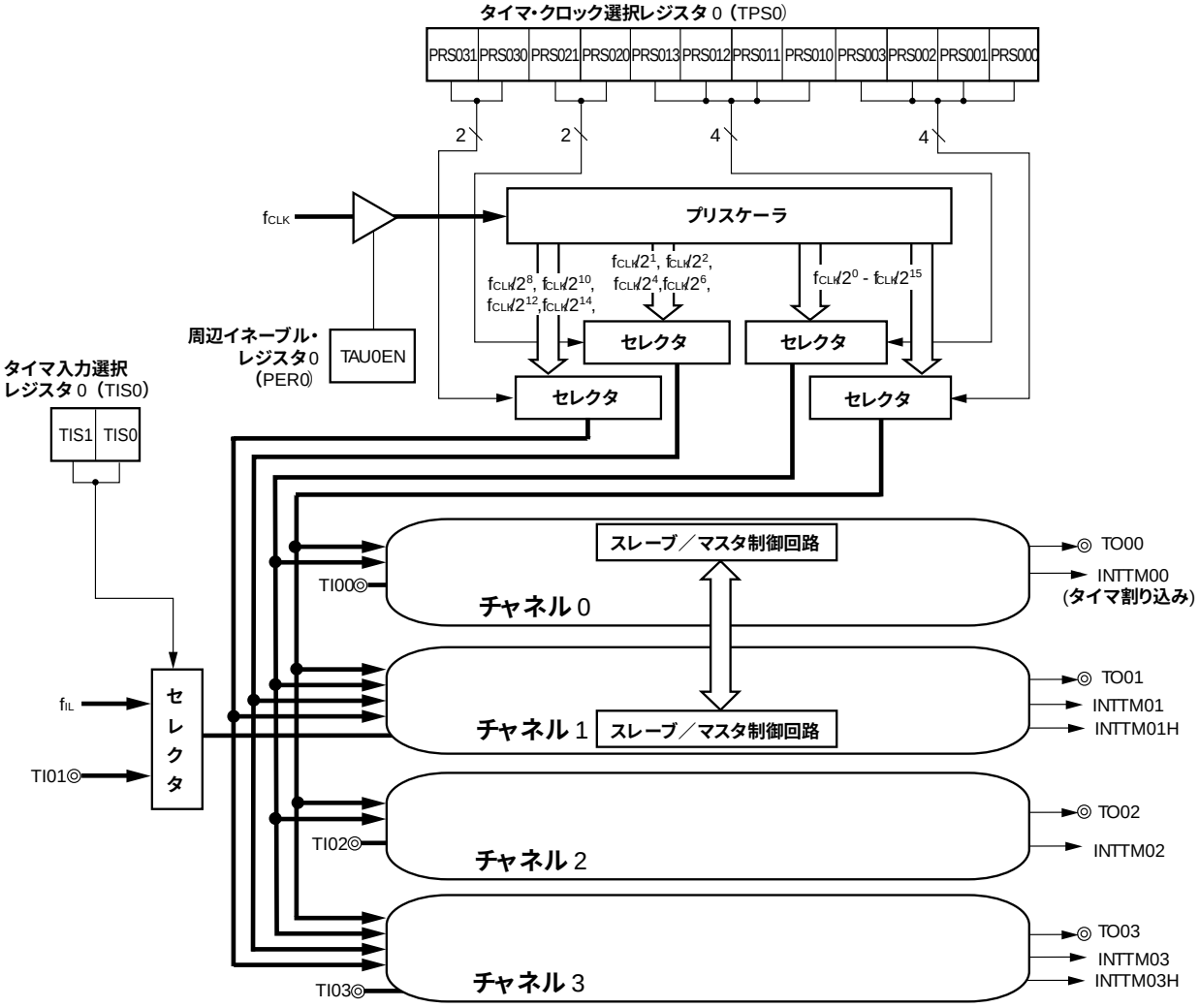
タイマ・アレイ・ユニット・チャネル	30ピン製品	24, 20ピン製品
チャネル0	P00/TI00, P01/TO00	P13/TI00/TO00
チャネル1	P16/TI01/TO01	P14/TI01/TO01
チャネル2	P17/TI02/TO02	P41/TI02/TO02
チャネル3	P31/TI03/TO03	P42/TI03/TO03
チャネル4	－	
チャネル5	－	
チャネル6	－	
チャネル7	－	

備考1.　タイマ入力とタイマ出力が同一端子で兼用されている場合は,タイマ入力かタイマ出力のどちらかのみ使用可能です。

2.　－：タイマ入出力端子はないが，チャネルは搭載（インターバルタイマとしてのみ使用可能）

図6－1～図6－3にタイマ・アレイ・ユニットのブロック図を示します。

図6－1　タイマ・アレイ・ユニットの全体ブロック図（20, 24ピン製品）



★　　**備考** fIL：LOCOクロック周波数

★ **図6－2 タイマ・アレイ・ユニットの全体ブロック図（30ピン製品）**

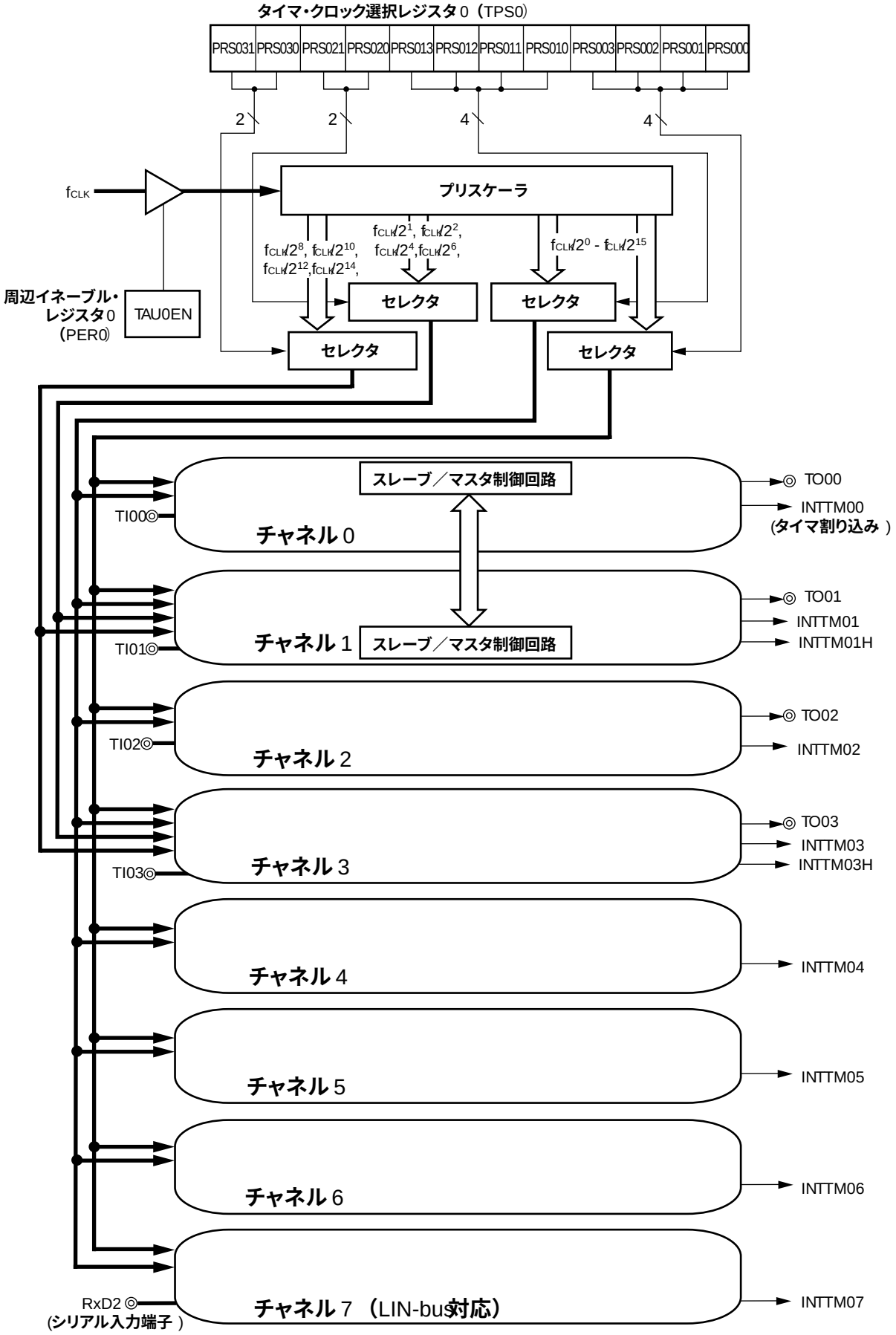
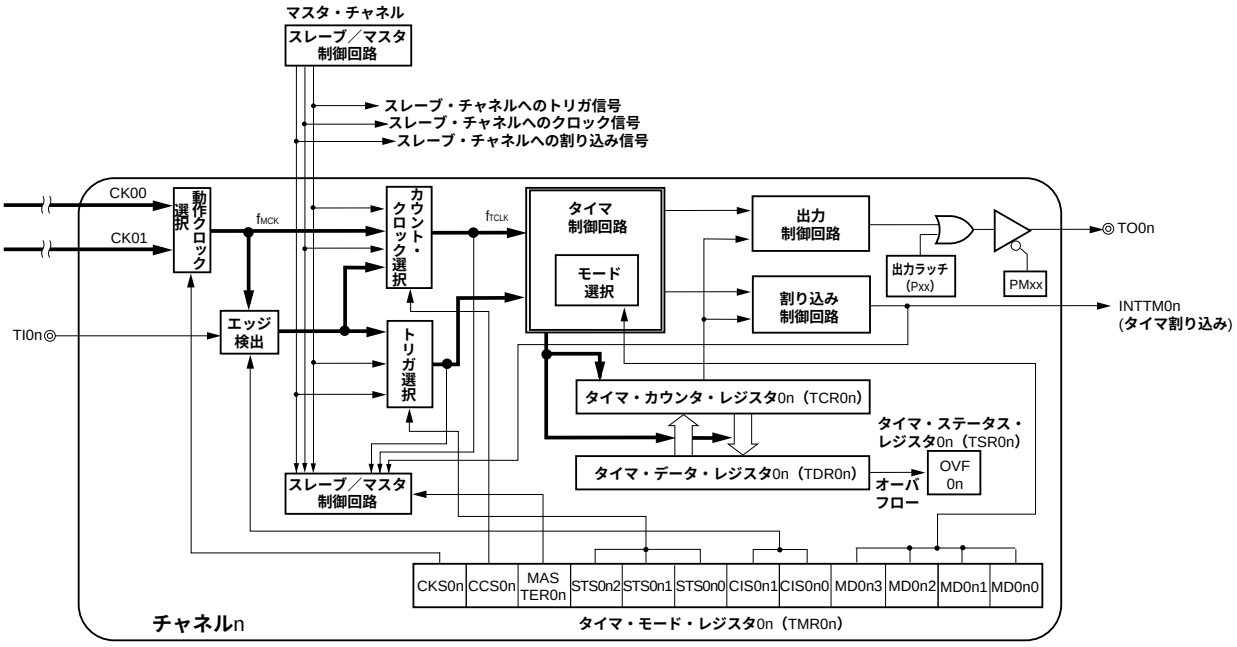


図6－3 タイマ・アレイ・ユニットのチャネル内部ブロック図



備考 n = 0, 2, 4, 6（TI0n, TO0nは0, 2）

（1）タイマ・カウンタ・レジスタ0n（TCR0n）

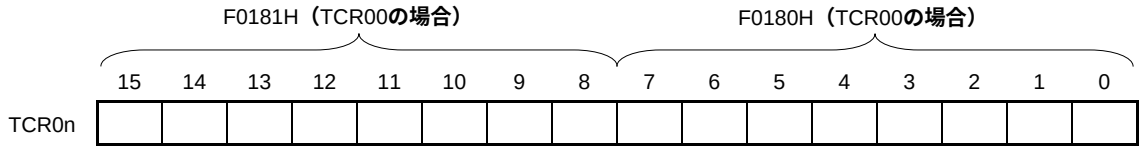
TCR0nレジスタは，カウント・クロックをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して，カウンタをインクリメント／デクリメントします。

インクリメントかデクリメントかは，タイマ・モード・レジスタ0n（TMR0n）のMD0n3-MD0n0ビットで動作モードを選択することで切り替わります（6. 3（3）**タイマ・モード・レジスタ**0n（TMR0n）参照）。

図6－4 タイマ・カウンタ・レジスタ0n（TCR0n）**のフォーマット**

アドレス：F0180H, F0181H（TCR00）- F0186H, F0187H（TCR03） **リセット時：**FFFFH R



★ **備考** n：チャネル番号（n = 0-7）

タイマ・カウンタ・レジスタ0n（TCR0n）をリードすることにより，カウント値をリードできます。

次の場合，カウント値はFFFFHになります。

- リセット信号の発生時
- 周辺イネーブル・レジスタ0（PER0）のTAU0ENビットをクリアしたとき
- PWM出力モードで，スレーブ・チャネルのカウント完了時
- ワンショット・パルス出力モードで，マスタ／スレーブ・チャネルのカウント完了時
- 多重PWM出力モードで，スレーブ・チャネルのカウント完了時

また，次の場合には，カウント値は0000Hになります。

- キャプチャ・モード時に，スタート・トリガが入力されたとき
- キャプチャ・モード時で，キャプチャ完了時

注意 TCR0nレジスタをリードしても，タイマ・データ・レジスタ0n（TDR0n）にはキャプチャしません。

TCR0nレジスタ読み出し値は，動作モード変更や動作状態により次のように異なります。

表6－3 各動作モード時のタイマ・カウンタ・レジスタ0n（TCR0n）読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ（TCR0n）の読み出し値[注]			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止（TT0n = 1）後，動作モード変更した場合の値	カウント動作を一時停止（TT0n = 1）後，動作再開した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	不定	停止値	－
キャプチャ・モード	アップ・カウント	0000H	不定	停止値	－
イベント・カウンタ・モード	ダウン・カウント	FFFFH	不定	停止値	－
ワンカウント・モード	ダウン・カウント	FFFFH	不定	停止値	FFFFH
キャプチャ&ワンカウント・モード	アップ・カウント	0000H	不定	停止値	TDR0nレジスタのキャプチャ値＋1

注 チャネルnがタイマ動作停止状態（TE0n = 0）かつカウント動作許可状態（TS0n = 1）にした時点の，TCR0nレジスタの読み出し値を示します。カウント動作開始までこの値がTCR0nレジスタに保持されます。

★ **備考** n：チャネル番号（n = 0-7）

(2) タイマ・データ・レジスタ0n（TDR0n）

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能かコンペア機能かは，タイマ・モード・レジスタ0n（TMR0n）のMD0n3-MD0n0ビットで動作モードを選択することで切り替わります。

TDR0nレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード／ライト可能です。

また，TDR01レジスタは，8ビット・タイマ・モード時（タイマ・モード・レジスタ01（TMR01）のSPLITビットが1）に，上位8ビットをTDR01H，下位8ビットをTDR01Lとして，8ビット単位での書き換えが可能になります。読み出しは，16ビット単位でのみ可能です。

リセット信号の発生により，TDR0nレジスタは0000Hになります。

図6－5　タイマ・データ・レジスタ00（TDR00）のフォーマット

アドレス：FFF18H, FFF19H（TDR00），　**リセット時：**0000H　R/W

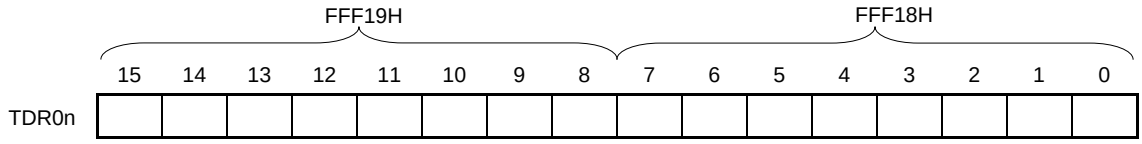
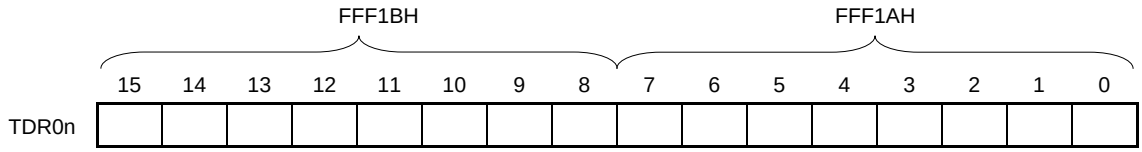


図6－6　タイマ・データ・レジスタ01（TDR01）のフォーマット

アドレス：FFF1AH, FFF1BH（TDR01），　**リセット時：**0000H　R/W



（ i ） タイマ・データ・レジスタ0n（TDR0n）をコンペア・レジスタとして使用するとき

TDR0nレジスタに設定した値からダウン・カウントをスタートして，0000Hになったときに割り込み信号（INTTM0n）を発生します。TDR0nレジスタは書き換えられるまで値を保持します。

注意　コンペア機能に設定したTDR0nレジスタはキャプチャ・トリガが入力されても，キャプチャ動作を行いません。

（ ii ）タイマ・データ・レジスタ0n（TDR0n）をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により，タイマ・カウンタ・レジスタ0n（TCR0n）のカウント値をTDR0nレジスタにキャプチャします。

キャプチャ・トリガとして，TI0n端子の有効エッジの選択ができます。キャプチャ・トリガの選択は，タイマ・モード・レジスタ0n（TMR0n）で設定します。

★ **備考**　n：チャネル番号（n = 0-7）

6. 3　タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0（PER0）
- タイマ・クロック選択レジスタ0（TPS0）
- タイマ・モード・レジスタ0n（TMR0n）
- タイマ・ステータス・レジスタ0n（TSR0n）
- タイマ・チャネル許可ステータス・レジスタ0（TE0）
- タイマ・チャネル開始レジスタ0（TS0）
- タイマ・チャネル停止レジスタ0（TT0）
- タイマ入力選択レジスタ0（TIS0）
- タイマ出力許可レジスタ0（TOE0）
- タイマ出力レジスタ0（TO0）
- タイマ出力レベル・レジスタ0（TOL0）
- タイマ出力モード・レジスタ0（TOM0）
- 入力切り替え制御レジスタ（ISC）
- ノイズ・フィルタ許可レジスタ1（NFEN1）
- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）

★　**備考**　n：チャネル番号（n = 0-7）

(1) 周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニットを使用する場合は，必ずビット0（TAU0EN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER0レジスタは00Hになります。

図6－7　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

	略号	7	6	5	4	3	2	1	0
★	PER0	TMKAE	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニットの入力クロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード／ライト可

注意1. **タイマ・アレイ・ユニットの設定をする際には，必ず最初に**TAU0EN = 1**の設定を行ってください。**
TAU0EN = 0**の場合は，タイマ・アレイ・ユニットの制御レジスタへの書き込みは無視されます。**

2. **未定義のビットには，必ず“**0**”を設定してください。**

(2) タイマ・クロック選択レジスタ0（TPS0）

TPS0レジスタは，外部プリスケーラから各チャネルに共通して供給される2種類の動作クロック（CK00, CK01）を選択する16ビット・レジスタです。TPS0レジスタのビット7-4でCK01を，ビット3-0でCK00を選択します。

また，チャネル1,を8ビット・タイマ・モード（タイマ・モード・レジスタ01（TMR01）のSPLITビットが1）で使用する場合は，さらに2種類の動作クロック（CK02, CK03）を選択することが可能です。TPS0レジスタのビット9, 8でCK02を，ビット13, 12でCK03を選択します。

タイマ動作中のTPS0レジスタの書き換えは，次の場合のみ可能です。

PRS000-PRS003ビットが書き換え可能な場合（n = 0-7）：

動作クロックにCK00を選択（CKS0n1, CKS0n0 = 0, 0）しているチャネルがすべて停止状態（TE0n = 0）

PRS010-PRS013ビットが書き換え可能な場合（n = 0-7）：

動作クロックにCK01を選択（CKS0n1, CKS0n0 = 0, 1）しているチャネルがすべて停止状態（TE0n = 0）

PRS020, PRS021ビットが書き換え可能な場合（n = 1, 3）：

動作クロックにCK02を選択（CKS0n1, CKS0n0 = 1, 0）しているチャネルがすべて停止状態（TE0n = 0）

PRS030-PRS031ビットが書き換え可能な場合（n = 1, 3）：

動作クロックにCK03を選択（CKS0n1, CKS0n0 = 1, 1）しているチャネルがすべて停止状態（TE0n = 0）

TPS0レジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により，TPS0レジスタは0000Hになります。

図6－8 タイマ・クロック選択レジスタ0（TPS0）のフォーマット（1/2）

アドレス：F01B6H, F01B7H **リセット時：**0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPS0	0	0	PRS 031	PRS 030	0	0	PRS 021	PRS 020	PRS 013	PRS 012	PRS 011	PRS 010	PRS 003	PRS 002	PRS 001	PRS 000

PRS 0k3	PRS 0k2	PRS 0k1	PRS 0k0	動作クロック（CK0k）の選択[注]（k = 0, 1）				
					f_{CLK} =2 MHz	f_{CLK} =5 MHz	f_{CLK} =10 MHz	f_{CLK} =20 MHz
0	0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz
0	0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	$f_{CLK}/2^4$	125 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	$f_{CLK}/2^5$	62.5 kHz	156.2 kHz	312.5 kHz	625 kHz
0	1	1	0	$f_{CLK}/2^6$	31.25 kHz	78.1 kHz	156.2 kHz	312.5 kHz
0	1	1	1	$f_{CLK}/2^7$	15.62 kHz	39.1 kHz	78.1 kHz	156.2 kHz
1	0	0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz
1	0	0	1	$f_{CLK}/2^9$	3.91 kHz	9.76 kHz	19.5 kHz	39.1 kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz
1	0	1	1	$f_{CLK}/2^{11}$	976 Hz	2.44 kHz	4.88 kHz	9.76 kHz
1	1	0	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz
1	1	0	1	$f_{CLK}/2^{13}$	244 Hz	610 Hz	1.22 kHz	2.44 kHz
1	1	1	0	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz
1	1	1	1	$f_{CLK}/2^{15}$	61 Hz	153 Hz	305 Hz	610 Hz

注 f_{CLK}**に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（**TT0 = 00FFH**）させてください。**
カウント・クロック（f_{TCLK}**）に**CKS0n0, CKS0n1**ビットで指定した動作クロック（**f_{MCK}**），**TI0n**端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。**

注意 ビット15, 14, 11, 10**には，必ず**0**を設定してください。**

備考 f_{CLK}**：CPU／周辺ハードウエア・クロック周波数**

図6－ タイマ・クロック選択レジスタ0（TPS0）のフォーマット（2/2）

アドレス：F01B6H, F01B7H **リセット時：**0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPS0	0	0	PRS 031	PRS 030	0	0	PRS 021	PRS 020	PRS 013	PRS 012	PRS 011	PRS 010	PRS 003	PRS 002	PRS 001	PRS 000

PRS 021	PRS 020	動作クロック（CK02）の選択[注]				
			f_{CLK} =2 MHz	f_{CLK} =5 MHz	f_{CLK} =10 MHz	f_{CLK} =20 MHz
0	0	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz
0	1	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz
1	0	$f_{CLK}/2^4$	125 kHz	312.5 kHz	625 kHz	1.25 MHz
1	1	$f_{CLK}/2^6$	31.25 kHz	78.1 kHz	156.2 kHz	312.5 kHz

PRS 031	PRS 030	動作クロック（CK03）の選択[注]				
			f_{CLK} =2 MHz	f_{CLK} =5 MHz	f_{CLK} =10 MHz	f_{CLK} =20 MHz
0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz
0	1	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz
1	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz
1	1	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz

注 f_{CLK}**に選択しているクロックを変更（システム・クロック制御レジスタ（**CKC**）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（**TT0 = 00FFH**）させてください。**
カウント・クロック（f_{TCLK}**）に**CKS0n0, CKS0n1**ビットで指定した動作クロック（**f_{MCK}**），**TI0n**端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。**

注意 ビット15, 14, 11, 10**には，必ず**0**を設定してください。**

備考 f_{CLK}**：CPU／周辺ハードウエア・クロック周波数**

チャネル1, 3**を8ビット・タイマ・モードで使用し，**CK02, CK03**を動作クロックとすることにより，インターバル・タイマ機能で，表6－4に示すインターバル時間を実現することが可能です。**

表6－4 動作クロックCKS02, CKS03**で設定可能なインターバル時間**

クロック		インターバル時間（f_{CLK} = 20 MHz）			
		16 μs	160 μs	1.6 ms	16 ms
CK02	$f_{CLK}/2$	○	－	－	－
	$f_{CLK}/2^2$	○	－	－	－
	$f_{CLK}/2^4$	○	○	－	－
	$f_{CLK}/2^6$	○	○	－	－
CK03	$f_{CLK}/2^8$	－	○	○	－
	$f_{CLK}/2^{10}$	－	○	○	－
	$f_{CLK}/2^{12}$	－	－	○	○
	$f_{CLK}/2^{14}$	－	－	○	○

(3) タイマ・モード・レジスタ0n (TMR0n)

TMR0nレジスタは，チャネルnの動作モード設定レジスタです。動作クロック（f_{MCK}）の選択，カウント・クロックの選択，マスタ／スレーブの選択，16ビット／8ビット・タイマの選択（チャネル1, 3のみ），スタート・トリガとキャプチャ・トリガの設定，タイマ入力の有効エッジ選択，動作モード（インターバル，キャプチャ，イベント・カウンタ，ワンカウント，キャプチャ＆ワンカウント）設定を行います。

TMR0nレジスタは，動作中（TE0n = 1のとき）の書き換えは禁止です。ただし，ビット7, 6（CIS0n1, CIS0n0）は，一部の機能で動作中（TE0n = 1のとき）の書き換えが可能です。

TMR0nレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，TMR0nレジスタは0000Hになります。

図6－9 タイマ・モード・レジスタ0n（TMR0n）のフォーマット（1/4）

アドレス：F0190H, F0191H（TMR00）, F0194H, F0195H（TMR02） リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n=0,2,4-7)	CKS 0n1	CKS 0n0	0	CCS 0n	MAS TER0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

アドレス：F0192H, F0193H（TMR01）, F0196H, F0197H（TMR03） リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n = 1, 3)	CKS 0n1	CKS 0n0	0	CCS 0n	SPLIT 0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

CKS 0n1	CKS 0n0	チャネルnの動作クロック（f_{MCK}）の選択
0	0	タイマ・クロック選択レジスタ0（TPS0）で設定した動作クロックCK00
0	1	タイマ・クロック選択レジスタ0（TPS0）で設定した動作クロックCK01
1	0	タイマ・クロック選択レジスタ0（TPS0）で設定した動作クロックCK02
1	1	タイマ・クロック選択レジスタ0（TPS0）で設定した動作クロックCK03
動作クロック（f_{MCK}）は，エッジ検出回路に使用されます。また，CCS0nビットの設定によりサンプリング・クロックおよびカウント・クロック（f_{TCLK}）を生成します。 動作クロックCK02, CK03は，チャネル1のみ選択可能です。		

CCS 0n	チャネルnのカウント・クロック（f_{TCLK}）の選択
0	CKS0n0, CKS0n1ビットで指定した動作クロック（f_{MCK}）
1	TI0n端子からの入力信号の有効エッジ
カウント・クロック（f_{TCLK}）は，タイマ・カウンタ，出力制御回路，割り込み制御回路に使用されます。	

注意1. ビット13, 5, 4には，必ず0を設定してください。

2. カウント・クロック（f_{TCLK}）にCKS0n0, CKS0n1ビットで指定した動作クロック（f_{MCK}），TI0n端子からの入力信号の有効エッジのどれを選択していても，f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TT0＝00FFH）させてください。

★ **備考** n：チャネル番号（n = 0-7）

図6－9 タイマ・モード・レジスタ0n（TMR0n）のフォーマット（2/4）

アドレス：F0190H, F0191H（TMR00）, F0194H, F0195H（TMR02） **リセット時：**0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n（n=0,2,4-7）	CKS 0n1	CKS 0n0	0	CCS 0n	MAS TER0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

アドレス：F0192H, F0193H（TMR01）, F0196H, F0197H（TMR03） **リセット時：**0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n（n = 1, 3）	CKS 0n1	CKS 0n0	0	CCS 0n	SPLIT 0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

（TMR0n（n = 0, 2, 4-7）のビット11）

MASTER 0n	チャネルnの単独チャネル動作／複数チャネル連動動作（スレーブ／マスタ）の選択
0	単独チャネル動作機能，または複数チャネル連動動作機能でスレーブ・チャネルとして動作
1	複数チャネル連動動作機能でマスタ・チャネルとして動作
偶数チャネルのみマスタ・チャネル（MASTER0n = 1）に設定できます。 奇数チャネルは必ずスレーブ・チャネル（MASTER0n = 0）として使用してください。 また，単独チャネル動作機能として使用するチャネルは，MASTER0n = 0 にします。	

（TMR0n（n = 1, 3）のビット11）

SPLIT0n	チャネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 （単独チャネル動作機能，または複数チャネル連動動作機能でスレーブ・チャネルとして動作）
1	8ビット・タイマとして動作

STS 0n2	STS 0n1	STS 0n0	チャネルnのスタート・トリガ，キャプチャ・トリガの設定
0	0	0	ソフトウエア・トリガ・スタートのみ有効（他のトリガ要因を非選択にする）
0	0	1	TI0n端子入力の有効エッジを，スタート・トリガ，キャプチャ・トリガの両方に使用
0	1	0	TI0n端子入力の両エッジを，スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャネルの割り込み信号を使用（複数チャネル連動動作機能のスレーブ・チャネル時）
上記以外			設定禁止

★ **備考** n：チャネル番号（n = 0-7）

図6－9 タイマ・モード・レジスタ0n（TMR0n）のフォーマット（3/4）

アドレス：F0190H, F0191H（TMR00）, F0194H, F0195H（TMR02） **リセット時：**0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n=0,2,4-7)	CKS 0n1	CKS 0n0	0	CCS 0n	MAS TER0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

アドレス：F0192H, F0193H（TMR01）, F0196H, F0197H（TMR03） **リセット時：**0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n = 1, 3)	CKS 0n1	CKS 0n0	0	CCS 0n	SPLIT 0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

CIS 0n1	CIS 0n0	TI0n端子の有効エッジ選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ（ロウ・レベル幅測定時） スタート・トリガ：立ち下がりエッジ，キャプチャ・トリガ：立ち上がりエッジ
1	1	両エッジ（ハイ・レベル幅測定時） スタート・トリガ：立ち上がりエッジ，キャプチャ・トリガ：立ち下がりエッジ
STS0n2-STS0n0ビット = 010B時以外で両エッジ指定を使用する場合は，CIS0n1-CIS0n0ビット = 10Bに設定してください。		

★ **備考** n：チャネル番号（n = 0-7）

図6－9 タイマ・モード・レジスタ0n（TMR0n）のフォーマット（4/4）

アドレス：F0190H, F0191H（TMR00）, F0194H, F0195H（TMR02） **リセット時：**0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n=0,2,4-7)	CKS 0n1	CKS 0n0	0	CCS 0n	MAS TER0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

アドレス：F0192H, F0193H（TMR01）, F0196H, F0197H（TMR03） **リセット時：**0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n = 1, 3)	CKS 0n1	CKS 0n0	0	CCS 0n	SPLIT 0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

MD 0n3	MD 0n2	MD 0n1	MD 0n0	チャネルnの動作モードの設定	TCRのカウント動作	単体動作
0	0	0	1/0	インターバル・タイマ・モード	ダウン・カウント	可
0	1	0	1/0	キャプチャ・モード	アップ・カウント	可
0	1	1	0	イベント・カウンタ・モード	ダウン・カウント	可
1	0	0	1/0	ワンカウント・モード	ダウン・カウント	不可
1	1	0	0	キャプチャ＆ワンカウント・モード	アップ・カウント	可
上記以外				設定禁止		
MD0n0ビットの動作は，各動作モードによって変わります（下表を参照）。						

動作モード（MD0n3-MD0n1で設定（上表参照））	MD 0n0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0)	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
・キャプチャ・モード (0, 1, 0)	1	カウント開始時にタイマ割り込みを発生する（タイマ出力も変化させる）。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
・ワンカウント・モード注1 (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。その際に割り込みも発生しない。
	1	カウント動作中のスタート・トリガを有効とする注2。その際に割り込みも発生する。
・キャプチャ＆ワンカウント・モード (1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。カウント動作中のスタート・トリガは無効とする。その際に割り込みも発生しない。
上記以外		設定禁止

注1. **ワンカウント・モードでは，カウント動作開始時の割り込み出力（INTTM0n），TO0n出力は制御しません。**

2. **動作中にスタート・トリガ（TS0n = 1）が掛かると，カウンタをクリアし，割り込みを発生して再カウント・スタートします。**

★ **備考** n：チャネル番号（n = 0-7）

(4) タイマ・ステータス・レジスタ0n（TSR0n）

TSR0nレジスタは，チャネルnのカウンタのオーバフロー状況を表示するレジスタです。

TSR0nレジスタは，キャプチャ・モード（MD0n3-MD0n1 = 010B）とキャプチャ＆ワンカウント・モード（MD0n3-MD0n1 = 110B）のみ有効です。それ以外のモードでセットされることはありません。各動作モードでのOVFビットの動作とセット／クリア条件は表6－5を参照してください。

TSR0nレジスタは，16ビット・メモリ操作命令で読み出します。

またTSR0nレジスタの下位8ビットは，TSR0nLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，TSR0nレジスタは0000Hになります。

図6－10　タイマ・ステータス・レジスタ0n（TSR0n）のフォーマット

アドレス：F01A0H, F01A1H（TSR00）- F01A6H, F01A7H（TSR03）　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSR0n	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャネルnのカウンタのオーバフロー状況
0	オーバフローなし
1	オーバフロー発生
OVF = 1のとき，次にオーバフローなしでキャプチャしたときにクリア（OVF = 0）されます。	

備考　n：チャネル番号（n = 0-7）

表6－5　各動作モードにおけるOVFビットの動作とセット／クリア条件

タイマの動作モード	OVFビット	セット／クリア条件
・キャプチャ・モード ・キャプチャ＆ワンカウント・モード	クリア	キャプチャ時にオーバフローが発生していない場合
	セット	キャプチャ時にオーバフローが発生していた場合
・インターバル・タイマ・モード ・イベント・カウンタ・モード ・ワンカウント・モード	クリア	－ （使用不可，セット／クリアされない）
	セット	

備考　OVFビットは，カウンタがオーバフローしてもすぐには変化せず，その後のキャプチャ時に変化します。

(5) タイマ・チャネル許可ステータス・レジスタ0（TE0）

TE0レジスタは，各チャネルのタイマ動作許可／停止状態を表示するレジスタです。

タイマ・チャネル開始レジスタ0（TS0）の各ビットが1にセットされると，その対応ビットが1にセットされます。タイマ・チャネル停止レジスタ0（TT0）の各ビットが1にセットされると，その対応ビットが0にクリアされます。

TE0レジスタは，16ビット・メモリ操作命令で読み出します。

またTE0レジスタの下位8ビットは，TE0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，TE0レジスタは0000Hになります。

図6－11　タイマ・チャネル許可ステータス・レジスタ0（TE0）のフォーマット

アドレス：F01B0H, F01B1H　**リセット時：**0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TE0	0	0	0	0	TEH03	0	TEH01	0	0	0	0	0	TE03	TE02	TE01	TE00

TEH03	チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEH01	チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TE0n	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
チャネル1が8ビット・タイマ・モード時は，TE01で下位側8ビット・タイマの動作許可／停止状態を表示します。	

★ **備考**　n：チャネル番号（n = 0-7）

(6) タイマ・チャネル開始レジスタ0（TS0）

TS0レジスタは，タイマ・カウンタ・レジスタ0n（TCR0n）をクリアし，カウント動作の開始をチャネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると，タイマ・チャネル許可ステータス・レジスタ0（TE0）の対応ビットが1にセットされます。TS0n, TSH01, TSH03ビットはトリガ・ビットなので，動作許可状態（TE0n, TEH01, TEH03 = 1）になるとすぐTS0n, TSH01, TSH03ビットはクリアされます。

TS0レジスタは，16ビット・メモリ操作命令で設定します。

またTS0レジスタの下位8ビットは，TS0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TS0レジスタは0000Hになります。

図6－12 タイマ・チャネル開始レジスタ0（TS0）のフォーマット

アドレス：F01B2H, F01B3H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TS0	0	0	0	0	TSH03	0	TSH01	0	0	0	0	0	TS03	TS02	TS01	TS00

TSH03	チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEH03ビットを1にセットし，カウント動作許可状態になる。 カウント動作許可状態におけるTCR03レジスタのカウント動作開始は，インターバル・タイマ・モードになります（表6－6参照）。

TSH01	チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEH01ビットを1にセットし，カウント動作許可状態になる。 カウント動作許可状態におけるTCR01レジスタのカウント動作開始は，インターバル・タイマ・モードになります（表6－6参照）。

TS0n	チャネルnの動作許可（スタート）トリガ
0	トリガ動作しない
1	TE0nビットを1にセットし，カウント動作許可状態になる。 カウント動作許可状態におけるTCR0nレジスタのカウント動作開始は，各動作モードにより異なります（表6－6参照）。 チャネル1, 3が8ビット・タイマ・モード時は，TS01, TS03が下位側8ビット・タイマの動作許可（スタート）トリガになります。

（注意，備考は次ページにあります。）

注意1. **ビット**15-12, 10, 8**には必ず**0**を設定してください。**

2. TI0n**端子入力を使用しない機能から，**TI0n**端子入力を使用する機能に切り替える場合，タイマ・モード・レジスタ**0n（TMR0n）**設定後，**TS0n（TSH01, TSH03）**ビットを**1**に設定するまでに，次の期間ウエイトが必要になります。**

TI0n**端子のノイズ・フィルタ有効時（**TNFEN = 1**）：動作クロック（**f_{MCK}**）の**4**クロック**

TI0n**端子のノイズ・フィルタ無効時（**TNFEN = 0**）：動作クロック（**f_{MCK}**）の**2**クロック**

備考1. TS0**レジスタの読み出し値は常に**0**となります。**

★ 2. n**：チャネル番号（**n = 0-7**）**

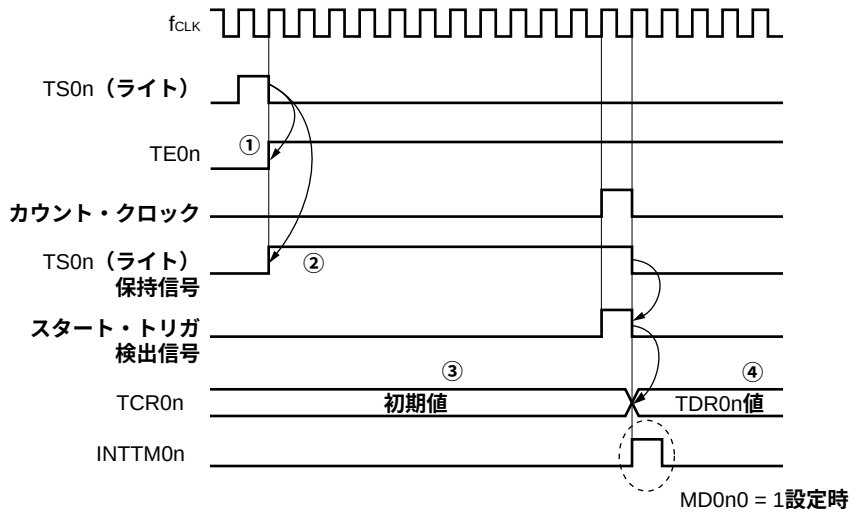
表6－6 **カウント動作許可状態からタイマ・カウンタ・レジスタ**0n（TCR0n）**のカウント・スタートまでの動作**

タイマの動作モード	TS0n = 1にセットしたときの動作
・インターバル・タイマ・モード	スタート・トリガ検出（TS0n = 1）後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDR0nレジスタの値をTCR0nレジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います（6. 3（6）（a）**インターバル・タイマ・モード時のスタート・タイミング**参照）。
・イベント・カウンタ・モード	TS0nビットに1を書き込むことにより，TDR0nレジスタの値をTCR0nレジスタにロードします。 以降のカウント・クロックでダウン・カウント動作を行います。 TMR0nレジスタのSTS0n2-STS0n0ビットで選択した外部トリガ検出では，カウント動作を開始しません（6. 3（6）（b）**イベント・カウンタ・モード時のスタート・タイミング**参照）。
・キャプチャ・モード	スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCR0nレジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います（6. 3（6）（c）**キャプチャ・モード時のスタート・タイミング**参照）。
・ワンカウント・モード	タイマ動作停止（TE0n = 0）の状態で，TS0nビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDR0nレジスタの値をTCR0nレジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います（6. 3（6）（d）**ワンカウント・モード時のスタート・タイミング**参照）。
・キャプチャ＆ワンカウント・モード	タイマ動作停止（TE0n = 0）の状態で，TS0nビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCR0nレジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います（6. 3（6）（e）**キャプチャ＆ワンカウント・モード時のスタート・タイミング**参照）。

(a) インターバル・タイマ・モード時のスタート・タイミング

① TS0nビットへ1を書き込むことにより，動作許可状態（TE0n = 1）となります。
② TS0nビットへの書き込み情報はカウント・クロック発生まで保持されます。
③ タイマ・カウンタ・レジスタ0n（TCR0n）は，カウント・クロック発生まで初期値を保持しています。
④ カウント・クロック発生により，タイマ・データ・レジスタ0n（TDR0n）の値をTCR0nレジスタにロードし，カウントを開始します。

図6－13　スタート・タイミング（インターバル・タイマ・モード時）



注意　カウント・クロックの1周期目の動作はTS0nビット書き込み後，カウント・クロックが発生するまでカウント開始が遅れるため，1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MD0n0 = 1に設定することで，カウント開始時に割り込みを発生させることができます。

(b) イベント・カウンタ・モード時のスタート・タイミング

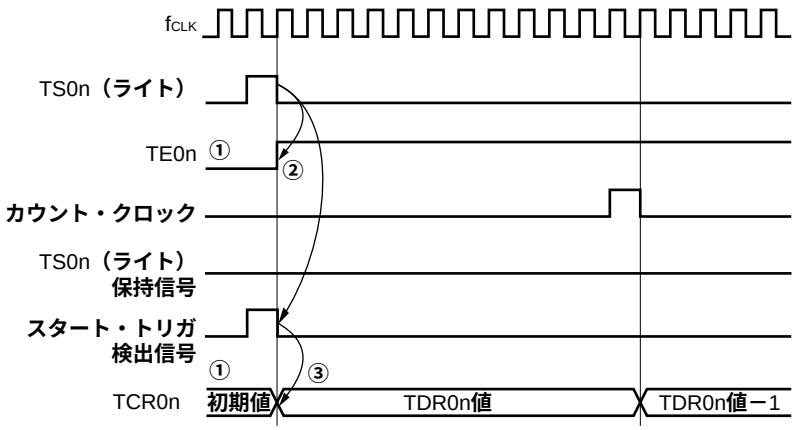
① 動作停止状態（TE0n = 0）の期間，タイマ・カウンタ・レジスタ0n（TCR0n）は，初期値を保持します。

② TS0nビットへ1を書き込むことにより，動作許可状態（TE0n = 1）となります。

③ TS0n = 1→TE0n = 1と同時に， TCR0nレジスタにタイマ・データ・レジスタ0n（TDR0n）の値をロードし，カウントを開始します。

④ 以降はカウント・クロックに従い， TCR0nレジスタの値をダウン・カウントします。

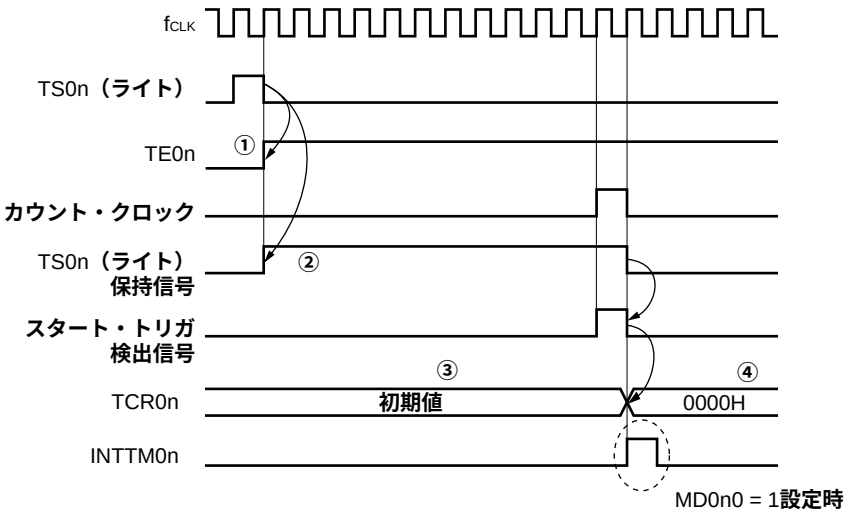
図6－14　スタート・タイミング（イベント・カウンタ・モード時）



(c) キャプチャ・モード時のスタート・タイミング

① TS0nビットへ1を書き込むことにより，動作許可状態（TE0n = 1）となります。
② TS0nビットへの書き込み情報はカウント・クロック発生まで保持されます。
③ タイマ・カウンタ・レジスタ0n（TCR0n）は，カウント・クロック発生まで初期値を保持しています。
④ カウント・クロック発生により，0000HをTCR0nレジスタにロードし，カウントを開始します。

図6－15　スタート・タイミング（キャプチャ・モード時）

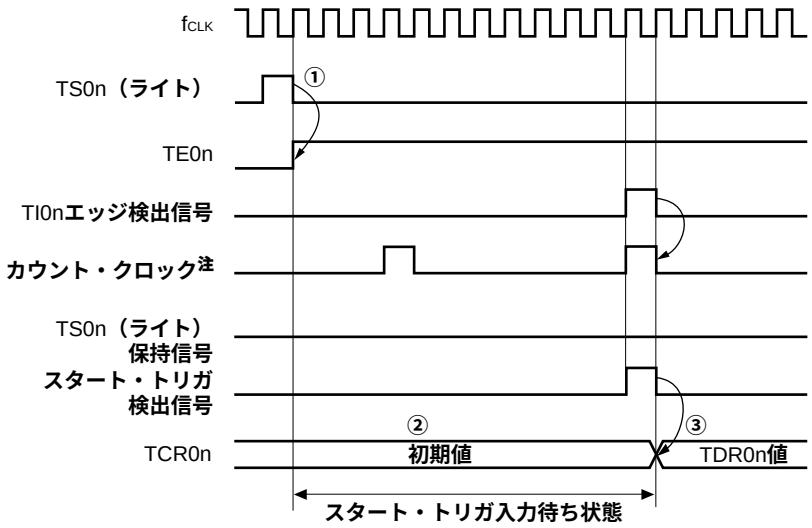


注意　カウント・クロックの1周期目の動作はTS0nビット書き込み後，カウント・クロックが発生するまでカウント開始が遅れるため，1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MD0n0 = 1に設定することで，カウント開始時に割り込みを発生させることができます。

(d) ワンカウント・モード時のスタート・タイミング

① TS0nビットへ1を書き込むことにより，動作許可状態（TE0n = 1）となります。
② スタート・トリガ入力待ち状態となり，タイマ・カウンタ・レジスタ0n（TCR0n）は初期値を保持します。
③ スタート・トリガ検出により，タイマ・データ・レジスタ0n（TDR0n）の値をTCR0nレジスタにロードしカウントを開始します。

図6－16　スタート・タイミング（ワンカウント・モード時）



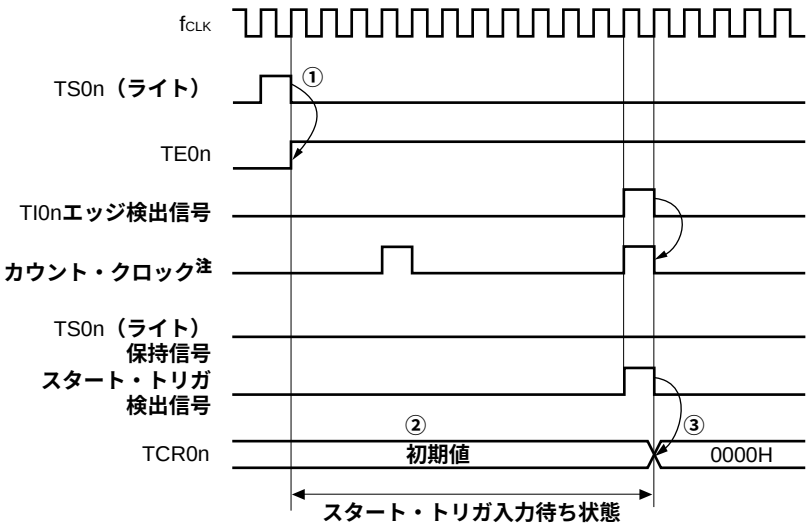
注　ワンカウント・モード設定時は，カウント・クロックとして動作クロック（f_{MCK}）が選択されます（CCS0n = 0）。

注意　スタート・トリガ検出により動作を開始するため，入力信号のサンプリング誤差が発生します（TI0n端子入力をスタート・トリガに使用する場合，カウント・クロック1クロック分の誤差となります）。

(e) キャプチャ&ワンカウント・モード時のスタート・タイミング

① タイマ・チャネル開始レジスタ0n（TS0n）へ1を書き込むことにより，動作許可状態（TE0n = 1）となります。
② スタート・トリガ入力待ち状態となり，タイマ・カウンタ・レジスタ0n（TCR0n）は初期値を保持します。
③ スタート・トリガ検出により，0000HをTCR0nレジスタにロードしカウントを開始します。

図6－17　スタート・タイミング（キャプチャ&ワンカウント・モード時）



注　キャプチャ&ワンカウント・モード設定時は，カウント・クロックとして動作クロック（f_{MCK}）が選択されます（CCS0n = 0）。

注意　スタート・トリガ検出により動作を開始するため，入力信号のサンプリング誤差が発生します（TI0n端子入力をスタート・トリガに使用する場合，カウント・クロック1クロック分の誤差となります）。

（7）タイマ・チャネル停止レジスタ0（TT0）

TT0レジスタは，カウント動作の停止をチャネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると，タイマ・チャネル許可ステータス・レジスタ0（TE0）の対応ビットが0にクリアされます。TT0n, TTH01, TTH03ビットはトリガ・ビットなので，動作停止状態（TE0n, TTH01, TTH03 = 0）になるとすぐTT0n, TTH01, TTH03ビットはクリアされます。

TT0レジスタは，16ビット・メモリ操作命令で設定します。

またTT0レジスタの下位8ビットは，TT0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TT0レジスタは0000Hになります。

図6－18 タイマ・チャネル停止レジスタ0（TT0）のフォーマット

アドレス：F01B4H, F01B5H **リセット時：**0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TT0	0	0	0	0	TTH03	0	TTH01	0	TT07	TT06	TT05	TT04	TT03	TT02	TT01	TT00

TTH03	チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	動作停止（停止トリガ発生）

TTH01	チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	動作停止（停止トリガ発生）

TT0n	チャネルnの動作停止トリガ
0	トリガ動作しない
1	動作停止（停止トリガ発生） チャネル1, 3が8ビット・タイマ・モード時は，TT01, TT03が下位側8ビット・タイマの動作停止トリガになります。

注意 ビット15-12, 10, 8には必ず0を設定してください。

備考1. TT0レジスタの読み出し値は常に0となります。

2. n：チャネル番号（n = 0-7）

(8) タイマ入力選択レジスタ0（TIS0）

TIS0レジスタは，20, 24ピン製品のチャネル1のタイマ入力を選択するレジスタです。

TIS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により，TIS0レジスタは00Hになります。

図6ー19　タイマ入力選択レジスタ0（TIS0）のフォーマット

アドレス：F0074H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	0	TIS01	TIS00

TIS01	TIS00	チャネル1で使用するタイマ入力の選択
X	0	タイマ入力端子（TI01）の入力信号
★ 0	1	LOCOクロック（f_{IL}）
上記以外		設定禁止

★ **備考**　n：チャネル番号（n = 0-7）

(9) タイマ出力許可レジスタ0（TOE0）

TOE0レジスタは，各チャネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャネルnは，後述のタイマ出力レジスタ0（TO0）のTO0nビットの値をソフトウエアによって書き換えできなくなり，カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子（TO0n）から出力されます。

TOE0レジスタは，16ビット・メモリ操作命令で設定します。

またTOE0レジスタの下位8ビットは，TOE0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOE0レジスタは0000Hになります。

図6－20　タイマ出力許可レジスタ0（TOE0）のフォーマット

アドレス：F01BAH, F01BBH　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOE0	0	0	0	0	0	0	0	0	0	0	0	0	TOE03	TOE02	TOE01	TOE00

TOE0n	チャネルnのタイマ出力許可／禁止
0	カウント動作によるTO0n（タイマ・チャネル出力ビット）の動作停止。 TO0nビットへの書き込みが可能。 TO0n端子がデータ出力機能となり，TO0nビットに設定したレベルがTO0n端子から出力される。 TO0n端子の出力レベルをソフトウエアで操作することができる。
1	カウント動作によるTO0n（タイマ・チャネル出力ビット）の動作許可。 TO0nビットへの書き込み不可（書き込みが無視される）。 TO0n端子がタイマ出力機能となり，タイマの動作によりセット／リセットされる。 TO0n端子からタイマ動作に合わせた方形波出力やPWM出力ができる。

注意　ビット15-4には必ず0を設定してください。

★ **備考**　n：チャネル番号（n = 0-7）

（10）タイマ出力レジスタ0（TO0）

TO0レジスタは，各チャネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が，各チャネルのタイマ出力端子（TO0n）から出力されます。

このレジスタのTO0nビットのソフトウエアによる書き換えは，タイマ出力禁止時（TOE0n = 0）のみ可能です。タイマ出力許可時（TOE0n = 1）は，ソフトウエアによる書き換えは無視され，タイマ動作によってのみ値が変更されます。

また，TO0n兼用端子をポート機能として使用する場合は，該当するTO0nビットに“0”を設定してください。

TO0レジスタは，16ビット・メモリ操作命令で設定します。

またTO0レジスタの下位8ビットは，TO0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TO0レジスタは0000Hになります。

図6－21　タイマ出力レジスタ0（TO0）のフォーマット

アドレス：F01B8H, F01B9H　**リセット時：**0000H　R/W

20, 24**ピン製品**

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TO0	0	0	0	0	0	0	0	0	0	0	0	0	TO03	TO02	TO01	TO00

★ 30**ピン製品**

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TO0	0	0	0	0	0	0	0	0	TO07	TO06	TO05	TO04	TO03	TO02	TO01	TO00

TO0n	**チャネルnのタイマ出力**
0	**タイマ出力値が“0”**
1	**タイマ出力値が“1”**

注意　未定義ビットには必ず0を設定してください。

★ **備考**　n：チャネル番号（n = 0-7）

(11) タイマ出力レベル・レジスタ0 (TOL0)

TOL0レジスタは，各チャネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャネルnの反転設定は，タイマ出力許可（TOE0n = 1），複数チャネル連動動作機能（TOM0n = 1）時にタイマ出力信号がセット，リセットされるタイミングで反映されます。マスタ・チャネル出力モード（TOM0n = 0）時には，このレジスタの設定は無効となります。

TOL0レジスタは，16ビット・メモリ操作命令で設定します。

またTOL0レジスタの下位8ビットは，TOL0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOL0レジスタは0000Hになります。

図6－22　タイマ出力レベル・レジスタ0（TOL0）のフォーマット

アドレス：F01BCH, F01BDH　**リセット時：**0000H　R/W

20, 24ピン製品

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOL0	0	0	0	0	0	0	0	0	0	0	0	0	TOL03	TOL02	TOL01	0

★ 30ピン製品

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOL0	0	0	0	0	0	0	0	0	TOL07	TOL06	TOL05	TOL04	TOL03	TOL02	TOL01	0

TOL0n	チャネルnのタイマ出力レベルの制御
0	正論理出力（アクティブ・ハイ）
1	反転出力（アクティブ・ロウ）

注意　ビット15-4, 0には必ず0を設定してください。

備考1.　タイマ動作中にこのレジスタの値を書き換えた場合，書き換えた直後のタイミングではなく，次にタイマ出力信号が変化するタイミングで，タイマ出力が反転出力になります。

★ 2.　n：チャネル番号（n = 1-7）

(12) タイマ出力モード・レジスタ0 (TOM0)

TOM0レジスタは，各チャネルのタイマ出力モードを制御するレジスタです。

単独チャネル動作機能として使用する場合，使用するチャネルの対応ビットを0に設定します。

複数チャネル連動動作機能（PWM出力，ワンショット・パルス出力，多重PWM出力）として使用する場合，マスタ・チャネルの対応ビットを0に設定し，スレーブ・チャネルの対応ビットを1に設定します。

このレジスタによる各チャネルnの設定は，タイマ出力許可 (TOE0n = 1) 時にタイマ出力信号がセット，リセットされるタイミングで反映されます。

TOM0レジスタは，16ビット・メモリ操作命令で設定します。

またTOM0レジスタの下位8ビットは，TOM0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOM0レジスタは0000Hになります。

図6－23　タイマ出力モード・レジスタ0 (TOM0) のフォーマット

アドレス：F01BEH, F01BFH　**リセット時：**0000H　R/W

20, 24ピン製品

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOM0	0	0	0	0	0	0	0	0	0	0	0	0	TOM03	TOM02	TOM01	0

★ 30ピン製品

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOM0	0	0	0	0	0	0	0	0	TOM07	TOM06	TOM05	TOM04	TOM03	TOM02	TOM01	0

TOM0n	チャネルnのタイマ出力モードの制御
0	マスタ・チャネル出力モード（タイマ割り込み要求信号（INTTM0n）によりトグル出力を行う）
1	スレーブ・チャネル出力モード （マスタ・チャネルのタイマ割り込み要求信号（INTTM0n）で出力がセット，スレーブ・チャネルのタイマ割り込み要求信号（INTTM0p）で出力がリセットされる）

注意　ビット15-4, 0には必ず0を設定してください。

備考　n：チャネル番号

★　n = 1-7（マスタ・チャネル時：n = 0, 2, 4, 6）

p：スレーブ・チャネル番号

★　n＜p≦7

（マスタ・チャネル，スレーブ・チャネルの関係についての詳細は，6. 4　**複数チャネル連動動作機能の基本ルール**を参照してください）

★ **（13）入力切り替え制御レジスタ（ISC）**

ISCレジスタのISC1, ISC0ビットは，30ピン製品のチャネル7をシリアル・アレイ・ユニットと連携してLIN-bus通信動作を実現するときに使用します。ISC1ビットに1を設定すると，シリアル・データ入力端子（RxD2）の入力信号がタイマ入力として選択されます。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，ISCレジスタは00Hになります。

図6－24　入力切り替え制御レジスタ（ISC）のフォーマット

アドレス：F0073H　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットのチャネル7の入力切り替え
0	チャネル7でタイマ入力信号を使用しない
1	RxD2端子の入力信号をタイマ入力とする（ウエイクアップ信号検出とシンク・ブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定）

ISC0	外部割り込み（INTP0）の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする（通常動作）
1	RxD2端子の入力信号を外部割り込み入力とする（ウエイクアップ信号検出）

注意　ビット7-2に必ず0を設定してください。

備考　LIN-bus通信を使用する場合は，ISC1 = 1に設定してRxD2端子の入力信号を選択しておいてください。

(14) ノイズ・フィルタ許可レジスタ1（NFEN1）

NFEN1レジスタは，タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

ノイズ除去が必要な端子は，対応するビットに1を設定して，ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は，CPU／周辺ハードウエア・クロック（f_{MCK}）で2クロックの一致検出と同期化を行います。ノイズ・フィルタ無効時は，CPU／周辺ハードウエア・クロック（f_{MCK}）で同期化だけ行います。

NFEN1レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，NFEN1レジスタは00Hになります。

図6－25　ノイズ・フィルタ許可レジスタ1（NFEN1）のフォーマット

アドレス：F0071H　リセット時：00H　R/W

20, 24ピン製品

略号	7	6	5	4	3	2	1	0
NFEN1	0	0	0	0	TNFEN03	TNFEN02	TNFEN01	TNFEN00

★ 30ピン製品

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07注	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00

TNFEN0n	TI0n端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

★ **注**　TNFEN07ビットについては，入力切り替え制御レジスタ（ISC）のISC1ビットを設定することにより，適用の可否を切り替えることができます。

ISC1 = 0に設定：RxD2端子のノイズ・フィルタ使用可否選択が不可能

ISC1 = 1に設定：RxD2端子のノイズ・フィルタ使用可否選択が可能

★　（15）**ポート・モード・レジスタ**0, 1, 3, 4（PM0, PM1, PM3, PM4）

ポート 0, 1, 3, 4**の入力／出力を**1**ビット単位で設定するレジスタです。**

タイマ出力端子を兼用するポート（TI00/TO00/P13**など）をタイマ出力として使用するとき， 各ポートに対応するポート・モード・レジスタ（**PMxx**）のビットおよびポート・レジスタ（**Pxx**）のビットに**0**を設定してください。**

例）P13/TO00/TI00**をタイマ出力として使用する場合**
ポート・モード・レジスタ1**の**PM00**ビットを**0**に設定**
ポート・レジスタ1**の**P00**ビットを**0**に設定**

タイマ入力端子を兼用するポート（TI00/TO00/P13**など）をタイマ入力として使用するとき，各ポートに対応するポート・モード・レジスタ（**PMxx**）のビットに**1**を設定してください。このときポート・レジスタ（**Pxx**）のビットは，**0**または**1**のどちらでもかまいません。**

例）P13/TO00/TI00**をタイマ入力として使用する場合**
ポート・モード・レジスタ1**の**PM00**ビットを**1**に設定**
ポート・レジスタ1**の**P00**ビットを**0**または**1**に設定**

PM0, PM1, PM3, PM4**レジスタは，**1**ビット・メモリ操作命令または**8**ビット・メモリ操作命令で設定します。**

リセット信号の発生により，FFH**になります。**

図6－26　**ポート・モード・レジスタ**1, 4（PM0, PM1, PM3, PM4）**のフォーマット**

20, 24**ピン製品**

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM1	1	1	1	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM4	1	1	1	1	1	PM42	PM41	PM40	FFF24H	FFH	R/W

★　30**ピン製品**

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	1	PM01	PM00	FFF20H	FFH	R/W
PM3	1	1	1	1	1	1	PM31	PM30	FFF23H	FFH	R/W

PMmn	P0n**端子の入出力モードの選択（**m = 0, 1, 3, 4 ; n = 0-4**）**
0	**出力モード（出力バッファ・オン）**
1	**入力モード（出力バッファ・オフ）**

6. 4　複数チャネル連動動作機能の基本ルール

複数チャネル連動動作機能は，マスタ・チャネル（主に周期をカウントする基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組合せて実現する機能で，使用にあたってはいくつかのルールがあります。

次に複数チャネル連動動作機能の基本的なルールを示します。

(1) マスタ・チャネルには，偶数チャネル（チャネル0，チャネル2）のみ設定できます。
(2) スレーブ・チャネルには，チャネル0を除くすべてのチャネルを設定できます。
(3) スレーブ・チャネルには，マスタ・チャネルの下位チャネルのみ設定できます。

例　チャネル2をマスタ・チャネルにした場合，チャネル3をスレーブ・チャネルに設定できます。

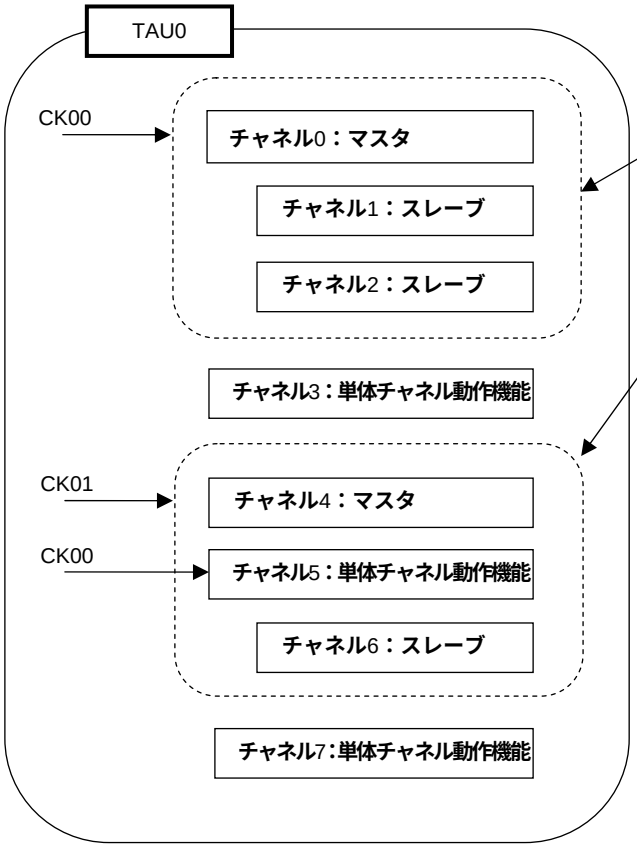
(4) 1つのマスタ・チャネルに対し，スレーブ・チャネルは複数設定できます。
(5) マスタ・チャネルと連動するスレーブ・チャネルは，同じ動作クロックを設定します。 マスタ・チャネルと連動するスレーブ・チャネルのCKS0n0, CKS0n1ビット（タイマ・モード・レジスタ0n（TMR0n）のビット15, 14）が同じ設定値になっている必要があります。
(6) マスタ・チャネルはINTTM0n（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックを下位チャネルに伝えることができます。
(7) スレーブ・チャネルはマスタ・チャネルのINTTM0n（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックをソース・クロックとして使用できますが，下位チャネルに自身のINTTM0n（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックを伝えることはできません。
(8) マスタ・チャネルは，他の上位のマスタ・チャネルからのINTTM0n（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックをソース・クロックとして使用することはできません。
(9) 連動させるチャネルを同時スタートさせるため，連動させるチャネルのチャネル・スタート・トリガ・ビット（TS0n）を同時に設定する必要があります。
(10) 連動させるチャネルを同時に停止させるため，連動させるチャネルのチャネル・ストップ・トリガ・ビット（TT0n）を同時に設定する必要があります。

複数チャネル連動動作機能の基本ルールは，チャネル・グループ（1つの複数チャネル連動動作機能を形成するマスタ・チャネルとスレーブ・チャネルの集合）内に適用されるルールです。

備考　n：チャネル番号（n = 0-7）

例

★



チャネル・グループ1（複数チャネル連動動作機能）

チャネル・グループ2（複数チャネル連動動作機能）

※チャネル・グループ1とチャネル・グループ2の動作クロックは異なってもよい。

※チャネル・グループ1とチャネル・グループ2の間に単体チャネル動作機能で動作するチャネルがあってもよい。

※チャネル・グループ2のマスタとスレーブの間に単体チャネル動作機能で動作するチャネルがあってもよい。また，動作クロックを個別に設定できる。

6.5 8ビット・タイマ動作機能概要（チャネル1, 3のみ）

8ビット・タイマ動作機能は，16ビット・タイマのチャネルを8ビット・タイマの2チャネル構成として使用する機能です。

8 ビットタイマ動作機能は，チャネル1, 3のみ使用できる機能で，使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

(1) 8ビット・タイマ動作機能が適用されるチャネルは，チャネル1, 3のみです。

(2) 8ビット・タイマとして使用する場合には，タイマ・モード・レジスタ0n（TMR0n）のSPLITビットを“1”に設定します。

(3) 上位8ビットは，インターバル・タイマ機能として動作することができます。

(4) 上位8ビットは，動作開始時にINTTM01H/INTTM03H（割り込み）を出力します（MD0n0 =1 設定と同じ動作）。

(5) 上位8ビットの動作クロック選択は，下位ビットのTMR0nレジスタのCKS0n1, CKS0n0ビットにしたがって動作します。

(6) 上位8ビットは，TSH1/TSH3ビットを操作することでチャネル動作を開始し，TTH1/TTH3 ビットを操作することでチャネル動作を停止します。チャネルのステータスは，TEH1/TEH3ビットで確認できます。

(7) 下位8ビットは，TMR0nレジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は，以下の3機能です。

- インターバル・タイマ機能
- 外部イベント・カウンタ機能
- ディレイ・カウント機能

(8) 下位8ビットは，TS1/TS3 ビットを操作することでチャネル動作を開始し，TT1/TT3ビットを操作することでチャネル動作を停止します。チャネルのステータスは，TE1/TE3ビットで確認できます。

(9) 16ビットで動作させる場合には，TSH1/TSH3/TTH1/TTH3ビットの操作は無効となります。TS1/TS3, TT1/TT3ビットを操作することでチャネル1, 3が動作します。TEH3ビットとTEH1ビットは変化しません。

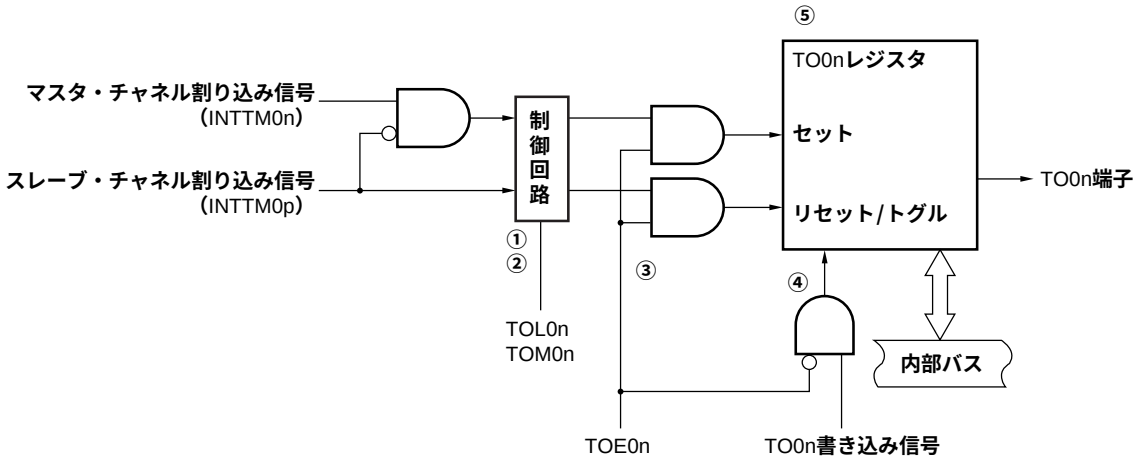
(10) 8ビット・タイマ機能で，連動動作機能（ワンショット・パルス，PWM，多重PWM）を使用することはできません。

備考 n：チャネル番号（n = 1, 3）

6. 6　チャネル出力（TO0n端子）の制御

6. 6. 1　TO0n端子の出力回路の構成

図6－27　出力回路構成図



TO0n端子の出力回路の説明を次に示します。

① TOM0n = 0（マスタ・チャネル出力モード）のときは，タイマ出力レベル・レジスタ0（TOL0）の設定値は無視され，INTTM0p（スレーブ・チャネル・タイマ割り込み）のみがタイマ出力レジスタ0（TO0）に伝えられます。

② TOM0n = 1（スレーブ・チャネル出力モード）のときは，INTTM0n（マスタ・チャネル・タイマ割り込み）とINTTM0p（スレーブ・チャネル・タイマ割り込み）がTO0レジスタに伝えられます。
このとき，TOL0レジスタが有効となり，次のように信号を制御します。

TOL0n = 0の場合　：正転動作（INTTM0n→セット，INTTM0p→リセット）
TOL0n = 1の場合　：反転動作（INTTM0n→リセット，INTTM0p→セット）

また，INTTM0nとINTTM0pが同時に発生した場合（PWM出力の0%出力時）は，INTTM0p（リセット信号）が優先され，INTTM0n（セット信号）はマスクされます。

③ タイマ出力許可状態（TOE0n = 1）で，INTTM0n（マスタ・チャネル・タイマ割り込み）とINTTM0p（スレーブ・チャネル・タイマ割り込み）がTO0レジスタに伝えられます。TO0レジスタへの書き込み（TO0nライト信号）は無効となります。
また，TOE0n = 1のとき，割り込み信号以外でTO0n端子の出力が変化することはありません。
TO0n端子の出力レベルを初期化する場合は，タイマ動作停止（TOE0n = 0）に設定しTO0レジスタに値を書き込む必要があります。

④ タイマ出力禁止状態（TOE0n = 0）で，対象チャネルのTO0nビットへの書き込み（TO0nライト信号）が有効となります。 タイマ出力禁止状態（TOE0n = 0）のとき，INTTM0n（マスタ・チャネル・タイマ割り込み）とINTTM0p（スレーブ・チャネル・タイマ割り込み）はTO0レジスタに伝えられません。

⑤ TO0レジスタは常に読み出し可能であり，TO0n端子の出力レベルを確認することができます。

（備考は次ページにあります。）

備考 n：チャネル番号

★ n = 0-**7（マスタ・チャネル時：**n = 0, 2, 4, 6）

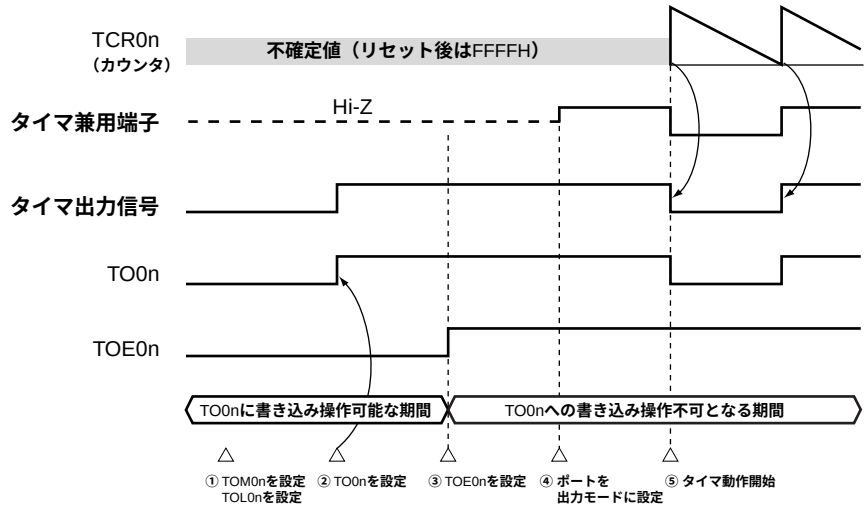
p：**スレーブ・チャネル番号**

★ n＜p≦7

6. 6. 2 TO0n**端子の出力設定**

TO0n**出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。**

図6－28 **タイマ出力設定から動作開始までの状態変化**



① タイマ出力の動作モードを設定します。

- TOM0n**ビット（**0：**マスタ・チャネル出力モード，**1：**スレーブ・チャネル出力モード）**
- TOL0n**ビット（**0：**正転出力，**1：**反転出力）**

②タイマ出力レジスタ0（TO0）**を設定することにより，タイマ出力信号が初期状態に設定されます。**

③ TOE0n**ビットに**1**を書き込み，タイマ出力動作を許可します（**TO0**レジスタへの書き込みは不可となります）。**

④ ポートの入出力設定を出力に設定します（6. 3（15）**ポート・モード・レジスタ**0, 1, 3, 4（PM0, PM1, PM3, PM4）**参照）。**

⑤ タイマを動作許可にします（TS0n = 1）**。**

★ **備考** n：チャネル番号（n = 0-7）

第7章　インターバル・タイマ

7. 1　インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み（INTIT）を発生します。

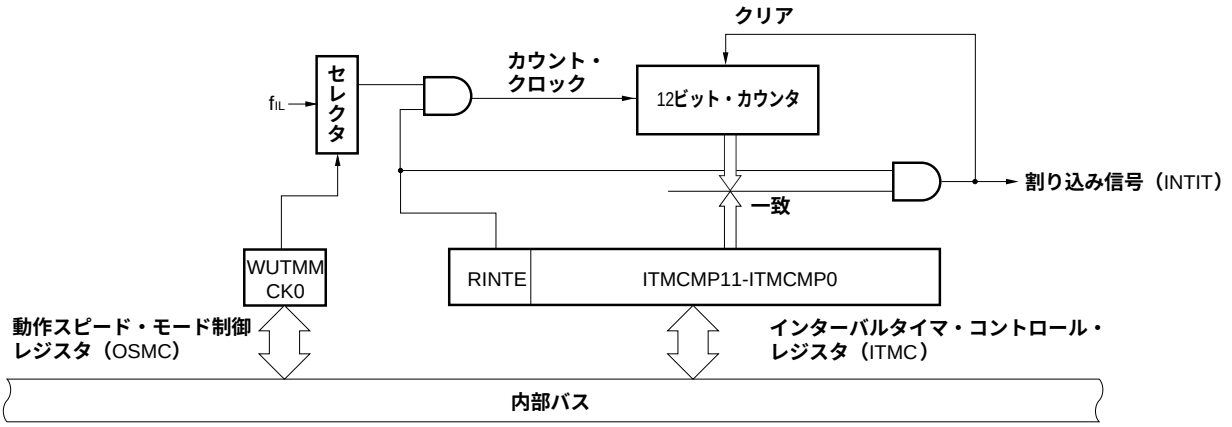
7. 2　インターバル・タイマの構成

インターバル・タイマは，次のハードウエアで構成されています。

表7－1　インターバル・タイマの構成

項　　目	構　　成
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ0（PER0）
	動作スピード・モード制御レジスタ（OSMC）
	インターバル・タイマ・コントロール・レジスタ（ITMC）

図7－1　インターバル・タイマのブロック図



7.3 インターバル・タイマを制御するレジスタ

インターバル・タイマは，次のレジスタで制御します。

- 周辺イネーブル・レジスタ0（PER0）
- 動作スピード・モード制御レジスタ（OSMC）
- インターバル・タイマ・コントロール・レジスタ（ITMC）

(1) 周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

インターバル・タイマを使用する場合は，必ずビット7（TMKAE）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER0レジスタは00Hになります。

図7－2 周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H リセット時：00H R/W

	略号	7	6	5	4	3	2	1	0
★	PER0	TMKAE	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニットの入力クロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード／ライト可

注意1. インターバル・タイマの設定をする際には，必ず最初にTMKAE = 1の設定を行ってください。
TMKAE = 0の場合は，インターバル・タイマの制御レジスタへの書き込みは無視されます。

2. 未定義のビットには，必ず“0”を設定してください。

(2) 動作スピード・モード制御レジスタ（OSMC）

WUTMMCK0ビットでインターバル・タイマの動作クロックの供給を制御します。

また，RTCLPCビットは少しでも不要なクロック機能を停止させることにより，低消費電力化することを目的としたビットです。RTCLPCビットの設定については，第5章 クロック発生回路を参照してください。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－3 動作スピード・モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	インターバル・タイマの動作クロックの供給
0	クロック供給停止
★ 1	LOCOクロック（f_{IL}）

(3) インターバル・タイマ・コントロール・レジスタ（ITMC）

インターバル・タイマの動作停止／開始の設定とコンペア値を設定するレジスタです。

ITMCレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0FFFHになります。

図7－4 インターバル・タイマ・コントロール・レジスタ（ITMC）のフォーマット

アドレス：FFF90H リセット時：0FFFH R/W

略号	15	14	13	12	11-0
ITMC	RINTE	0	0	0	ITCMP11-ITCMP0

RINTE	インターバル・タイマの動作制御
0	カウンタ動作停止（カウント・クリア）
1	カウンタ動作開始

ITCMP11-ITCMP0	インターバル・タイマのコンペア値設定
001H	「カウント・クロック周期×（ITCMP設定値＋1）」の定周期割り込みを発生します。
・ ・ ・	
FFFH	

ITCMP11-ITCMP0 = 001H, FFFH設定時の割り込み周期例

・ITCMP11-ITCMP0 = 001H，カウント・クロック：f_{IL} = 15 kHz時

1/15 [kHz]×（1＋1） 0.1333 [ms] = 133.3 [μs]

・ITCMP11-ITCMP0 = FFFH，カウント・クロック：f_{IL} = 15 kHz時

1/15 [kHz]×（4095＋1） 273 [ms]

注意1. RINTEビットを1→0に変更する場合は，INTITを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後は，ITIFフラグをクリアしてから割り込み処理許可にしてください。

2. RINTEビットのリード値は，RINTEビット設定後，カウント・クロックの1クロック後に反映されます。

3. ITCMP11-ITCMP0ビットの設定を変更する場合は，必ずRINTE = 0のときに行ってください。
ただし，RINTE = 0→1または1→0に変更するのと同時にITCMP11-ITCMP0ビットの設定を変更することは可能です。

7. 4　インターバル・タイマの動作

ITCMP11-ITCMP0ビットに設定したカウント値をインターバルとし，繰り返し割り込み要求（INTIT）を発生するインターバル・タイマとして動作します。

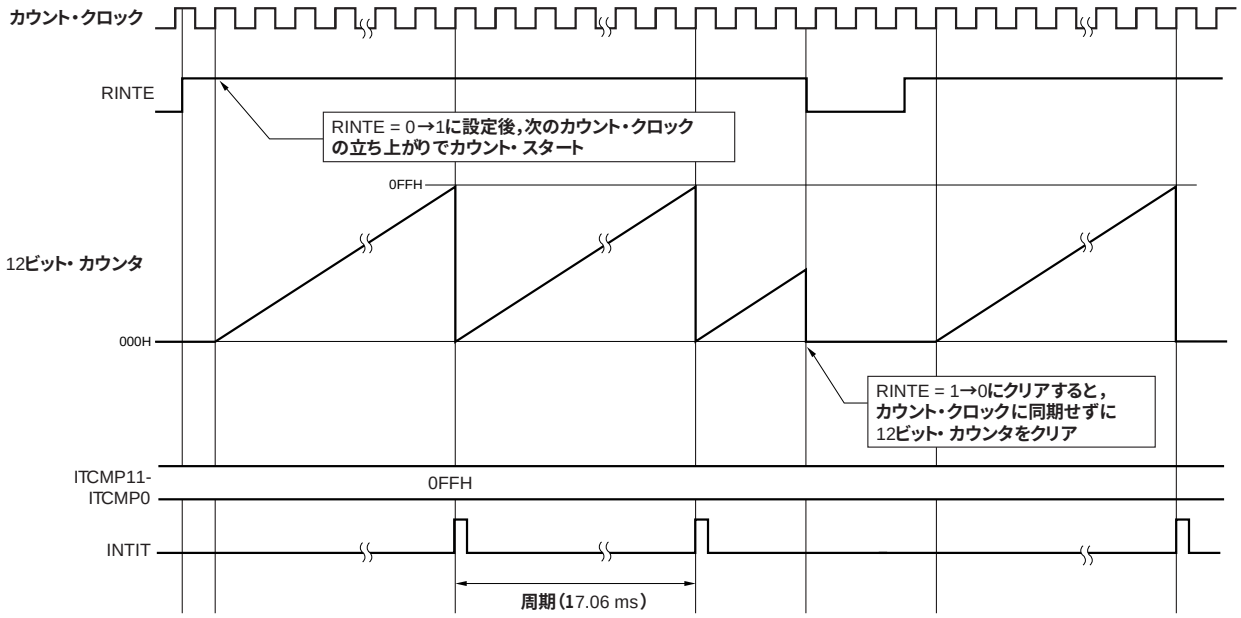
RINTEビットを1に設定すると，12ビット・カウンタがカウントを開始します。

12ビット・カウンタ値がITCMP11-ITCMP0ビットに設定した値と一致したとき，12ビット・カウンタの値を0にクリアしてカウントを継続すると同時に，割り込み要求信号（INTIT）を発生します。

インターバル・タイマの基本動作を図7－5に示します。

図7－5　インターバル・タイマ動作のタイミング

（ITCMP11-ITCMP00 = 0FFH，カウント・クロック：f_{IL} = 15 kHz）



第8章　クロック出力／ブザー出力制御回路

8. 1　クロック出力／ブザー出力制御回路の機能

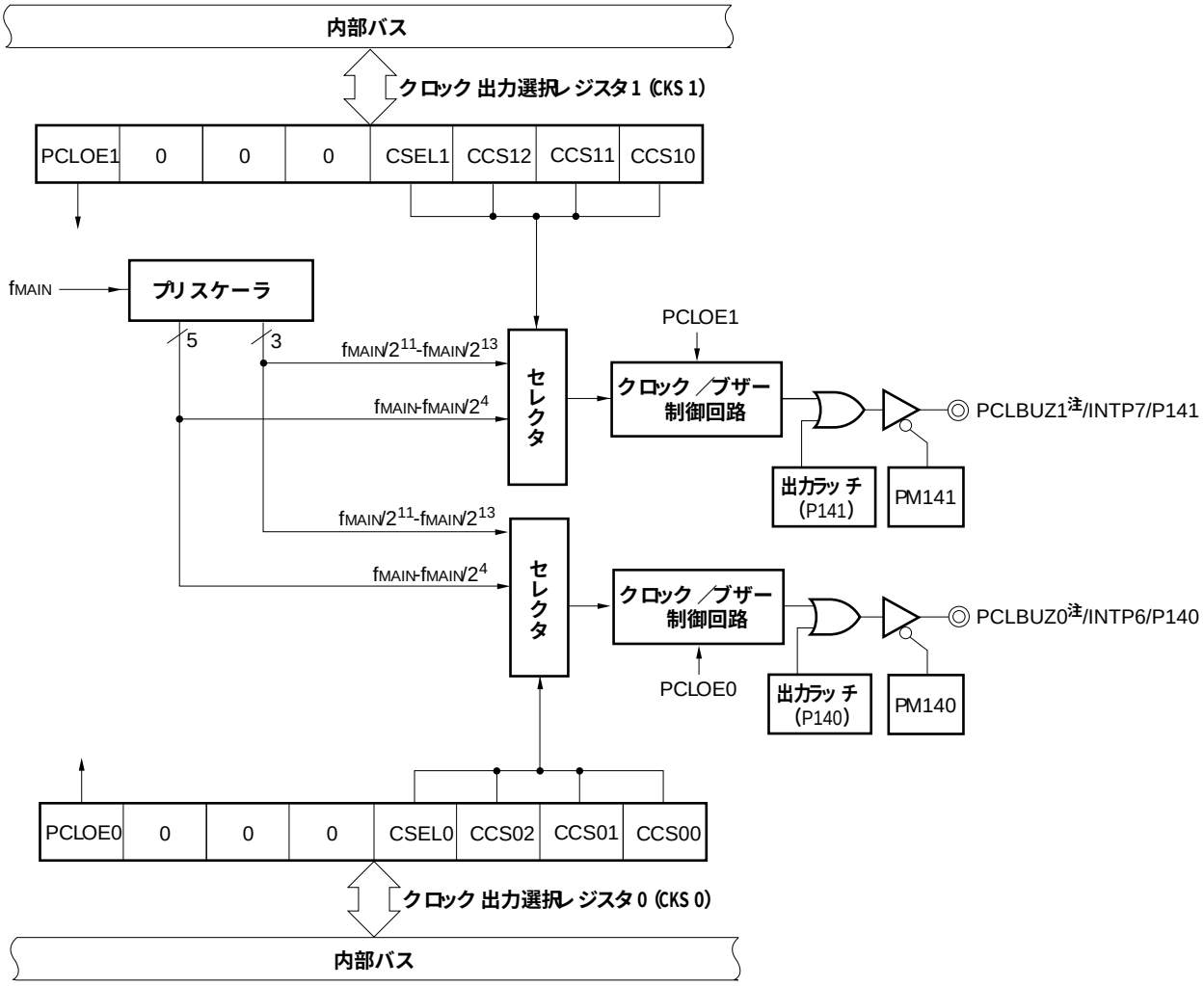
クロック出力はリモコン送信時のキャリア出力や周辺ICに供給するクロックを出力する機能です。また，ブザー出力はブザー周波数の方形波を出力する機能です。

1つの端子で，クロック出力用とブザー出力用のいずれかを選択して出力できます。

★ PCLBUZ0, PCLBUZ1端子は，クロック出力選択レジスタ0, 1（CKS0, CKS1）で選択したクロックを出力します。

図8－1にクロック出力／ブザー出力制御回路のブロック図を示します。

★ **図8－1　クロック出力／ブザー出力制御回路のブロック図**



注　PCLBUZ0, PCLBUZ1端子は，2.7 V≦V_{DD}で10 MHzまでのクロック出力が可能です。V_{DD}＜2.7 Vで5 MHzを越えるクロックは，設定禁止です。

なお，PCLBUZ1出力機能は，30ピン製品だけが搭載しています。

8. 2　クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は，次のハードウエアで構成されています。

★ 表8－1　クロック出力／ブザー出力制御回路の構成

項　　目	構　　成
制御レジスタ	クロック出力選択レジスタ0, 1（CKS0, CKS1）
	ポート・モード・レジスタ1, 3（PM1, PM3）
	ポート・レジスタ1, 3（P1, P3）

8. 3　クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は，次の2種類のレジスタで制御します。

★ ・クロック出力選択レジスタ0, 1（CKS0, CKS1）

★ ・ポート・モード・レジスタ1, 3（PM1, PM3）

（1）クロック出力選択レジスタ0, 1（CKS0, CKS1）

クロック出力またはブザー周波数出力の端子（PCLBUZ0, PCLBUZ1）の出力許可／禁止，および出力クロックを設定するレジスタです。

CKS0, CKS1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図8－2　クロック出力選択レジスタn（CKSnのフォーマット

アドレス：FFFA5H（CKS0），FFFA6（CKS1）　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZn端子の出力許可／禁止の指定
0	出力禁止（デフォルト）
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0	PCLBUZn端子の出力クロックの選択			
					f_{MAIN} =5 MHz	f_{MAIN} = 10 MHz	f_{MAIN} =20 MHz
0	0	0	0	f_{MAIN}	5 MHz	10 MHz注	設定禁止注
0	0	0	1	$f_{MAIN}/2$	2.5 MHz	5 MHz	10 MHz注
0	0	1	0	$f_{MAIN}/2^2$	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	$f_{MAIN}/2^3$	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	$f_{MAIN}/2^4$	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	$f_{MAIN}/2^{11}$	2.44 kHz	4.88 kHz	9.77 kHz
0	1	1	0	$f_{MAIN}/2^{12}$	1.22 kHz	2.44 kHz	4.88 kHz
0	1	1	1	$f_{MAIN}/2^{13}$	610 Hz	1.22 kHz	2.44 kHz

注　出力クロックは，10 MHz**以内の範囲で使用してください。また，**V_{DD}＜2.7 V**で使用する場合は，**5 MHz**以内で使用してください。**

注意1. **出力クロックの切り替えは，出力禁止（**PCLOEn = 0**）にしてから行ってください。**

2. **メイン・システム・クロック選択時（**CSELn = 0**）に**STOP**モードに移行する場合は，**STOP**命令前に**PCLOEn = 0**にしてください。**

備考1. n = 0, 1

2. f_{MAIN}**：メイン・システム・クロック周波数**

（2）ポート・モード・レジスタ1, 3（PM1, PM3）

ポート1の入力／出力を1ビット単位で設定するレジスタです。

P10 /PCLBUZ0（20, 24**ピン製品**）, P15/PCLBUZ1, P31/PCLBUZ0（30**ピン製品**）**端子をクロック出力／ブザー出力機能として使用するとき，対応する**PM10, PM15, PM31**ビットの出力ラッチに**0**を設定してください。**

PM1, PM3**レジスタは，**1**ビット・メモリ操作命令または**8**ビット・メモリ操作命令で設定します。**

リセット信号の発生により，FFH**になります。**

図8－3　**ポート・モード・レジスタ**1（PM1）**のフォーマット（**20, 24**ピン製品）**

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM1	1	1	1	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W

PMmn	Pmn**端子の入出力モードの選択**（mn = 10-14）
0	**出力モード（出力バッファ・オン）**
1	**入力モード（出力バッファ・オフ）**

★ **図**8－4　**ポート・モード・レジスタ**1, 3（PM1, PM3）**のフォーマット（**30**ピン製品）**

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM3	1	1	1	1	1	1	PM31	PM30	FFF23H	FFH	R/W

PMmn	Pmn**端子の入出力モードの選択**（mn = 30, 31）
0	**出力モード（出力バッファ・オン）**
1	**入力モード（出力バッファ・オフ）**

8. 4　クロック出力／ブザー出力制御回路の動作

1つの端子で，クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は，クロック出力選択レジスタ0（CKS0）で選択したクロック／ブザーを出力します。

★　PCLBUZ1端子は，クロック出力選択レジスタ1（CKS1）で選択したクロック／ブザーを出力します。

8. 4. 1　出力端子の動作

PCLBUZn端子は，次の手順で出力します。

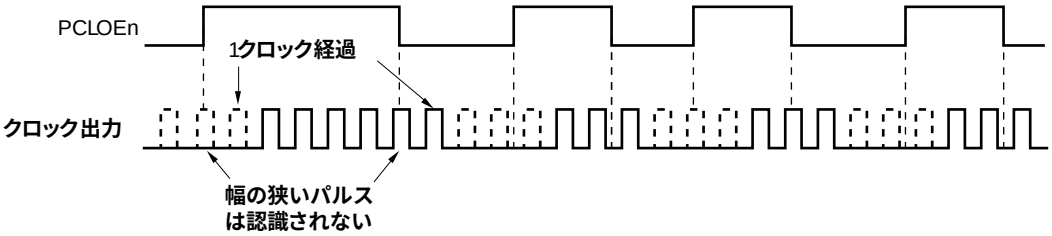
① PCLBUZn端子のクロック出力選択レジスタ（CKSn）のビット0-3（CCSn0-CCSn2，CSELn）で出力周波数を選択する（出力は禁止の状態）。

② CKSnレジスタのビット7（PCLOEn）に1を設定し，クロック出力／ブザー出力を許可する。

備考1.　クロック出力用として使用するときの制御回路は，クロック出力の出力許可／禁止（PCLOEnビット）を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOEnビットによる出力の許可／停止とクロック出力のタイミングを図8－5に示します。

2.　n = 0, 1

図8－5　リモコン出力応用例



第9章　ウォッチドッグ・タイマ

9. 1　ウォッチドッグ・タイマの機能

★　ウォッチドッグ・タイマはLOCOクロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時，内部リセット信号を発生します。

次の場合，プログラムの暴走と判断します。

・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
・WDTEレジスタに“ ACH ”以外のデータを書き込んだ場合
・ウインドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）のビット4（WDTRF）がセット（1）されます。RESFレジスタの詳細については第18章　リセット機能を参照してください。

また，オーバフロー時間の75%到達時にインターバル割り込みを発生することもできます。

9. 2　ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは，次のハードウエアで構成されています。

表9－1　ウォッチドッグ・タイマの構成

項　　目	構　　成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

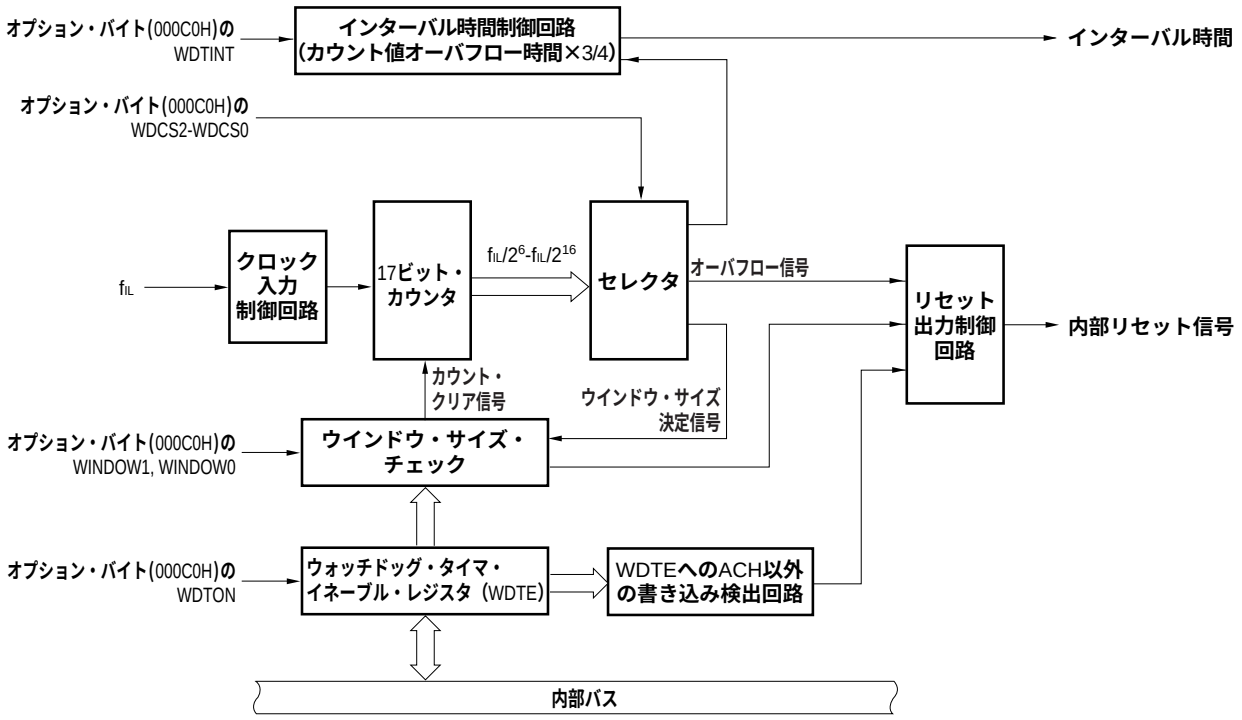
また，オプション・バイトで，カウンタの動作制御，オーバフロー時間の設定，ウインドウ・オープン期間の設定，インターバル割り込みの設定を行います。

表9－2　オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト（000C0H）
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7（WDTINT）
ウインドウ・オープン期間設定	ビット6, 5（WINDOW1, WINDOW0）
ウォッチドッグ・タイマのカウンタ動作制御	ビット4（WDTON）
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1（WDCS2- WDCS0）
ウォッチドッグ・タイマのカウンタ動作制御（HALT/STOP時）	ビット0（WDSTBYON）

備考　オプション・バイトについては，第23章　オプション・バイトを参照してください。

図9－1　ウォッチドッグ・タイマのブロック図



9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）で制御します。

(1) ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

WDTEレジスタに“ACH”を書き込むことにより，ウォッチドッグ・タイマのカウンタをクリアし，再びカウント開始します。

WDTEレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により，9AHまたは1AH[注]になります。

図9－2 ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）のフォーマット

アドレス：FFFABH リセット時：9AH／1AH[注] R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEレジスタのリセット値は，オプション･バイト（000C0H）のWDTONビットの設定値によって，異なります。ウォッチドッグ・タイマを動作する場合は，WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0（ウォッチドッグ・タイマのカウント動作禁止）	1AH
1（ウォッチドッグ・タイマのカウント動作許可）	9AH

注意1．WDTEレジスタに“ACH”以外の値を書き込んだ場合，内部リセット信号を発生します。

2．WDTEレジスタに1ビット・メモリ操作命令を実行した場合，内部リセット信号を発生します。

3．WDTEレジスタのリード値は，“9AH／1AH”（書き込んだ値（“ACH”）とは異なる値）になります。

9. 4 ウォッチドッグ・タイマの動作

9. 4. 1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合，オプション・バイト（000C0H）で次の内容を設定します。

   ・オプション・バイト（000C0H）のビット4（WDTON）を1に設定し，ウォッチドッグ・タイマのカウント動作を許可（リセット解除後，カウンタは動作開始）にしてください（詳細は，第23章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止（リセット解除後，カウント停止）
1	カウント動作許可（リセット解除後，カウント開始）

   ・オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で，オーバフロー時間を設定してください（詳細は，9. 4. 2および第23章を参照）。
   ・オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で，ウインドウ・オープン期間を設定してください（詳細は，9. 4. 3および第23章を参照）。

2. リセット解除後，ウォッチドッグ・タイマはカウント動作を開始します。
3. カウント動作開始したあと，オプション・バイトで設定したオーバフロー時間前に，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ ACH ”を書き込むことにより，ウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。
4. 以後，リセット解除後2回目以降のWDTEレジスタへの書き込みについては，ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合，内部リセット信号を発生します。
5. WDTEレジスタに“ ACH ”を書き込まずに，オーバフロー時間を越えてしまった場合は，内部リセット信号を発生します。
   また，次の場合も，内部リセット信号を発生します。

   ・WDTEレジスタに1ビット操作命令を使用した場合
   ・WDTEレジスタに“ ACH ”以外のデータを書き込んだ場合

注意1. リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）への書き込みだけは，ウインドウ・オープン時間に関係なく，オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。

2. WDTEレジスタに“ ACH ”を書き込んで，ウォッチドッグ・タイマをクリアしたとき，実際のオーバフロー時間は，オプション・バイトで設定したオーバフロー時間より最大$2/f_{IL}$秒の誤差が生じる場合があります。

3. ウォッチドッグ・タイマのクリアは，カウント値がオーバフローする直前まで有効です。

注意4. **オプション・バイト（**000C0H**）のビット**0**（**WDSTBYON**）の設定値により，ウォッチドッグ・タイマの**HALT**および**STOP**モード時の動作は，次のように異なります。**

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		

WDSTBYON = 0**の場合，**HALT**および**STOP**モード解除後は，ウォッチドッグ・タイマのカウントを再開します。このとき，カウンタはクリア（**0**）して，カウント開始します。**
STOP**モード解除後に**X1**発振クロックで動作する場合は，**CPU**は発振安定時間経過後に動作を開始します。**
そのため，STOP**モード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。**
よって，インターバル割り込みによるSTOP**モード解除後に**X1**発振クロックで動作し，ウォッチドッグ・タイマをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。**

5. **フラッシュ・メモリのセルフ・プログラミング時および**EEPROM®**エミュレーション時でも，ウォッチドッグ・タイマの動作は継続します。ただし，これらの処置中には，割り込みの受け付け時間が遅れるので，遅延を考慮し，オーバフロー時間およびウインドウ・サイズを設定してください。**

9. 4. 2　ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は，オプション・バイト（000C0H**）のビット**3-1**（**WDCS2-WDCS0**）で設定します。**

オーバフロー時は，内部リセット信号を発生します。オーバフロー時間前の，ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE**）に“**ACH**”を書き込むことにより，カウントはクリアされ，再度カウント動作を開始します。**

設定可能なオーバフロー時間を次に示します。

表9－3　**ウォッチドッグ・タイマのオーバフロー時間の設定**

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間（f_{IL} = 17.25 kHz（MAX.）の場合）
0	0	0	$2^6/f_{IL}$（3.71 ms）
0	0	1	$2^7/f_{IL}$（7.42 ms）
0	1	0	$2^8/f_{IL}$（14.84 ms）
0	1	1	$2^9/f_{IL}$（29.68 ms）
1	0	0	$2^{11}/f_{IL}$（118.72 ms）
1	0	1	$2^{13}/f_{IL}$（474.90 ms）
1	1	0	$2^{14}/f_{IL}$（949.80 ms）
1	1	1	$2^{16}/f_{IL}$（3799.19 ms）

注意　フラッシュ・メモリのセルフ・プログラミング時およびEEPROM**エミュレーション時でも，ウォッチドッグ・タイマの動作は継続します。ただし，これらの処置中には，割り込みの受け付け時間が遅れるので，遅延を考慮し，オーバフロー時間およびウインドウ・サイズを設定してください。**

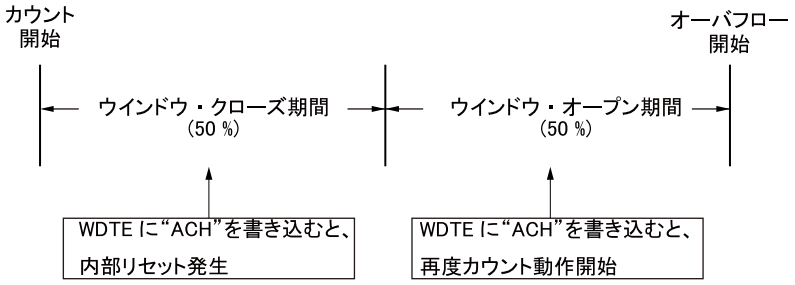
★　**備考**　f_{IL}：LOCOクロック周波数

9. 4. 3　ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は，オプション・バイト（000C0H）のビット6，5（WINDOW1, WINDOW0）で設定します。ウインドウの概要は次のとおりです。

- ウインドウ・オープン期間中は，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ ACH ”を書き込むと，ウォッチドッグ・タイマをクリアし，再度カウント動作を開始します。
- ウインドウ・クローズ期間中は，WDTEレジスタに“ ACH ”を書き込んでも，異常検出され，内部リセットを発生します。

例　ウインドウ・オープン期間が50 %の場合



注意　リセット解除後1回目のWDTEレジスタへの書き込みだけは，ウインドウ・オープン時間に関係なく，オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。

設定可能なウインドウ・オープン期間を次に示します。

表9－4　ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	設定禁止
0	1	50 %
1	0	75 %
1	1	100 %

注意1.　**フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも，ウォッチドッグ・タイマの動作は継続します。ただし，これらの処置中には，割り込みの受け付け時間が遅れるので，遅延を考慮し，オーバフロー時間およびウインドウ・サイズを設定してください。**

2.　**オプション・バイト（000C0H）のビット0（WDSTBYON）= 0のときは，**WINDOW1, WINDOW0**ビットの値に関係なく，ウインドウ・オープン期間**100%**となります。**

備考　**オーバフロー時間を$2^9/f_{IL}$に設定した場合，ウインドウ・クローズ時間とオープン時間は，次のようになります。**

	ウインドウ・オープン期間の設定		
	50 %	75 %	100 %
ウインドウ・クローズ時間	0～20.08 ms	0～10.04 ms	なし
ウインドウ・オープン時間	20.08～29.68 ms	10.04～29.68 ms	0～29.68 ms

<ウインドウ・オープン期間50 %のとき>

・オーバフロー時間：

$2^9/f_{IL}$ (MAX.) = 2^9 /17.25 kHz (MAX.) = 29.68 ms

・ウインドウ・クローズ時間：

0～$2^9/f_{IL}$ (MIN.) ×（1－0.5）= 0～2^9/17.25 kHz (MIN.) ×0.5 = 0～20.08 ms

・ウインドウ・オープン時間：

$2^9/f_{IL}$ (MIN.) ×（1－0.5）～$2^9/f_{IL}$ (MAX.) = 2^9/17.25 kHz (MIN.) ×0.5～2^9 /17.25 kHz (MAX.) = 20.08～29.68 ms

9. 4. 4　ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト（000C0H）のビット7（WDTINT）の設定により，オーバフロー時間の75%到達時にインターバル割り込み（INTWDTI）を発生することができます。

表9－5　ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%到達時にインターバル割り込みを発生する

注意　**STOPモード解除後にX1発振クロックで動作する場合は，CPUは発振安定時間経過後に動作を開始します。**

そのため，STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。

よって，インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し，ウォッチドッグ・タイマをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。

備考　**INTWDTI発生後も（ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）にACHを書き込むまで）カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は，内部リセット信号を発生します。**

第10章 A/Dコンバータ

10. 1 A/Dコンバータの機能

A/Dコンバータは，アナログ入力をデジタル値に変換する10ビット分解能[注]のコンバータで，最大11チャネルのA/Dコンバータ・アナログ入力（ANI0-ANI3, ANI16-ANI22）を制御できる構成になっています。

A/Dコンバータには，次のような機能があります。

- 10ビット分解能A/D変換[注]

★ ANI0-ANI3, ANI16-ANI22（30ピン製品はANI0-ANI3, ANI16-ANI19）からアナログ入力を1チャネル選択し，10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに，割り込み要求（INTAD）を発生します（セレクト・モード時の場合）。

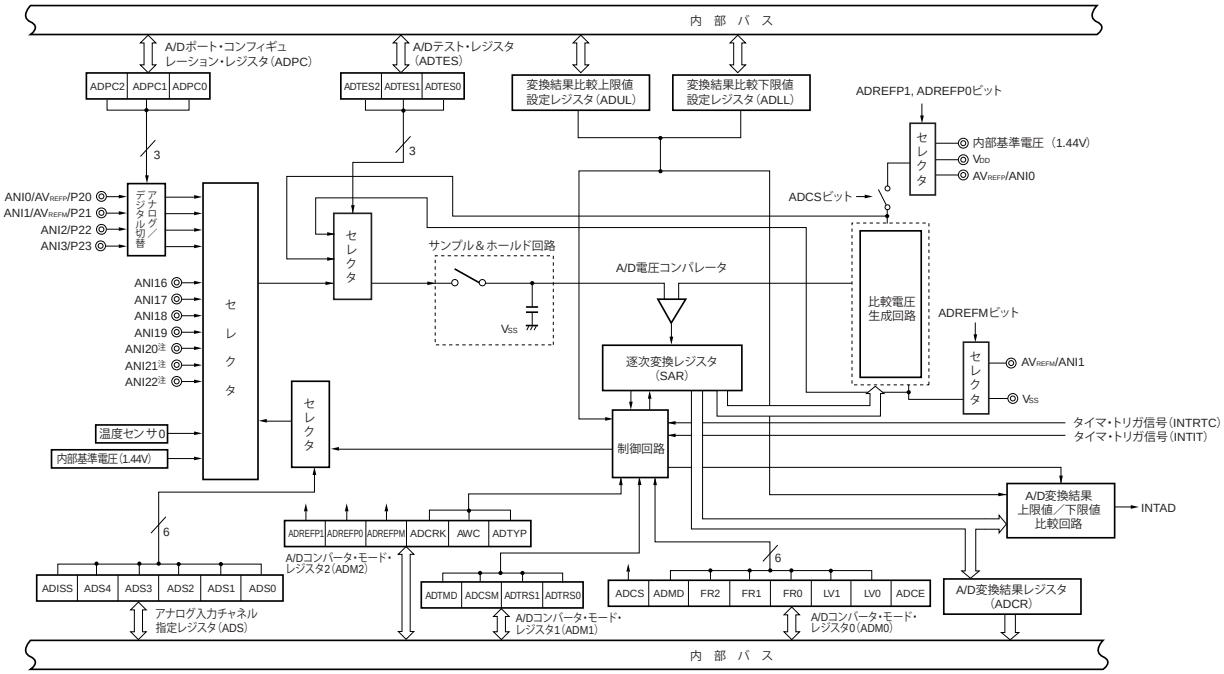
注 A/Dコンバータ・モード・レジスタ0（ADM0）のADTYPビットにより，8ビット分解能を選択することも可能です。

下記のモードの組み合わせにより，様々なA/D変換モードを設定することが可能です。

トリガ・モード	チャネル選択モード	変換動作モード
・ソフトウエア・トリガ ソフトウエアによるトリガ設定により，変換動作を開始します。 **・ハードウエア・トリガ・ノーウエイト・モード** ハードウエア・トリガを検出することにより，変換動作を開始します。 **・ハードウエア・トリガ・ウエイト・モード** パワー・オフでの変換待機状態でハードウエア・トリガを検出することによりパワー・オンとなり，安定待ち時間経過後に自動的に変換動作を開始します。	**・セレクト・モード** 1チャネルのアナログ入力をA/D変換 **・スキャン・モード** 4チャネルのアナログ入力を順番にA/D変換	**・ワンショット変換モード** 選択したチャネルを1回A/D変換 **・連続変換モード** 選択したチャネルをソフトウエアで停止するまで，連続してA/D変換

★

図10－1　A/Dコンバータのブロック図



注　20, 24**ピン製品のみ**

10. 2 A/Dコンバータの構成

A/Dコンバータは，次のハードウエアで構成しています。

（1）ANI0-ANI3, ANI16-ANI22端子

★ A/Dコンバータの11チャネルのアナログ入力端子です。30ピン製品では，ANI0-ANI3, ANI16-ANI19端子の8チャネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は，入出力ポートとして使用できます。

（2）サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし，A/D電圧コンパレータに送ります。A/D変換動作中は，サンプリングしたアナログ入力電圧を保持します。

（3）A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と，アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果，アナログ入力電圧がリファレンス電圧（1/2 AV_{REF}）より大きい場合には，逐次変換レジスタ（SAR）の最上位ビット（MSB）をセットします。アナログ入力電圧がリファレンス電圧（1/2 AV_{REF}）より小さい場合には，SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット10が自動的にセットされ，次の比較に移ります。ここではすでに結果がセットされているビット11の値によって，比較電圧生成回路の電圧タップが選択されます。

ビット11 = 0：（1/4 AV_{REF}）
ビット11 = 1：（3/4 AV_{REF}）

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し，その結果でSARレジスタのビット10を操作します。

アナログ入力電圧≧比較電圧生成回路の電圧タップ：ビット10 = 1
アナログ入力電圧≦比較電圧生成回路の電圧タップ：ビット10 = 0

このような比較をSARレジスタのビット0まで続けます。
8ビット分解能でA/D変換する場合は，SARレジスタのビット2まで続けます。

備考 AV_{REF}：A/Dコンバータの＋側基準電圧。AV_{REFP}, 内部基準電圧（1.44 V），V_{DD}から選択可能です。

（4）比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ（SAR：Successive Approximation Register）

SARレジスタは，比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを，最上位ビット（MSB）から1ビットずつ設定する12ビット・レジスタです。

SARレジスタの最下位ビット（LSB）まで設定すると（A/D変換終了），そのSARレジスタの内容（変換結果）は，A/D変換結果レジスタ（ADCR）に保持されます。また，指定されたすべてのA/D変換が終了すると，A/D変換終了割り込み要求信号（INTAD）が発生します。

(6) 10ビットA/D変換結果レジスタ（ADCR）

A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされ，A/D変換結果を上位10ビットに保持します（下位6ビットは0に固定）。

(7) 8ビットA/D変換結果レジスタ（ADCRH）

A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされ，A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換するアナログ入力の変換時間，変換動作の開始／停止などを制御します。A/D変換が終了した場合，INTADを発生します。

(9) AV_{REFP}端子

外部から基準電圧（AV_{REFP}）を入力する端子です。

AV_{REFP}をA/Dコンバータの基準電圧の＋側として使用する場合は，A/Dコンバータ・モード・レジスタ2（ADM2）のADREFP1, ADREFP0ビットに1を設定してください。

AV_{REFP}と－側基準電圧（AV_{REFM}/V_{SS}）間にかかる電圧に基づいて，ANI0-ANI3, ANI16-ANI22に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの＋側基準電圧には，AV_{REFP}のほかにV_{DD}と内部基準電圧（1.44 V）を選択することが可能です。

(10) AV_{REFM}端子

外部から基準電圧（AV_{REFM}）を入力する端子です。AV_{REFM}をA/Dコンバータの－側の基準電圧として使用する場合は，ADM2レジスタのADREFMビットを1にセットしてください。

A/Dコンバータの－側基準電圧には，AV_{REFM}のほかにV_{SS}を選択することが可能です。

10. 3　A/Dコンバータで使用するレジスタ

A/Dコンバータは，次のレジスタを使用します。

- 周辺イネーブル・レジスタ0（PER0）
- A/Dコンバータ・モード・レジスタ0（ADM0）
- A/Dコンバータ・モード・レジスタ1（ADM1）
- A/Dコンバータ・モード・レジスタ2（ADM2）
- 10ビットA/D変換結果レジスタ（ADCR）
- 8ビットA/D変換結果レジスタ（ADCRH）
- アナログ入力チャネル指定レジスタ（ADS）
- 変換結果比較上限値設定レジスタ（ADUL）
- 変換結果比較下限値設定レジスタ（ADLL）
- A/Dテスト・レジスタ（ADTES）
- A/Dポート・コンフィギュレーション・レジスタ（ADPC）

★ ・ポート・モード・コントロール・レジスタ0, 1, 4, 12, 14（PMC0, PMC1, PMC4, PMC12, PMC14）

★ ・ポート・モード・レジスタ0, 1, 2, 4, 12, 14（PM0, PM1, PM2, PM4, PMC12, PMC14）

(1) 周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは，必ずビット5（ADCEN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10－2　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAE	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入力クロックの制御
0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入力クロック供給 ・A/Dコンバータで使用するSFRへのリード／ライト可

注意1.　A/Dコンバータの設定をする際には，必ず最初にADCEN = 1の設定を行ってください。ADCEN = 0の場合は，A/Dコンバータの制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（ポート・モード・レジスタ0, 1, 2, 4, 12, 14（PM0, PM1, PM2, PM14, PM12, PM14），ポート・モード・コントロール・レジスタ0, 1, 4, 12, 14（PMC0, PMC1, PMC4, PMC12, PMC14），A/Dポート・コンフィギュレーション・レジスタ（ADPC）は除く）。

2.　未定義のビットには必ず“0”を設定してください。

(2) A/Dコンバータ・モード・レジスタ0（ADM0）

A/D変換するアナログ入力の変換時間，変換動作の開始／停止を設定するレジスタです。

ADM0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10－3 A/Dコンバータ・モード・レジスタ0（ADM0）のフォーマット

アドレス：FFF30H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS	ADMD	FR2[注1]	FR1[注1]	FR0[注1]	LV1[注1]	LV0[注1]	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止 [リード時] 変換動作停止／待機状態
1	変換動作許可 [リード時[注2]] ソフトウエア・トリガ・モード時：変換動作状態 ハードウエア・トリガ・ウエイト・モード時：安定待ち状態＋変換動作状態

ADMD	A/D変換チャネル選択モードを設定
0	セレクト・モード
1	スキャン・モード

ADCE	A/D電圧コンパレータの動作制御[注3]
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は，表10－3 A/D変換時間の選択を参照してください。

2. ソフトウエア・トリガ・モード時およびハードウエア・トリガ・ウエイト・モード時は，ADCSビットを変換動作状態のステータス・フラグとして使用することができます。ただし，ハードウエア・トリガ・ノーウエイト・モード時は，ステータス・フラグとして使用することはできません。

3. ソフトウエア・トリガ・モード時およびハードウエア・トリガ・ノーウエイト・モード時，A/D電圧コンパレータはADCSビットとADCEビットで動作制御され，動作開始から安定するまでに，1 μsかかります。このため，ADCEビットに1を設定してから1 μs以上経過したあとに，ADCSビットに1を設定することで，最初の変換データより有効となります。1 μs以上ウエイトしないでADCSビットに1を設定した場合は，最初の変換データを無視してください。

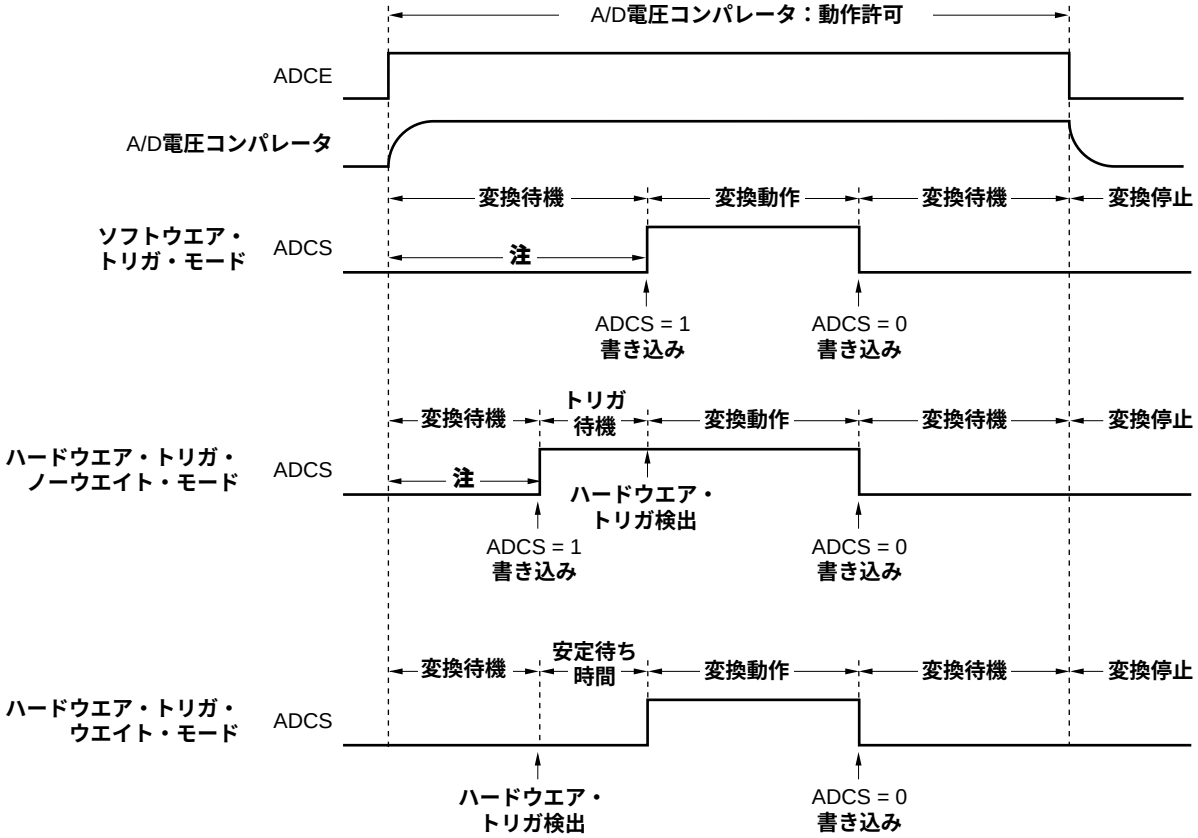
表10ー1 ADCSビットとADCEビットの設定

ADCS	ADCE	A/D変換動作
0	0	停止状態（DC電力消費パスは存在しません）
0	1	変換待機モード（A/D電圧コンパレータのみ電力消費）
1	0	設定禁止
1	1	変換モード（A/D電圧コンパレータ：動作許可）

表10ー2 ADCSビットのセット／クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウエア・トリガ	セレクト・モード	連続変換モード	ADCS = 1ライトした場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・設定した4チャネル分の変換が終了すると，自動的に“0”にクリア
ハードウエア・トリガ・ノーウエイト・モード	セレクト・モード	連続変換モード	ハードウエア・トリガが入力された場合	ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
ハードウエア・トリガ・ウエイト・モード	セレクト・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・設定した4チャネル分の変換が終了すると，自動的に“0”にクリア

図10－4　A/D電圧コンパレータ使用時のタイミング・チャート



注　**ソフトウエア・トリガ・モード時およびハードウエア・トリガ・ノーウエイト・モード時，**ADCE**ビットの立ち上がりから，**ADCS**ビットの立ち上がりまでの時間は，内部回路安定のため，**1 μs **以上必要です。**

注意1.　**ハードウエア・トリガ・ウエイト・モードで使用する場合，**ADCS**ビットに**1**を設定するのは禁止です（ハードウエア・トリガ信号検出時に，自動的に**1**に切り替わります)。ただし，**AD**変換待機状態にするために，**ADCS**ビットに**0**を設定することは可能です。**

2.　**ハードウエア・トリガ・ノーウエイト・モードでのワンショット変換モード時，**AD**変換終了時に**ADCS**フラグは，自動的に“**0**”にクリアされません。“**1**”のまま保持されます。**

3.　ADCE**ビットの書き換えは，**ADCS = 0**（変換停止／変換待機状態）のときに行ってください。**

表10－3 A/D変換時間の選択（1/6）

（1） 3.6 V≦V_{DD}≦5.5 V

安定待ち時間なし（ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換時間の選択				変換クロック（f_{AD}）
FR2	FR1	FR0	LV1	LV0		f_{CLK} = 2 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	
0	0	0	0	0	標準1	設定禁止	設定禁止	設定禁止	設定禁止	f_{CLK}/64
0	0	1							38 μs	f_{CLK}/32
0	1	0						38 μs	19 μs	f_{CLK}/16
0	1	1					38 μs	19 μs	9.5 μs	f_{CLK}/8
1	0	0					28.5 μs	14.25 μs	7.125 μs	f_{CLK}/6
1	0	1					23.75 μs	11.875 μs	5.938 μs	f_{CLK}/5
1	1	0				38 μs	19 μs	9.5 μs	4.75 μs	f_{CLK}/4
1	1	1				19 μs	9.5 μs	4.75 μs	2.375	f_{CLK}/2
0	0	0	0	1	標準2	設定禁止	設定禁止	設定禁止	設定禁止	f_{CLK}/64
0	0	1							34 μs	f_{CLK}/32
0	1	0						34 μs	17 μs	f_{CLK}/16
0	1	1					34 μs	17 μs	8. 5 μs	f_{CLK}/8
1	0	0					25.5 μs	12.75 μs	6.375 μs	f_{CLK}/6
1	0	1					21.25 μs	10.625 μs	5.3125 μs	f_{CLK}/5
1	1	0				34 μs	17 μs	8.5 μs	4.25 μs	f_{CLK}/4
1	1	1				17 μs	8.5 μs	4.25 μs	2.125 μs	f_{CLK}/2
×	×	×	1	0	低電圧1	設定禁止				－
×	×	×	1	1	低電圧2	設定禁止				－

注意1. FR2-FR0, LV1, LV0**ビットを同一データ以外に書き換える場合は，いったん**A/D**変換動作を停止（**ADCS = 0**）させたのちに行ってください。**

2. **前述の変換時間は，クロック周波数の誤差を含んでいませんので，クロック周波数の誤差を考慮して，変換時間を選択してください。**

備考 f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表10ー3 A/D変換時間の選択（2/6）

（2）2.7 V≦V_{DD}＜3.6 V

安定待ち時間なし（ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換時間の選択				変換クロック（f_{AD}）
FR2	FR1	FR0	LV1	LV0		f_{CLK} = 2 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	
0	0	0	0	0	標準1	設定禁止	設定禁止	設定禁止	設定禁止	f_{CLK}/64
0	0	1							38 μs	f_{CLK}/32
0	1	0						38 μs	19 μs	f_{CLK}/16
0	1	1					38 μs	19 μs	9.5 μs	f_{CLK}/8
1	0	0					28.5 μs	14.25 μs	7.125 μs	f_{CLK}/6
1	0	1					23.75 μs	11.875 μs	5.938 μs	f_{CLK}/5
1	1	0				38 μs	19 μs	9.5 μs	4.75 μs	f_{CLK}/4
1	1	1				19 μs	9.5 μs	4.75 μs	設定禁止	f_{CLK}/2
0	0	0	0	1	標準2	設定禁止	設定禁止	設定禁止	設定禁止	f_{CLK}/64
0	0	1							34 μs	f_{CLK}/32
0	1	0						34 μs	17 μs	f_{CLK}/16
0	1	1					34 μs	17 μs	8. 5 μs	f_{CLK}/8
1	0	0					25.5 μs	12.75 μs	6.375 μs	f_{CLK}/6
1	0	1					21.25 μs	10.625 μs	5.3125 μs	f_{CLK}/5
1	1	0				34 μs	17 μs	8.5 μs	4.25 μs	f_{CLK}/4
1	1	1				17 μs	8.5 μs	4.25 μs	設定禁止	f_{CLK}/2
0	0	0	1	0	低電圧1	設定禁止	設定禁止	設定禁止	設定禁止	f_{CLK}/64
0	0	1							38 μs	f_{CLK}/32
0	1	0						38 μs	19 μs	f_{CLK}/16
0	1	1					38 μs	19 μs	設定禁止	f_{CLK}/8
1	0	0					28.5 μs	設定禁止		f_{CLK}/6
1	0	1					23.75 μs			f_{CLK}/5
1	1	0				38 μs	19 μs			f_{CLK}/4
1	1	1				19 μs	設定禁止			f_{CLK}/2
0	0	0	1	1	低電圧2	設定禁止	設定禁止	設定禁止	設定禁止	f_{CLK}/64
0	0	1							34 μs	f_{CLK}/32
0	1	0						34 μs	17 μs	f_{CLK}/16
0	1	1					34 μs	17 μs	設定禁止	f_{CLK}/8
1	0	0					25.5 μs	設定禁止		f_{CLK}/6
1	0	1					21.25 μs			f_{CLK}/5
1	1	0				34 μs	17 μs			f_{CLK}/4
1	1	1				17 μs	設定禁止			f_{CLK}/2

注意1. FR2-FR0, LV1, LV0**ビットを同一データ以外に書き換える場合は，いったん**A/D**変換動作を停止（**ADCS = 0**）させたのちに行ってください。**

2. **前述の変換時間は，クロック周波数の誤差を含んでいませんので，クロック周波数の誤差を考慮して，変換時間を選択してください。**

備考 f_{CLK}：CPU／**周辺ハードウエア・クロック周波数**

表10ー3 A/D変換時間の選択（3/6）

（3）1.8 V≦V_{DD}＜2.7 V

安定待ち時間なし（ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換時間の選択				変換クロック（f_{AD}）
FR2	FR1	FR0	LV1	LV0		f_{CLK} = 2 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	
0	0	0	0	0	標準1	設定禁止	設定禁止	設定禁止	設定禁止	f_{CLK}/64
0	0	1								f_{CLK}/32
0	1	0								f_{CLK}/16
0	1	1								f_{CLK}/8
1	0	0								f_{CLK}/6
1	0	1								f_{CLK}/5
1	1	0								f_{CLK}/4
1	1	1								f_{CLK}/2
0	0	0	0	1	標準2	設定禁止	設定禁止	設定禁止	設定禁止	f_{CLK}/64
0	0	1								f_{CLK}/32
0	1	0								f_{CLK}/16
0	1	1								f_{CLK}/8
1	0	0								f_{CLK}/6
1	0	1								f_{CLK}/5
1	1	0								f_{CLK}/4
1	1	1								f_{CLK}/2
0	0	0	1	0	低電圧1	T.B.D	T.B.D	T.B.D	T.B.D	f_{CLK}/64
0	0	1								f_{CLK}/32
0	1	0								f_{CLK}/16
0	1	1								f_{CLK}/8
1	0	0								f_{CLK}/6
1	0	1								f_{CLK}/5
1	1	0								f_{CLK}/4
1	1	1								f_{CLK}/2
0	0	0	1	1	低電圧2	T.B.D	T.B.D	T.B.D	T.B.D	f_{CLK}/64
0	0	1								f_{CLK}/32
0	1	0								f_{CLK}/16
0	1	1								f_{CLK}/8
1	0	0								f_{CLK}/6
1	0	1								f_{CLK}/5
1	1	0								f_{CLK}/4
1	1	1								f_{CLK}/2

注意1. FR2-FR0, LV1, LV0**ビットを同一データ以外に書き換える場合は，いったん**A/D**変換動作を停止（**ADCS = 0**）させたのちに行ってください。**

2. **前述の変換時間は，クロック周波数の誤差を含んでいませんので，クロック周波数の誤差を考慮して，変換時間を選択してください。**

備考 f_{CLK}：CPU／**周辺ハードウエア・クロック周波数**

表10－3 A/D変換時間の選択（4/6）

（4）3.6 V≦V_{DD}≦5.5 V

安定待ち時間あり（ハードウエア・トリガ・ウエイト・モード）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換時間の選択				変換クロック（f_{AD}）
FR2	FR1	FR0	LV1	LV0		f_{CLK} = 2 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	
0	0	0	0	0	標準1	設定禁止	設定禁止	設定禁止	設定禁止	f_{CLK}/64
0	0	1								f_{CLK}/32
0	1	0							27 μs	f_{CLK}/16
0	1	1						27 μs	13.5 μs	f_{CLK}/8
1	0	0						20.25 μs	10.125 μs	f_{CLK}/6
1	0	1						16.875 μs	8.4375 μs	f_{CLK}/5
1	1	0					27 μs	13.5 μs	6.75 μs	f_{CLK}/4
1	1	1				27 μs	13.5 μs	6.75 μs	3.375	f_{CLK}/2
0	0	0	0	1	標準2	設定禁止	設定禁止	設定禁止	設定禁止	f_{CLK}/64
0	0	1								f_{CLK}/32
0	1	0							25 μs	f_{CLK}/16
0	1	1						25 μs	12. 5 μs	f_{CLK}/8
1	0	0						18.75 μs	9.375 μs	f_{CLK}/6
1	0	1						15.625 μs	7.8125 μs	f_{CLK}/5
1	1	0					25 μs	12.5 μs	6.25 μs	f_{CLK}/4
1	1	1				25 μs	12.5 μs	6.25 μs	3.125 μs	f_{CLK}/2
×	×	×	1	0	低電圧1	設定禁止				－
×	×	×	1	1	低電圧2	設定禁止				－

注意1. FR2-FR0, LV1, LV0**ビットを同一データ以外に書き換える場合は，いったん**A/D**変換動作を停止（**ADCS = 0**）させたのちに行ってください。**

2. **前述の変換時間は，クロック周波数の誤差を含んでいませんので，クロック周波数の誤差を考慮して，変換時間を選択してください。**
3. **ハードウエア・トリガ・ウエイト・モード時の変換時間は，ハードウエア・トリガ検出からの安定待ち時間を含みます。**

備考 f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表10ー3 A/D変換時間の選択（5/6）

（5）2.7 V≦V_{DD}＜3.6 V

安定待ち時間あり（ハードウエア・トリガ・ウエイト・モード）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換時間の選択				変換クロック（f_{AD}）
FR2	FR1	FR0	LV1	LV0		f_{CLK} = 2 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	
0	0	0	0	0	標準1	設定禁止	設定禁止	設定禁止	設定禁止	f_{CLK}/64
0	0	1								f_{CLK}/32
0	1	0							27 μs	f_{CLK}/16
0	1	1						27 μs	13.5 μs	f_{CLK}/8
1	0	0						20.25 μs	10.125 μs	f_{CLK}/6
1	0	1						16.875 μs	8.4375 μs	f_{CLK}/5
1	1	0					27 μs	13.5 μs	6.75 μs	f_{CLK}/4
1	1	1				27 μs	13.5 μs	6.75 μs	設定禁止	f_{CLK}/2
0	0	0	0	1	標準2	設定禁止	設定禁止	設定禁止	設定禁止	f_{CLK}/64
0	0	1								f_{CLK}/32
0	1	0							25 μs	f_{CLK}/16
0	1	1						25 μs	12. 5 μs	f_{CLK}/8
1	0	0						18.75 μs	9.375 μs	f_{CLK}/6
1	0	1						15.625 μs	7.8125 μs	f_{CLK}/5
1	1	0					25 μs	12.5 μs	6.25 μs	f_{CLK}/4
1	1	1				25 μs	12.5 μs	6.25 μs	設定禁止	f_{CLK}/2
0	0	0	1	0	低電圧1	設定禁止	設定禁止	設定禁止	設定禁止	f_{CLK}/64
0	0	1								f_{CLK}/32
0	1	0							27 μs	f_{CLK}/16
0	1	1						27 μs	設定禁止	f_{CLK}/8
1	0	0						設定禁止		f_{CLK}/6
1	0	1								f_{CLK}/5
1	1	0					27 μs			f_{CLK}/4
1	1	1				27 μs	設定禁止			f_{CLK}/2
0	0	0	1	1	低電圧2	設定禁止	設定禁止	設定禁止	設定禁止	f_{CLK}/64
0	0	1								f_{CLK}/32
0	1	0							25 μs	f_{CLK}/16
0	1	1						25 μs	設定禁止	f_{CLK}/8
1	0	0						設定禁止		f_{CLK}/6
1	0	1								f_{CLK}/5
1	1	0					25 μs			f_{CLK}/4
1	1	1				25 μs	設定禁止			f_{CLK}/2

注意1. FR2-FR0, LV1, LV0**ビットを同一データ以外に書き換える場合は，いったん**A/D**変換動作を停止（**ADCS = 0**）させたのちに行ってください。**

2. **前述の変換時間は，クロック周波数の誤差を含んでいませんので，クロック周波数の誤差を考慮して，変換時間を選択してください。**
3. **ハードウエア・トリガ・ウエイト・モード時の変換時間は，ハードウエア・トリガ検出からの安定待ち時間を含みます。**

備考 f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表10－3 A/D変換時間の選択（6/6）

（6）1.8 V≦V_{DD}＜2.7 V

安定待ち時間あり（ハードウエア・トリガ・ウエイト・モード）

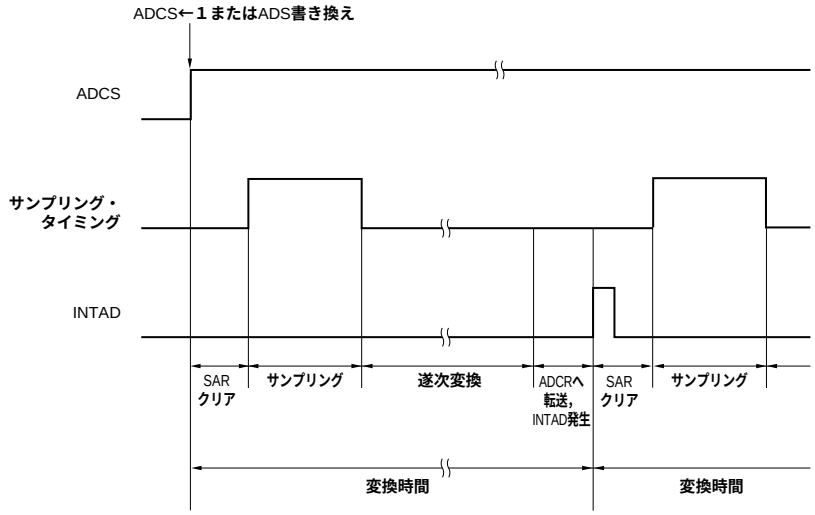
A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換時間の選択				変換クロック（f_{AD}）
FR2	FR1	FR0	LV1	LV0		f_{CLK} = 2 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	
0	0	0	0	0	標準1	設定禁止	設定禁止	設定禁止	設定禁止	f_{CLK}/64
0	0	1								f_{CLK}/32
0	1	0								f_{CLK}/16
0	1	1								f_{CLK}/8
1	0	0								f_{CLK}/6
1	0	1								f_{CLK}/5
1	1	0								f_{CLK}/4
1	1	1								f_{CLK}/2
0	0	0	0	1	標準2	設定禁止	設定禁止	設定禁止	設定禁止	f_{CLK}/64
0	0	1								f_{CLK}/32
0	1	0								f_{CLK}/16
0	1	1								f_{CLK}/8
1	0	0								f_{CLK}/6
1	0	1								f_{CLK}/5
1	1	0								f_{CLK}/4
1	1	1								f_{CLK}/2
0	0	0	1	0	低電圧1	T.B.D	T.B.D	T.B.D	T.B.D	f_{CLK}/64
0	0	1								f_{CLK}/32
0	1	0								f_{CLK}/16
0	1	1								f_{CLK}/8
1	0	0								f_{CLK}/6
1	0	1								f_{CLK}/5
1	1	0								f_{CLK}/4
1	1	1								f_{CLK}/2
0	0	0	1	1	低電圧2	T.B.D	T.B.D	T.B.D	T.B.D	f_{CLK}/64
0	0	1								f_{CLK}/32
0	1	0								f_{CLK}/16
0	1	1								f_{CLK}/8
1	0	0								f_{CLK}/6
1	0	1								f_{CLK}/5
1	1	0								f_{CLK}/4
1	1	1								f_{CLK}/2

注意1. FR2-FR0, LV1, LV0**ビットを同一データ以外に書き換える場合は，いったん**A/D**変換動作を停止（**ADCS = 0**）させたのちに行ってください。**

2. **前述の変換時間は，クロック周波数の誤差を含んでいませんので，クロック周波数の誤差を考慮して，変換時間を選択してください。**
3. **ハードウエア・トリガ・ウエイト・モード時の変換時間は，ハードウエア・トリガ検出からの安定待ち時間を含みます。**

備考 f_{CLK}：CPU／周辺ハードウエア・クロック周波数

図10－5 A/Dコンバータのサンプリングと A/D変換のタイミング（例 ソフトウエア・トリガ・モードの場合）



（3）A/Dコンバータ・モード・レジスタ1（ADM1）

A/D変換トリガ，変換モード，ハードウエア・トリガ信号を設定するレジスタです。

ADM1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10－6 A/Dコンバータ・モード・レジスタ1（ADM1）のフォーマット

アドレス：FFF32H **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD	ADCSM	0	0	0	0	ADTRS1	ADTRS0

ADTMD	A/D変換トリガ・モードの選択
0	ハードウエア・トリガ・ノーウエイト・モード
1	ハードウエア・トリガ・ウエイト・モード

ADCSM	A/D変換動作モードの設定
0	連続変換モード
1	ワンショット変換モード

ADTRS1	ADTRS0	ハードウエア・トリガ信号の選択
0	0	タイマ・チャネル1のカウント完了またはキャプチャ完了割り込み信号（INTTM01）
1	1	インターバル・タイマ割り込み信号（INTIT）

注意1. ADM1レジスタを書き換える場合は，必ず変換動作停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 0）のときに行ってください。

2. ハードウエア・トリガ・ウエイト・モード時のトリガ間隔は，「安定待ち時間（T.B.D）＋変換時間」以上の間隔を空けて設定してください。

(4) A/Dコンバータ・モード・レジスタ2（ADM2）

A/Dコンバータの基準電圧の選択，A/D変換結果の上限値／下限値のチェック，分解能の選択，およびウエイクアップ機能（SNOOZEモード）を設定するレジスタです。

ADM2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10－7　A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット（1/2）

アドレス：F0010H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADCRK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの＋側の基準電圧源の選択
0	0	V_{DD}から供給
0	1	P20/AV_{REFP}/ANI0から供給
1	0	内部基準電圧（1.44 V）から供給
1	1	設定禁止

ADREFP1, ADREFP0ビットを書き換える場合，一度ADREFP1, ADREFP0 = 0, 0に設定後，設定を変更してください。
ただし，ADREFP1, ADREFP0 = 1, 0へ書き換える場合は，次の手順で設定してください。
① ADCE = 0に設定
② ADREFP1, ADREFP0= 1, 0に設定
③ ADCE = 1に設定
なお，①～③の間には待ち時間（T.B.D）が必要です。
ADREFP1, ADREFP 0 = 1, 0に設定した場合，温度センサ出力をA/D変換することはできません。
必ずADISS = 0としてA/D変換を行なってください。

ADREFM	A/Dコンバータの－側の基準電圧源の選択
0	V_{SS}から供給
1	P21/AV_{REFM}/ANI1から供給

ADCRK	変換結果上限／下限値チェック
0	ADLLレジスタ≦ADCRレジスタ≦ADULレジスタ（①）のとき割り込み信号（INTAD）が発生。
1	ADCRレジスタ＜ADLLレジスタ（②），ADULレジスタ＜ADCRレジスタ（③）のとき割り込み信号（INTAD）が発生。
①～③の割り込み信号（INTAD）発生範囲を図10－8に示します。	

注意　ADM2レジスタを書き換える場合は，必ず変換動作停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 0）のときに行ってください。

図10－7 A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット（2/2）

アドレス：F0010H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADCRK	AWC	0	ADTYP

AWC	ウエイクアップ機能（SNOOZEモード）の設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する

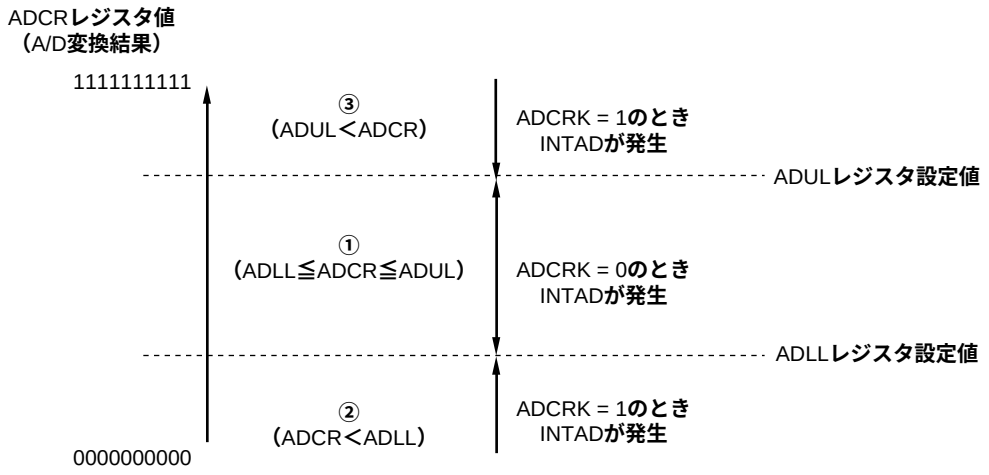
STOPモード中のハードウエア・トリガ信号で，STOPモードを解除し，CPUを動作させることなくA/D変換を行います（SNOOZEモード）。

★
- SNOOZEモード機能は，CPU／周辺ハードウエア・クロック（f_{CLK}）にHOCOクロックが選択されているときのみ設定可能です。HOCOクロック以外が選択されている場合は設定禁止です。
- ソフトウエア・トリガ・モード，およびハードウエア・トリガ・ノー・ウエイト・モードでのSNOOZEモード機能は使用禁止です。
- 連続変換モードでのSNOOZEモード機能は使用禁止です。
- SNOOZEモード機能を使用するとき，ハードウエア・トリガ間隔は，「安定待ち時間（T.B.D）＋変換時間」以上の間隔を空けて設定してください。

ADTYP	A/D変換分解能の選択
0	10ビット分解能
1	8ビット分解能

注意 ADM2レジスタを書き換える場合は，必ず変換動作停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 0）のときに行ってください。

図10－8 ADCRKビットによる割り込み信号発生範囲



(5) 10ビットA/D変換結果レジスタ（ADCR）

セレクト・モード時にA/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。

A/D変換が終了するたびに，逐次変換レジスタ（SAR）から変換結果がロードされます。変換結果の上位8ビットがFFF1FHに，下位2ビットがFFF1EHの上位2ビットに格納されます。

ADCRレジスタは，16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，0000Hになります。

図10－9 10ビットA/D変換結果レジスタ（ADCR）のフォーマット

アドレス：FFF1FH，FFF1EH リセット値：0000H R

略号	FFF1FH								FFF1EH							
ADCR											0	0	0	0	0	0

注意1. A/Dコンバータ・モード・レジスタ0（ADM0），アナログ入力チャネル指定レジスタ（ADS），A/Dポート・コンフィギュレーション・レジスタ（ADPC）に対して書き込み動作を行ったとき，ADCRレジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0, ADS, ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

2. 8ビット分解能A/D変換を選択時（A/Dコンバータ・モード・レジスタ2（ADM2）のADTYP = 1）にADCRレジスタをリードした場合，下位2ビット（ADCR1, ADCR0）は，0が読み出されます。

3. ADCRレジスタへ16ビット・アクセスした場合，変換結果上位10ビットがビット15から順に読み出せます。

(6) 8ビットA/D変換結果レジスタ（ADCRH）

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します。

ADCRHレジスタは，8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，00Hになります。

図10－10 8ビットA/D変換結果レジスタ（ADCRH）のフォーマット

アドレス：FFF1FH リセット時：00H R

略号	7	6	5	4	3	2	1	0
ADCRH								

注意 A/Dコンバータ・モード・レジスタ0（ADM0），アナログ入力チャネル指定レジスタ（ADS），A/Dポート・コンフィギュレーション・レジスタ（ADPC）に対して書き込み動作を行ったとき，ADCRHレジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0, ADS, ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

(7) アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10－11 アナログ入力チャネル指定レジスタ (ADS) のフォーマット

アドレス：FFF31H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード (ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース[注]
0	0	0	0	0	0	ANI0	P20/ANI0/AV_{REFP}端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV_{REFM}端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	1	0	0	0	0	ANI16	P10/ANI16端子 P01/ANI16端子
0	1	0	0	0	1	ANI17	P11/ANI17端子 P00/ANI17端子
0	1	0	0	1	0	ANI18	P12/ANI18端子 P147/ANI18端子
0	1	0	0	1	1	ANI19	P13/ANI19端子 P120/ANI19端子
0	1	0	1	0	0	ANI20	P14/ANI20端子 －
0	1	0	1	0	1	ANI21	P42/ANI21端子 －
0	1	0	1	1	0	ANI22	P41/ANI22端子 －
1	0	0	0	0	0	－	温度センサ0出力
1	0	0	0	0	1	－	内部基準電圧出力 (1.44 V)
上記以外						設定禁止	

注 上段：20, 24ピン製品，下段：30ピン製品

○スキャン・モード (ADMD = 1)

ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル			
					スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	0	1	ANI1	ANI2	ANI3	—
0	0	0	1	0	ANI2	ANI3	—	—
0	0	0	1	1	ANI3	—	—	—
上記以外					設定禁止			

注意1. ビット5, 6には必ず0を設定してください。

2. A/D変換で使用するチャネルは，ポート・モード・レジスタ0, 1, 2, 4, 12, 14 (PMC0, PMC1, PMC2, PMC4, PMC12, PMC14) で入力モードに選択してください。

3. A/Dポート・コンフィギュレーション・レジスタ（ADPC）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。
4. ポート・モード・コントロール・レジスタ0, 1, 4, 12, 14（PMC0, PMC1, PMC4, PMC12, PMC14）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。
5. ADISSビットを書き換える場合は，必ず変換動作停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 0）のときに行ってください。
6. AV_{REFP}をA/Dコンバータの＋側の基準電圧源として使用している場合，ANI0をA/D変換チャネルとして選択しないでください。
7. AV_{REFM}をA/Dコンバータの－側の基準電圧源として使用している場合，ANI1をA/D変換チャネルとして選択しないでください。
8. ADISS = 1を設定した場合，＋側の基準電圧源に内部基準電圧（1.44 V）は使用できません。

備考 ×：don’t care

（8）変換結果比較上限値設定レジスタ（ADUL）

A/D変換結果対し，上限値をチェックするために設定するレジスタです。

A/D変換結果とADULレジスタ値の比較を行い，A/Dコンバータ・モード・レジスタ2（ADM2）のADCRKビットの設定範囲（図10－8参照）で割り込み信号（INTAD）の発生を制御します。

ADULレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

注意 10ビット分解能A/D変換選択時は，10ビットA/D変換結果レジスタ（ADCR）の上位8ビットをADULレジスタと比較します。

図10－12 変換結果比較上限値設定レジスタ（ADUL）のフォーマット

アドレス：F0011H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

（9）変換結果比較下限値設定レジスタ（ADLL）

A/D変換結果対し，下限値をチェックするために設定するレジスタです。

A/D変換結果とADLLレジスタ値の比較を行い，A/Dコンバータ・モード・レジスタ2（ADM2）のADCRKビットの設定範囲（図10－8参照）で割り込み信号（INTAD）の発生を制御します。

ADLLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10－13 変換結果比較下限値設定レジスタ（ADLL）のフォーマット

アドレス：F0012H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意 10**ビット分解能**A/D**変換選択時は，**10**ビット**A/D**変換結果レジスタ（**ADCR**）の上位**8**ビットを** ADLL**レジスタと比較します。**

（10**）**A/D**テスト・レジスタ（**ADTES**）**

A/D**テスト機能として，**A/D**変換対象に**A/D**コンバータの＋側の基準電圧（**AV_{REFP}**），－側の基準電圧（**AV_{REFM}**），アナログ入力チャネル（**ANIxx**）を選択するレジスタです。**

ADTES**レジスタは，は**8**ビット・メモリ操作命令で設定します。**

リセット信号の発生により，00H**になります。**

図10－14 A/D**テスト・レジスタ（**ADTES**）のフォーマット**

アドレス：F0013H **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	ADTES2	ADTES1	ADTES0

ADTES2	ADTES1	ADTES0	A/D**変換対象**
0	0	0	ANIxx**（アナログ入力チャネル指定レジスタ（**ADS**）で設定）**
0	1	0	AV_{REFM}
0	1	1	AV_{REFP}
上記以外			**設定禁止**

（11**）**A/D**ポート・コンフィギュレーション・レジスタ（**ADPC**）**

ANI0/P20-ANI7/P27**端子を，**A/D**コンバータのアナログ入力／ポートのデジタル入出力に切り替えるレジスタです。**

ADPC**レジスタは，**8**ビット・メモリ操作命令で設定します。**

リセット信号の発生により，00H**になります。**

図10－15 A/D**ポート・コンフィギュレーション・レジスタ（**ADPC**）のフォーマット**

アドレス：F0076H **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	0	ADPC2	ADPC1	ADPC0

ADPC2	ADPC1	ADPC0	アナログ入力（A）／デジタル入出力（D）の切り替え			
			ANI3/P23	ANI2/P22	ANI1/P21	ANI0/P20
0	0	0	A	A	A	A
0	0	1	D	D	D	D
0	1	0	D	D	D	A
0	1	1	D	D	A	A
1	0	0	D	A	A	A
上記以外			**設定禁止**			

注意1. A/D**変換で使用するチャネルは，ポート・モード・レジスタ**2（PM2）**で入力モードに選択してください。**

2. ADPC**レジスタでデジタル入出力として設定する端子を，アナログ入力チャネル指定レジスタ（**ADS**）で設定しないでください。**

（12）**ポート・モード・コントロール・レジスタ**0, 1, 4, 12, 14（PMC0, PMC1, PMC4, PMC12, PMC14）

ポート0, 1, 4, 12, 14**のデジタル入出力／アナログ入力を**1**ビット単位で設定するレジスタです。**

20, 24**ピン製品の**P10/ANI16/PCLBUZ0/$\overline{\text{SCK00}}$/SCL00, P11/ANI17/SI00/RxD0/SDA00/TLLORxD, P12/ANI18/SO00/TxD0/TOOLTxD, P13/ANI19/TI00/TO00/INTP2, P14/ANI20/TI01/TO01/INTP3, P42/ANI21/$\overline{\text{SCK01}}$/SCL01/TI03/TO03, P41/ANI22/SO01/SDA01/TI02/TO02/INTP1**端子をアナログ入力と使用する場合は**PMC10, PMC11, PMC12, PMC13, PMC14, PMC42, PMC41**ビットを**1**に設定します。**

★ 30**ピン製品の**P01/ANI16/TO00/RxD1, P00/ANI17/TI00/TxD1, P147/ANI18, P120/ANI19**端子をアナログ入力と使用する場合は**PMC00, PMC01, PMC120, PMC147**ビットを**1**に設定します。**

PMC0, PMC1, PMC4, PMC12, PMC14**レジスタは，**1**ビット・メモリ操作命令または**8**ビット・メモリ操作命令で設定します。**

リセット信号の発生により，FFH**になります。**

図10－16 **ポート・モード・コントロールレジスタ**0, 1, 4, 12, 14（PMC0, PMC1, PMC4, PMC12, PMC14）**のフォーマット**

20, 24**ピン製品**

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC1	1	1	1	PMC14	PMC13	PMC12	PMC11	PMC10	F0061H	FFH	R/W
PMC4	1	1	1	1	1	PMC42	PMC41	1	F0064H	FFH	R/W

★ 30**ピン製品**

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC0	1	1	1	1	1	1	PMC01	PMC00	F0060H	FFH	R/W
PMC12	1	1	1	1	1	1	1	PMC120	F006CH	FFH	R/W
PMC14	PMC147	1	1	1	1	1	1	1	F006EH	FFH	R/W

PMCmn	Pmn**端子のデジタル入出力／アナログ入力の選択**（m = 0, 1, 4, 12, 14；n = 0-4, 7）
0	**デジタル入出力（アナログ入力以外の兼用機能）**
1	**アナログ入力**

（13）ポート・モード・レジスタ0, 1, 2, 4, 12, 14（PM0, PM1, PM2, PM4, PMC12, PMC14）

20, 24 **ピン製品の** P10/ANI16/PCLBUZ0/$\overline{\text{SCK00}}$/SCL00, P11/ANI17/SI00/RxD0/SDA00/TLLORxD, P12/ANI18/SO00/TxD0/TOOLTxD, P13/ANI19/TI00/TO00/INTP2, P14/ANI20/TI01/TO01/INTP3, P42/ANI21/$\overline{\text{SCK01}}$/SCL01/TI03/TO03, P41/ANI22/SO01/SDA01/TI02/TO02/INTP1, P20/ANI0/AV_{REFP}, P21/ANI1/AV_{REFM}, P22/ANI2, P23/ANI3**端子をアナログ入力ポートとして使用するとき，**PM10-PM14、PM20-PM23、PM40-PM42**ビットにそれぞれ**1**を設定してください。このとき**P10-P14, P20-P23, P41, P42**の出力ラッチは，**0**または**1**のどちらでもかまいません。**

★ 30 **ピン製品の** P01/ANI16/TO00/RxD1, P00/ANI17/TI00/TxD1, P20/ANI0/AV_{REFM}, P21/ANI1/AV_{REFP}, P22/ANI2, P23/ANI3, P147/ANI18, P120/ANI19**端子をアナログ入力と使用するとき，**PM00, PM01、PM20-PM23、PM120, PM147**ビットにそれぞれ**1**を設定してください。このとき**P00, P01, P20-P23, P120, P147**の出力ラッチは，**0**または**1**のどちらでもかまいません。**

PM0, PM1, PM2, PM14, PMC12, PMC14**レジスタは，**1**ビット・メモリ操作命令または**8**ビット・メモリ操作命令で設定します。**

リセット信号の発生により，FFH**になります。**

注意 アナログ入力ポートとして設定した端子を読み出した場合は，端子レベルではなく常に0**が読み出されます。**

図10－17 **ポート・モード・レジスタ**0, 1, 2, 4, 12, 14（PM0, PM1, PM2, PM14, PMC12, PMC14）**のフォーマット**

20, 24**ピン製品**

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM1	1	1	1	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	1	1	1	1	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM4	1	1	1	1	1	PM42	PM41	PM40	FFF24H	FFH	R/W

★ 30**ピン製品**

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	1	PM01	PM00	FFF20H	FFH	R/W
PM2	1	1	1	1	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM14	PM147	1	1	1	1	1	1	1	FFF2EH	FFH	R/W

PMmn	Pmn**端子の入出力モードの選択（**m = 0-2, 12, 14; n = 0-4**）**
0	**出力モード（出力バッファ・オン）**
1	**入力モード（出力バッファ・オフ）**

ANI0/P20-ANI3/P23端子の機能は，A/Dポート・コンフィギュレーション・レジスタ（ADPC），アナログ入力チャネル指定レジスタ（ADS），PM2レジスタの設定で決定します。

表10ー4 ANI0/P20-ANI3/P23端子機能の設定

ADPC	PM2	ADS	P20/ANI0-P23/ANI3端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

また，20, 24ピン製品のP10/ANI16- P14/ANI20, P42/ANI21, P41/ANI22端子の機能は，ポート・モード・コントロール・レジスタ1, 4（PMC1, PMC4），アナログ入力チャネル指定レジスタ（ADS），ポート・モード・レジスタ1, 4（PM1, PM4）の設定で決定します。

★ 30ピン製品のP01/ANI16, P00/ANI17, P147/ANI18, P120/ANI19端子の機能は，ポート・モード・コントロール・レジスタ0, 12, 14（PMC0, PMC12, PMC14），アナログ入力チャネル指定レジスタ（ADS），ポート・モード・レジスタ0, 12, 14（PM0, PM12, PM14）の設定で決定します。

表10ー5 ANI0-ANI3以外のアナログ入力を兼用する端子機能の設定

PMC**n**	PMn	ADS	端子[注]
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

備考 n = 0, 1, 4, 12, 14

★ **注** 20, 24ピン製品：P10/ANI16-P14/ANI20, P42/ANI21, P41/ANI22
30ピン製品 ：P01/ANI16, P00/ANI17, P147/ANI18, P120/ANI19

10. 4 A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

① 選択したアナログ入力チャネルに入力している電圧を，サンプル＆ホールド回路でサンプリングします。
② 一定時間サンプリングを行うとサンプル＆ホールド回路はホールド状態となり，サンプリングされた電圧をA/D変換が終了するまで保持します。
③ 逐次変換レジスタ（SAR）のビット9をセットし，タップ・セレクタは直列抵抗ストリングの電圧タップを（1/2）AV_{REF}にします。
④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし，アナログ入力が（1/2）AV_{REF}よりも大きければ，SARレジスタのMSBビットをセットしたままです。また，（1/2）AV_{REF}よりも小さければ，MSBビットはリセットします。
⑤ 次にSARレジスタのビット8が自動的にセットし，次の比較に移ります。ここではすでに結果がセットしているビット9の値によって，次に示すように直列抵抗ストリングの電圧タップを選択します。
  - ビット9 = 1：（3/4）AV_{REF}
  - ビット9 = 0：（1/4）AV_{REF}

  この電圧タップとサンプリングされた電圧を比較し，その結果でSARレジスタのビット8を次のように操作します。
  - サンプリングされた電圧≧電圧タップ：ビット8 = 1
  - サンプリングされた電圧＜電圧タップ：ビット8 = 0

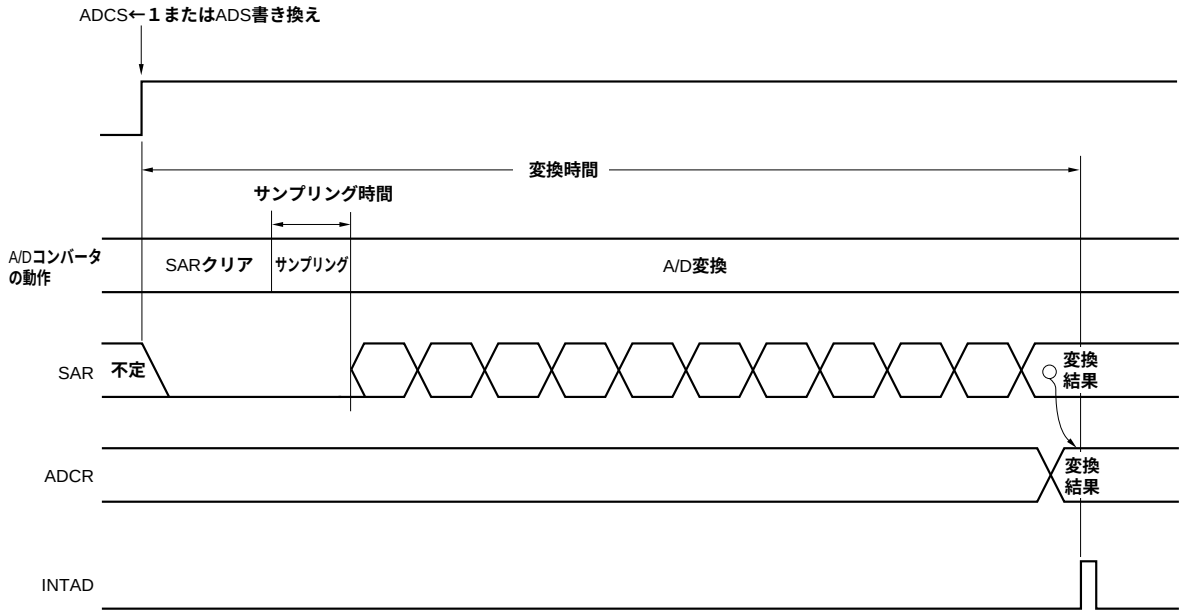
⑥ このような比較をSARレジスタのビット0まで続けます。
⑦ 10ビットの比較が終了したとき，SARレジスタには有効なデジタルの結果が残り，その値がA/D変換結果レジスタ（ADCR, ADCRH）に転送され，ラッチします。
  同時に，A/D変換終了割り込み要求（INTAD）を発生させることができます。
⑧ 以降①から⑦までの動作をADCS = 0になるまで繰り返します[注]。
  A/Dコンバータを停止する場合は，ADCS = 0にしてください。

注 連続変換モード時は，ADCSフラグは自動的に“0”にクリアされません。また，ハードウエア・トリガ・ノーウエイト・モードでのワンショット変換モード時でも，ADCSフラグは，自動的に“0”にクリアされません。“1”のまま保持されます。

備考1. A/D変換結果レジスタは2種類あります。
  - ADCRレジスタ（16ビット） ：10ビットのA/D変換値を格納します。
  - ADCRHレジスタ（8ビット） ：8ビットのA/D変換値を格納します。

2. AV_{REF}：A/Dコンバータの＋側基準電圧。AV_{REFP}，内部基準電圧（1.44 V），V_{DD}から選択可能です。

図10－18　A/Dコンバータの変換動作（ソフトウエア・トリガ・モードの場合）



A/D変換動作は，ソフトウエアによりA/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）をリセット（0）するまで連続的に行われます。

A/D変換動作中に，アナログ入力チャネル指定レジスタ（ADS）に対して書き込み操作を行うと，変換動作は初期化され，ADCSビットがセット（1）されていれば，最初から変換を開始します。

A/D変換結果レジスタ（ADCR, ADCRH）は，リセット信号の発生により0000Hまた00Hとなります。

10. 5　入力電圧と変換結果

アナログ入力端子（ANI0-ANI3, ANI16-ANI22）に入力されたアナログ入力電圧と理論上のA/D変換結果（10ビットA/D変換結果レジスタ（ADCR））には次式に示す関係があります。

$$SAR = INT\left(\frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5\right)$$

$$ADCR = SAR \times 64$$

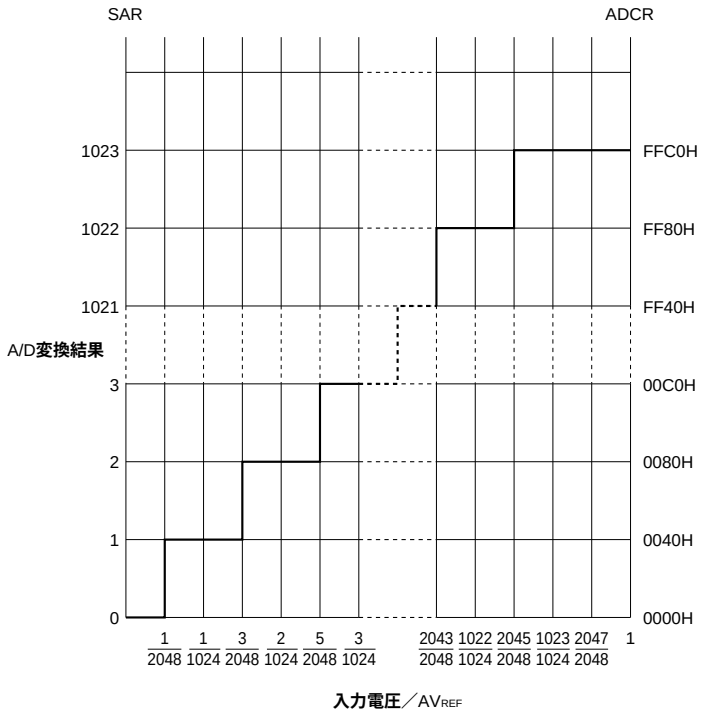
または，

$$\left(\frac{ADCR}{64} - 0.5\right) \times \frac{AV_{REF}}{1024} \leqq V_{AIN} < \left(\frac{ADCR}{64} + 0.5\right) \times \frac{AV_{REF}}{1024}$$

INT（　）：（　）内の値の整数部を返す関数
V_{AIN}　：アナログ入力電圧
AV_{REF}　：AV_{REF}端子電圧
ADCR　：A/D変換結果レジスタ（ADCR）の値
SAR　：逐次変換レジスタ

図10－19にアナログ入力電圧とA/D変換結果の関係を示します。

図10－19　アナログ入力電圧とA/D変換結果の関係



備考　AV_{REF}：A/Dコンバータの＋側基準電圧。AV_{REFP}, 内部基準電圧（1.44 V），V_{DD}から選択可能です。

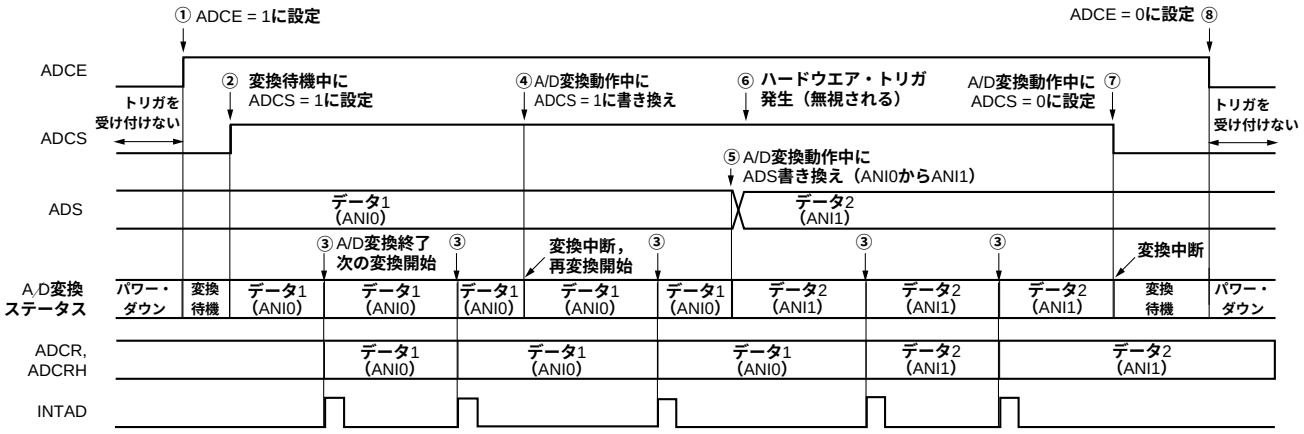
10. 6　A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。

10. 6. 1　ソフトウエア・トリガ・モード（セレクト・モード，連続変換モード）

① パワー・ダウン状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。
② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。
③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します。
④ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。
⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
⑥ 変換動作中にハードウエア・トリガが入力されても，A/D変換は開始しません。
⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。
⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータはパワー・ダウン状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図10－20　ソフトウエア・トリガ・モード（セレクト・モード，連続変換モード）動作タイミング例



10. 6. 2　ソフトウエア・トリガ・モード（セレクト・モード，ワンショット変換モード）

① パワー・ダウン状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/D変換待機状態となります。

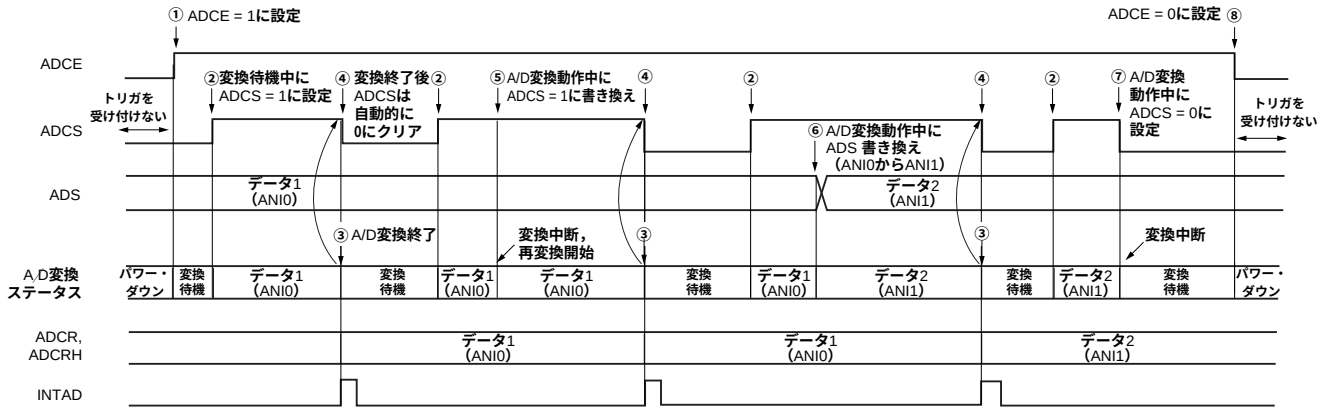
⑤ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータはパワー・ダウン状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。A/D変換待機中にハードウエア・トリガが入力されても，A/D変換は開始しません。

図10－21　ソフトウエア・セレクト・モード（セレクト・モード，ワンショット変換モード）動作タイミング例



10. 6. 3　ソフトウエア・トリガ・モード（スキャン・モード，連続変換モード）

① パワー・ダウン状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます（4チャネル分）。

④ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

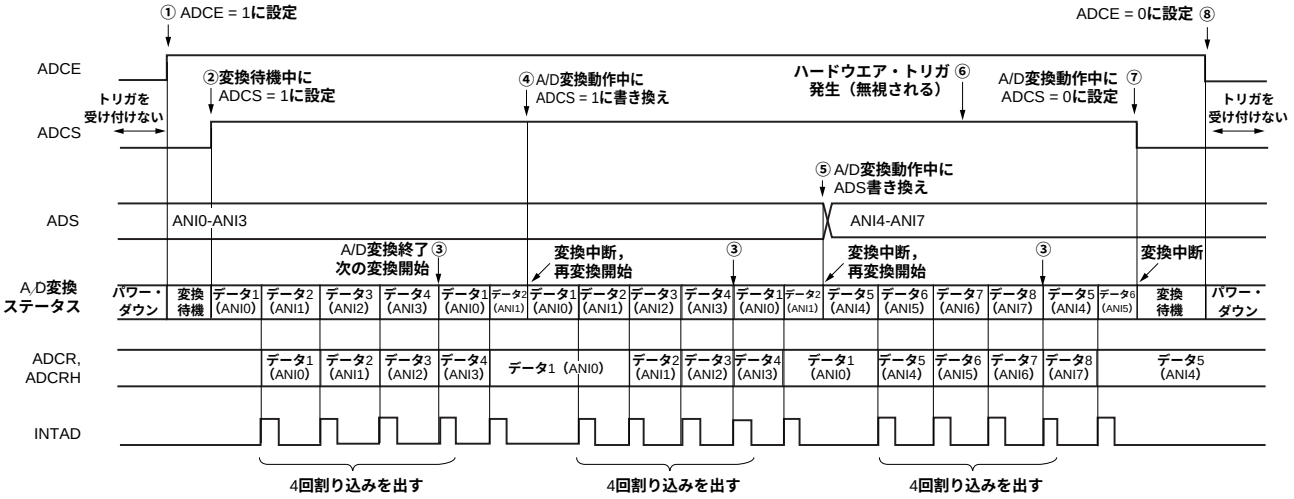
⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にハードウエア・トリガが入力されても，A/D変換は開始しません。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータはパワー・ダウン状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図10－22　ソフトウエア・トリガ・モード（スキャン・モード，連続変換モード）動作タイミング例



10. 6. 4　ソフトウエア・トリガ・モード（スキャン・モード，ワンショット変換モード）

① パワー・ダウン状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ 4チャネルのA/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/D変換待機状態となります。

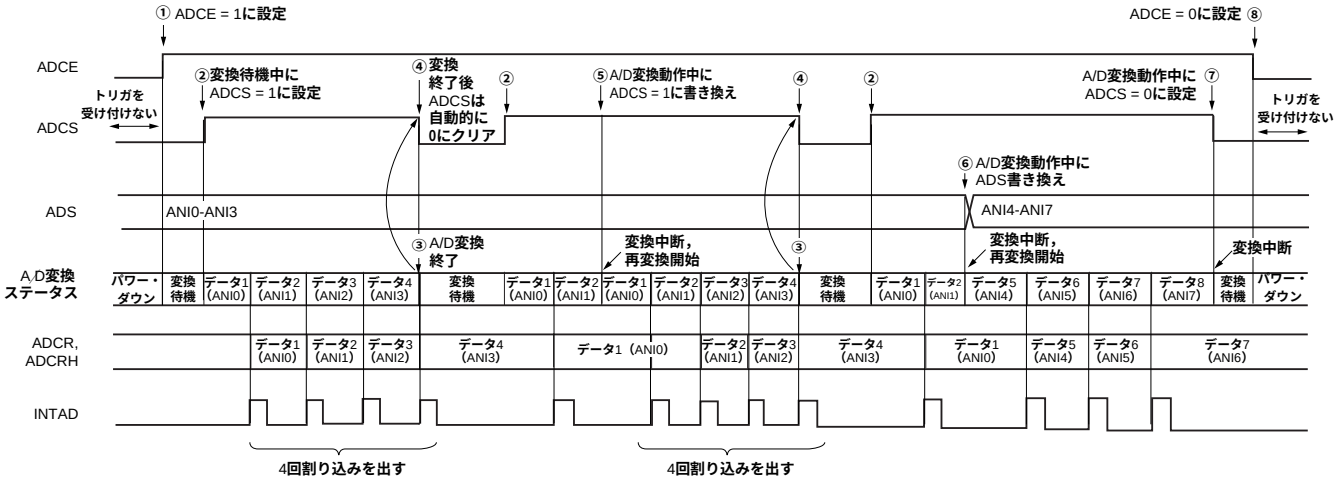
⑤ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータはパワー・ダウン状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。A/D変換待機中にハードウエア・トリガが入力されても，A/D変換は開始しません。

図10－23　ソフトウエア・トリガ・モード（スキャン・モード，ワンショット変換モード）動作タイミング例



10. 6. 5 ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，連続変換モード）

① パワー・ダウン状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

④ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します。

⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

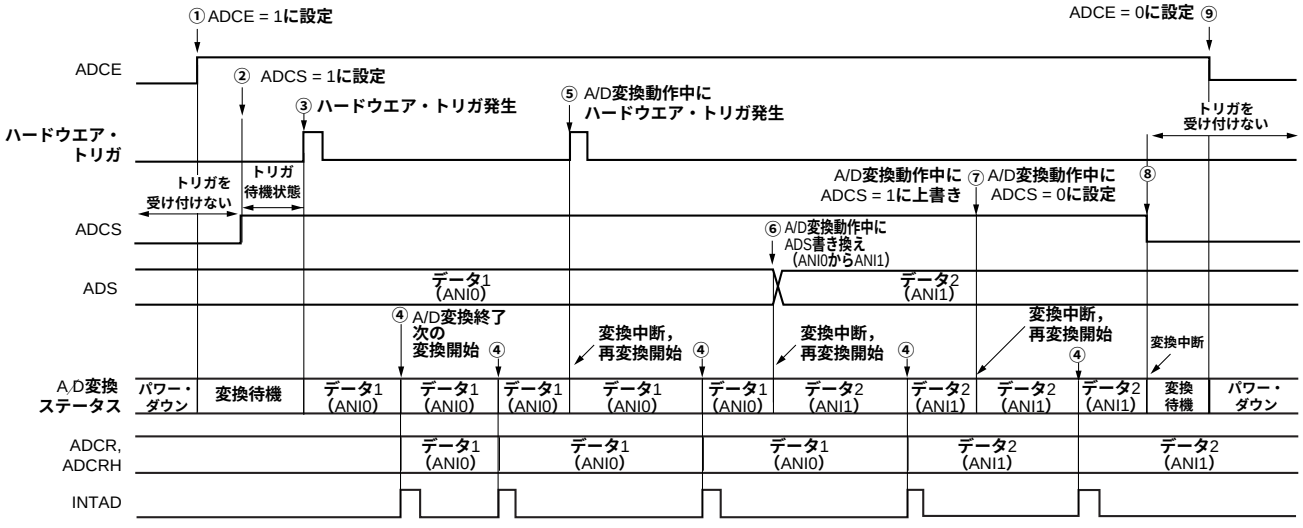
⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータはパワー・ダウンしません。

⑨ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータはパワー・ダウン状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図10－24 ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，連続変換モード）動作タイミング例



10. 6. 6　ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，ワンショット変換モード）

① パワー・ダウン状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

④ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

⑤ A/D変換が終了後，ADCSビットは1の設定のまま，A/D変換待機状態となります。

⑥ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

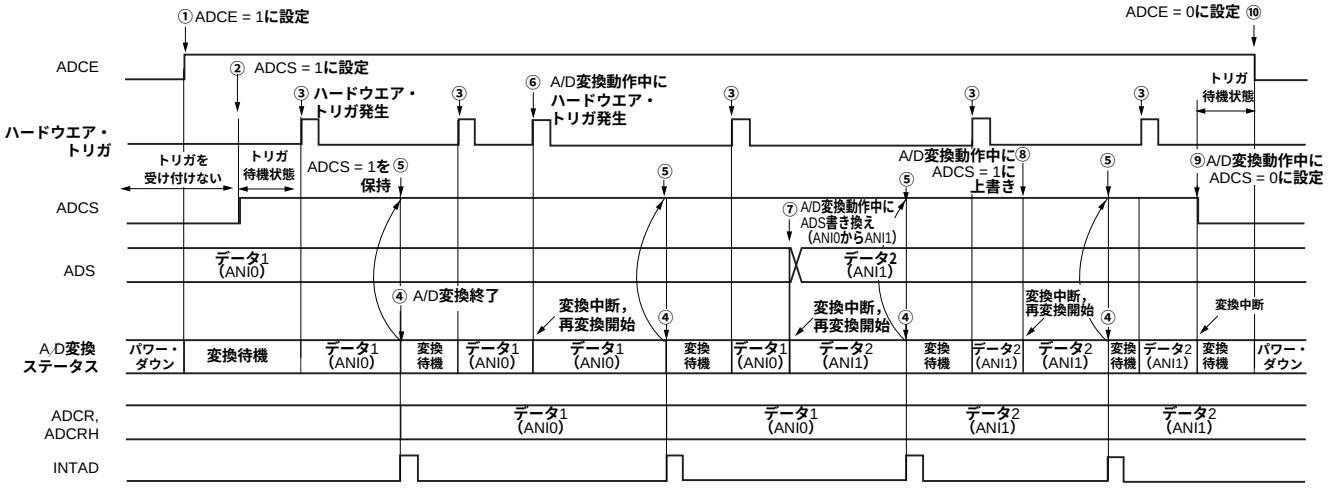
⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑨ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータはパワー・ダウンしません。

⑩ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータはパワー・ダウン状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図10－25　ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，ワンショット変換モード）動作タイミング例



10. 6. 7　ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード）

① パワー・ダウン状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

④ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます。

⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

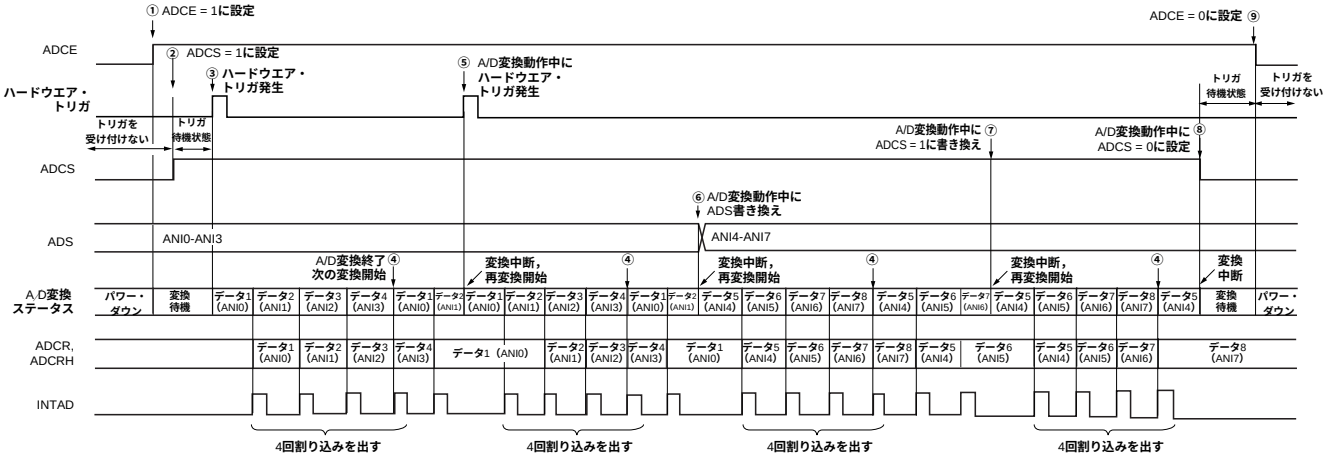
⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータはパワー・ダウンしません。

⑨ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータはパワー・ダウン状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図10－26　ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード）動作タイミング例



10. 6. 8　ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）

① パワー・ダウン状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

④ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

⑤ 4チャネルのA/D変換が終了後，ADCSビットは1の設定のまま，A/D変換待機状態となります。

⑥ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

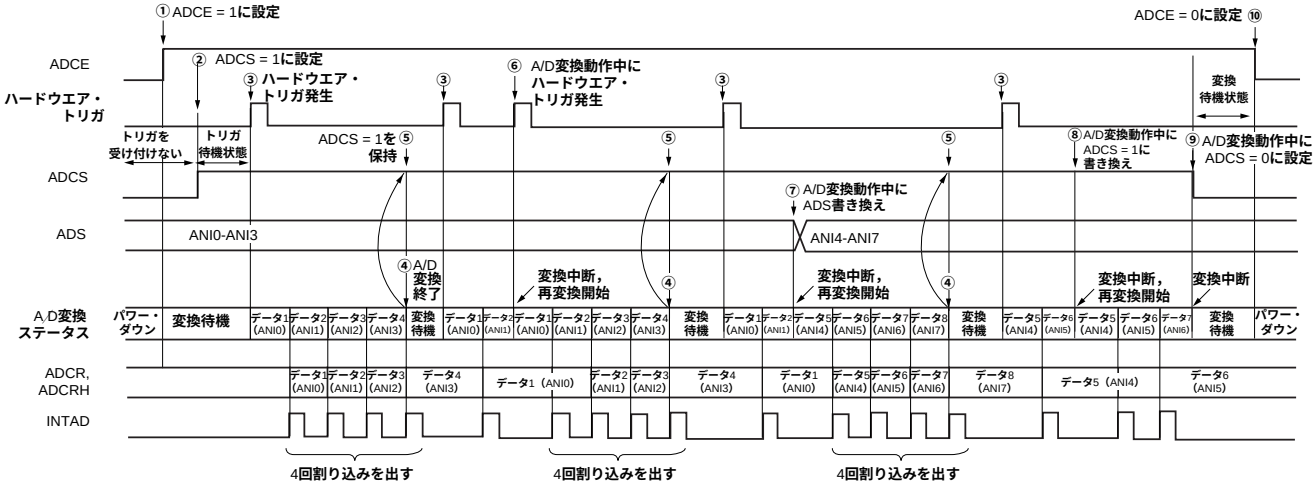
⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を行います。変換動作途中のデータは破棄されます。

⑨ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態ではA/Dコンバータはパワー・ダウンしません。

⑩ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータはパワー・ダウン状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図10－27　ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）動作タイミング例



10. 6. 9 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，連続変換モード）

① パワー・ダウン状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，ハードウエア・トリガ待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します（このとき，ハードウエア・トリガは不要です）。

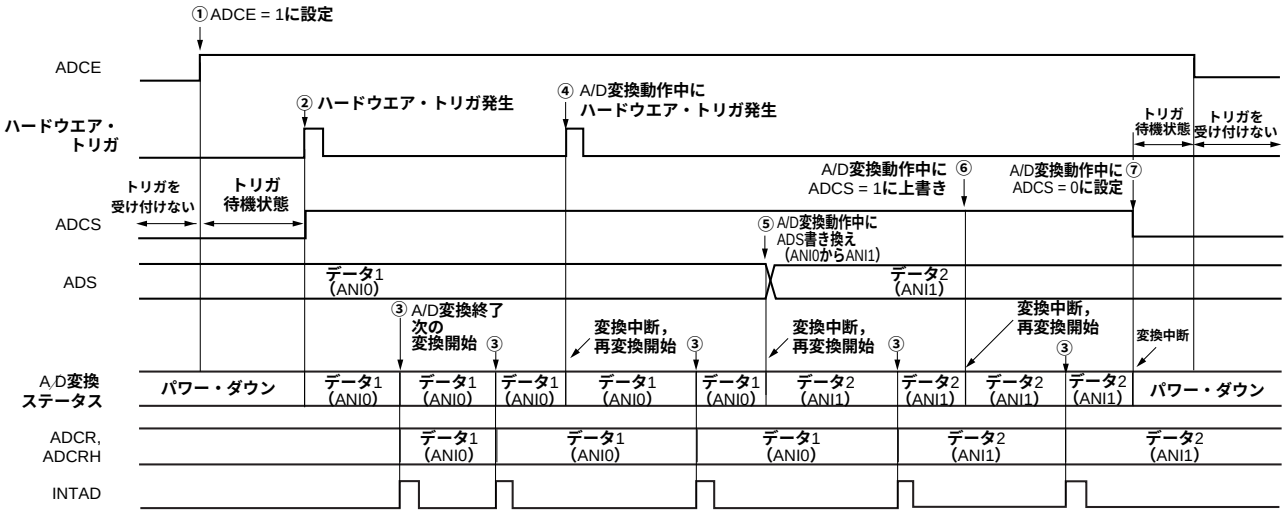
④ 変換動作中にハードウエア･トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADCS= 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータはパワー・ダウン状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図10－28 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，連続変換モード）動作タイミング例



10. 6. 10 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）

① パワー・ダウン状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，ハードウエア・トリガ待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/Dコンバータはパワー・ダウン状態になります。

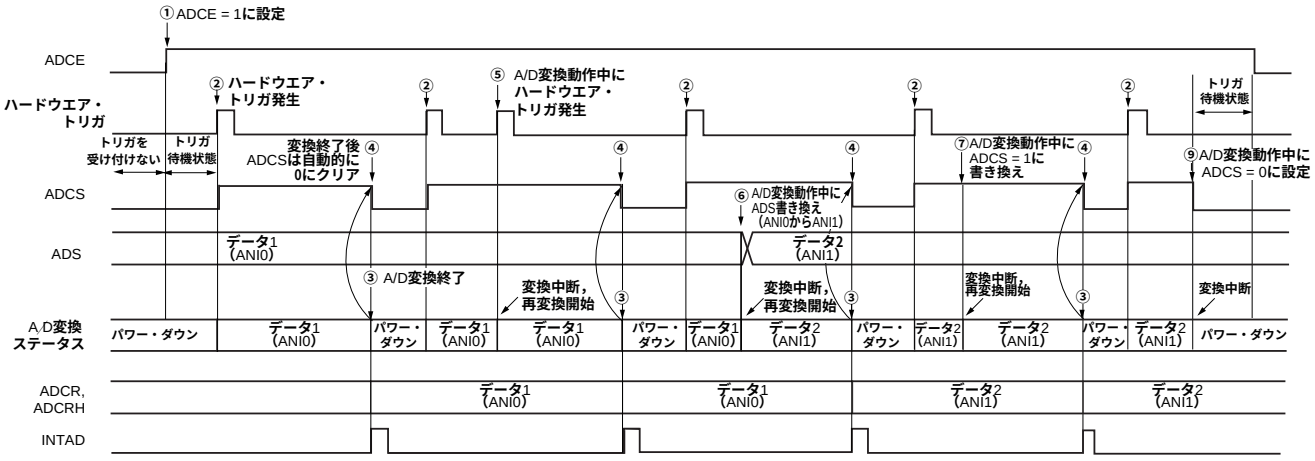
⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS= 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは初期化されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータはパワー・ダウン状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図10－29 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，連続変換モード）動作タイミング例



10. 6. 11　ハードウエア・トリガ・ウエイト・モード（スキャン・モード，連続変換モード）

① パワー・ダウン状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます。

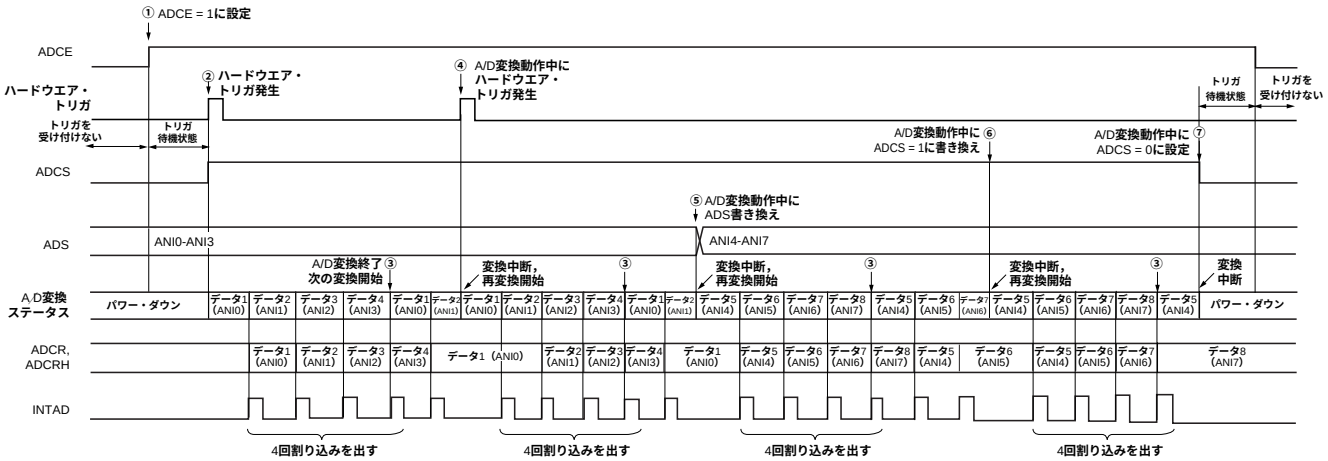
④ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータはパワー・ダウン状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図10－30　ハードウエア・トリガ・ウエイト・モード（スキャン・モード，連続変換モード）動作タイミング例



10. 6. 12 ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）

① パワー・ダウン状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/Dコンバータはパワー・ダウン状態になります。

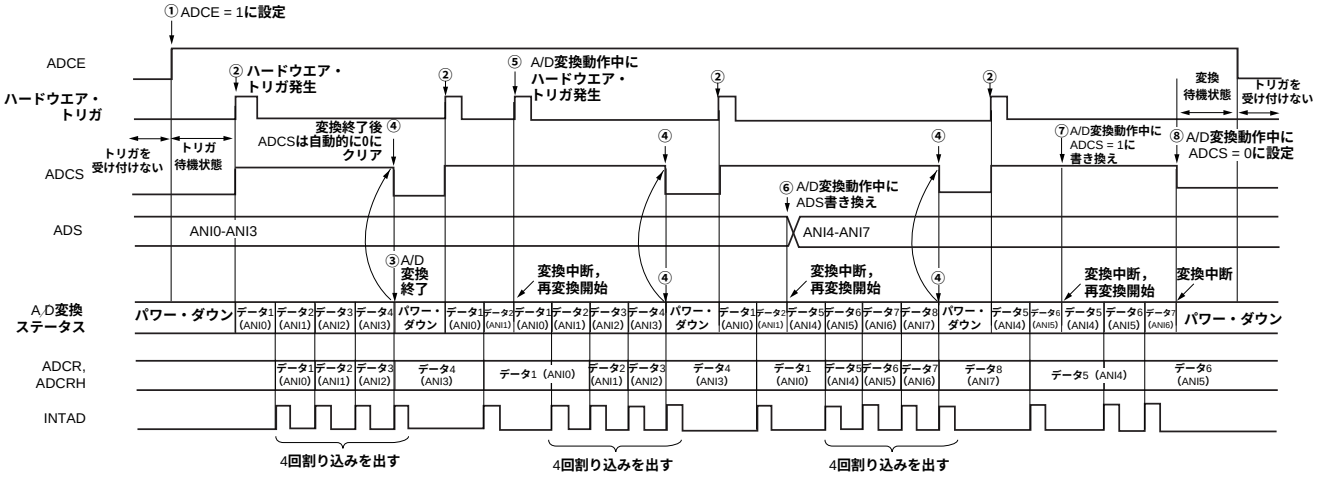
⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータはパワー・ダウン状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図10－31 ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）動作タイミング例



10. 7　SNOOZEモード機能

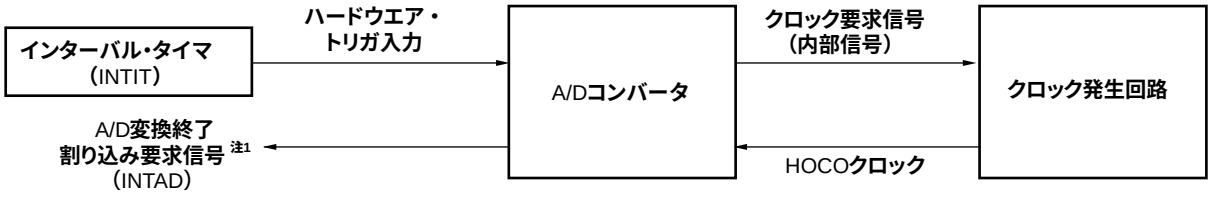
STOPモード時にハードウエア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時にA/D変換は動作を停止しますが，このモードを使うことで，ハードウエア・トリガからの入力によってCPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

SNOOZEモードでは，次の2つの変換モードのみ使用可能です。

- ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）
- ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）

また，SNOOZEモードは，f_{CLK}にHOCOクロックを選択している場合のみ設定可能です。

図10－32　SNOOZEモード機能時のブロック図



SNOOZEモード機能を使用する場合は，STOPモードに移行する前に各レジスタの初期設定を行います。このとき，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2（AWC）に1を設定しておきます。初期設定完了後，A/Dコンバータ・モード・レジスタ0（ADM0）のビット0（ADCE）に1を設定します。

★　STOPモードに移行後，ハードウエア・トリガが入力されると，HOCOクロックがA/Dコンバータに供給されます。HOCOクロック供給後，安定待ち時間が自動的にカウントされ，A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は，割り込み信号発生の有無によって異なります[注1]。

注1.　A/D変換結果比較機能の設定（ADCRKビット，ADUL/ADLLレジスタ）により，割り込み信号が発生しない場合があります。

2.　ADM1レジスタは必ずC3Hに設定してください。

（1）A/D変換終了後に割り込みが発生する場合

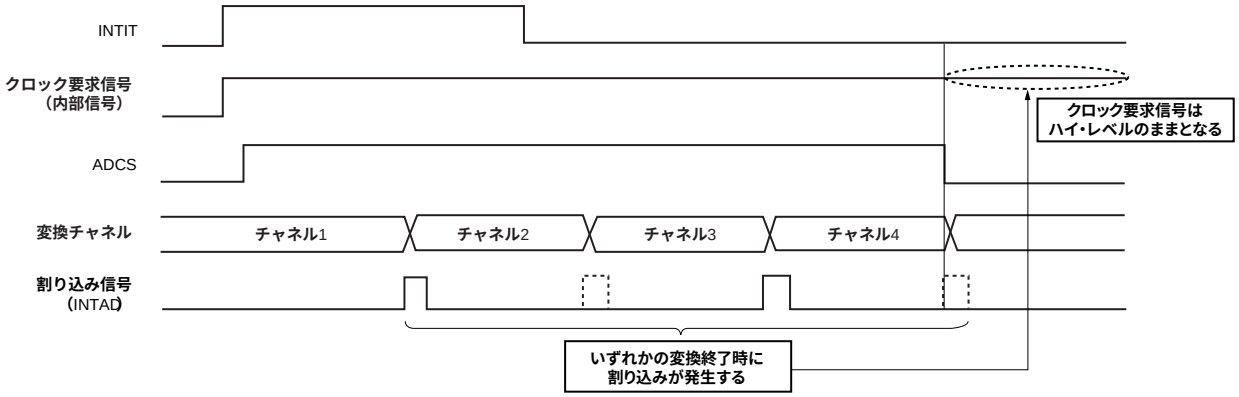
● セレクト・モード時

A/D変換が終了しA/D変換終了割り込み要求信号（INTAD）が発生後，クロック要求信号はハイ・レベルのままとなり，A/Dコンバータは SNOOZEモードから通常動作モードに移行します。SNOOZE
★ モード時に供給されるHOCOクロックを停止する場合は，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2（AWC）をクリア（0）してください。それにより，クロック要求信号（内部信号）はロウ・レベルとなり，HOCOクロックの供給は停止します。

● スキャン・モード時

4チャネル分のA/D変換で１回でもA/D変換終了割り込み要求信号（INTAD）が発生した場合，クロック要求信号はハイ・レベルのままとなり，A/Dコンバータは SNOOZEモードから通常動作モード
★ に移行します。SNOOZEモード時に供給されるHOCOクロックを停止する場合は，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2（AWC）をクリア（0）してください。それにより，クロック要求信号（内部信号）はロウ・レベルとなり，HOCOクロックの供給は停止します。

図10－33　A/D変換終了後に割り込みが発生する場合の動作例（スキャン・モード時）



（2）A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能（ADCRKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲外の場合，A/D変換終了割り込み要求信号（INTAD）は発生しません。

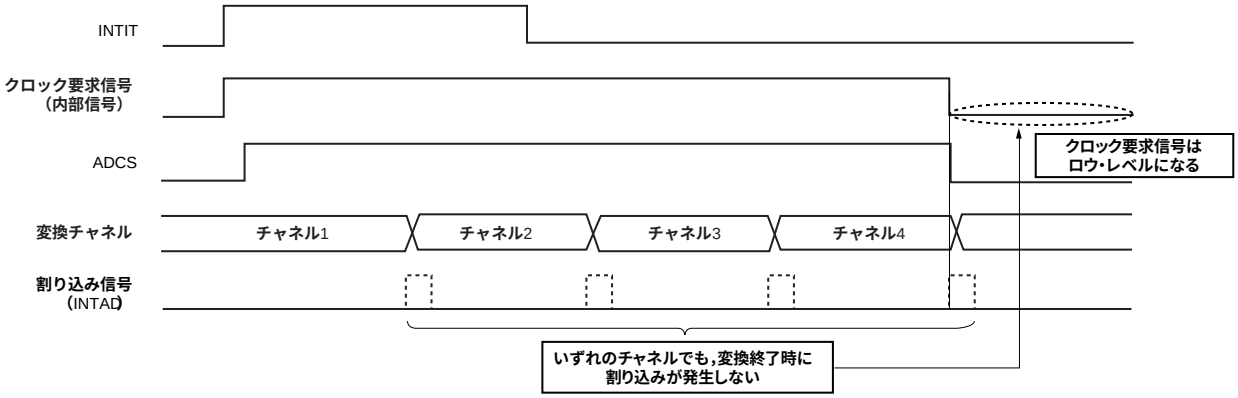
● セレクト・モード時

★ A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，A/D変換終了後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，HOCOクロックの供給は停止されます。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

● スキャン・モード時

★ 4チャネル分のA/D変換で1回もA/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，4チャネル分のA/D変換が終了した後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，HOCOクロックの供給は停止されます。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

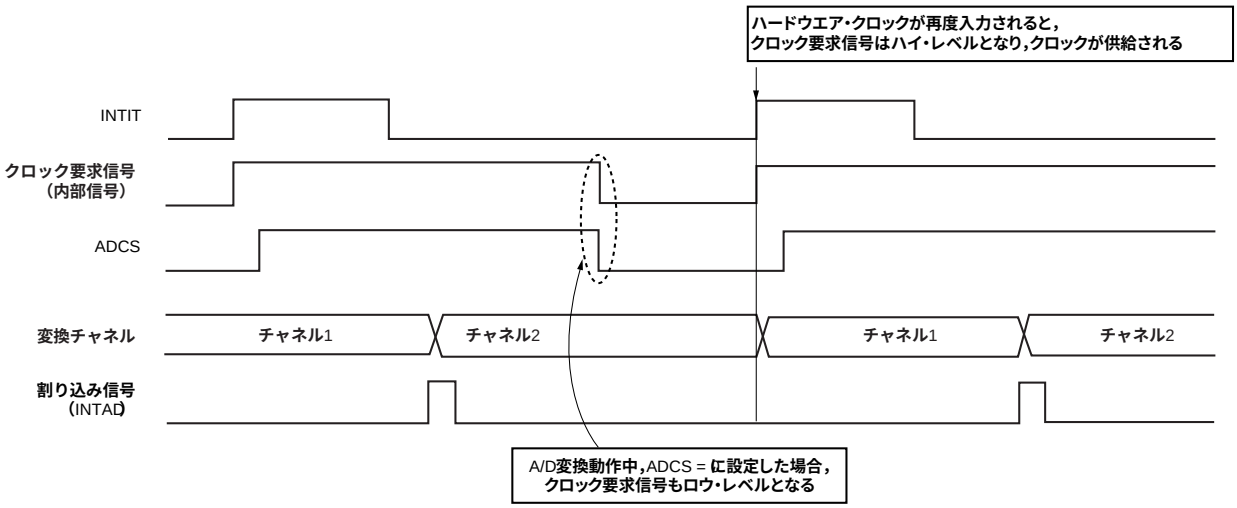
図10－34　A/D変換終了後に割り込みが発生しない場合の動作例（スキャン・モード時）



（3）A/D変換中断時／再開時の動作

★ A/D変換動作途中で変換が中断（A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）をクリア（0））された場合，クロック要求信号（内部信号）はロウ・レベルになり，HOCOクロックの供給は停止します。ハードウエア・トリガが再度入力されることにより，クロック要求信号はハイ・レベルになり，HOCOクロックの供給が再開され，SNOOZEモードでのA/D変換が開始します。

図10－35　A/D変換中断／再開時の動作例（スキャン・モード時）



10. 8　A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分 解 能

識別可能な最小アナログ入力電圧，つまり，デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB（Least Significant Bit）といいます。1 LSBのフルスケールに対する比率を%FSR（Full Scale Range）で表します。

分解能10ビットのとき

$$1\ \text{LSB} = 1/2^{10} = 1/1024$$
$$= 0.098\ \%\text{FSR}$$

精度は分解能とは関係なく，総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき，必然的に生じる±1/2 LSBの誤差です。A/Dコンバータでは，±1/2 LSBの範囲にあるアナログ入力電圧は，同じデジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

図10－36　総合誤差

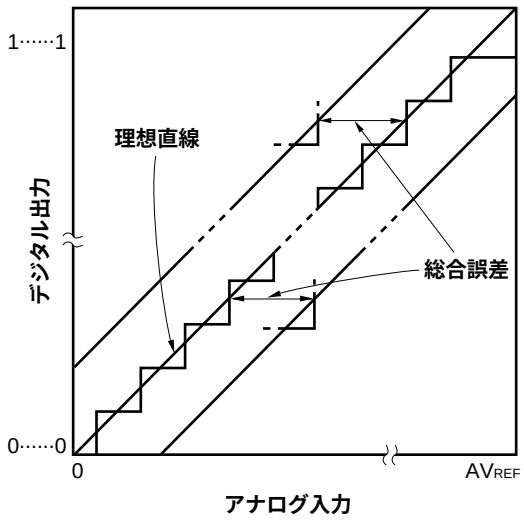
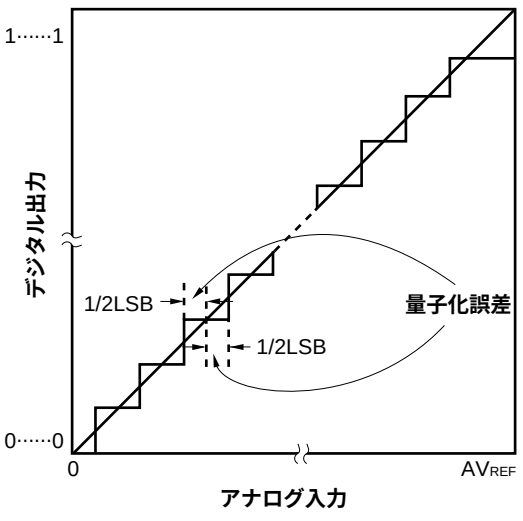


図10－37　量子化誤差



(4) ゼロスケール誤差

デジタル出力が0……000から0……001に変化するときの，アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。実測値が理論値よりも大きい場合は，デジタル出力が0……001から0……010に変化するときの，アナログ入力電圧の実測値と理論値（3/2 LSB）との差を表します。

(5) フルスケール誤差

デジタル出力が1……110から1……111に変化するときの，アナログ入力電圧の実測値と理論値（フルスケール－3/2 LSB）との差を表します。

(6) 積分直線性誤差

変換特性が，理想的な直線関係から外れている程度を表します。ゼロスケール誤差，フルスケール誤差を0としたときの，実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが，あるコードを出力する幅の実測値と理想値との差を表します。

図10－38　ゼロスケール誤差

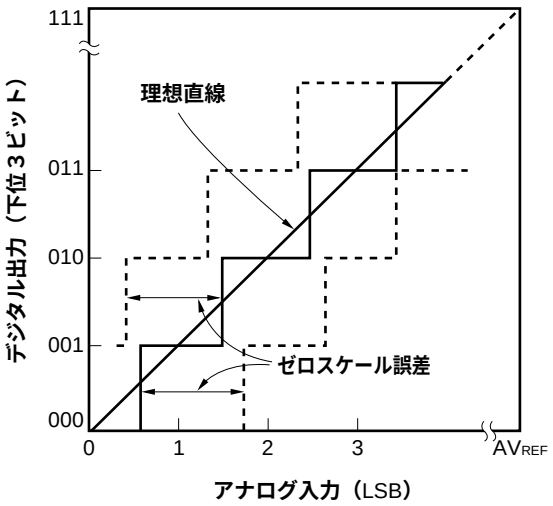


図10－39　フルスケール誤差

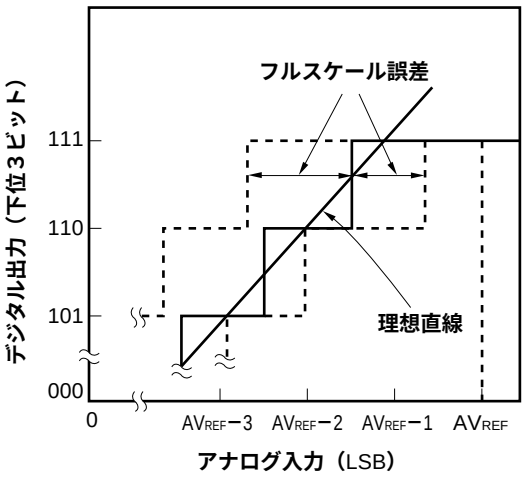


図10－40 積分直線性誤差

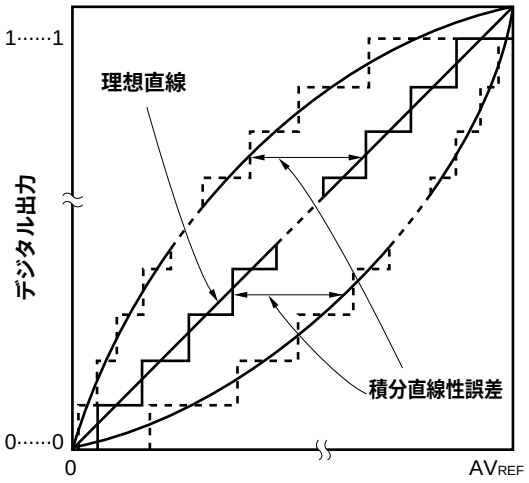
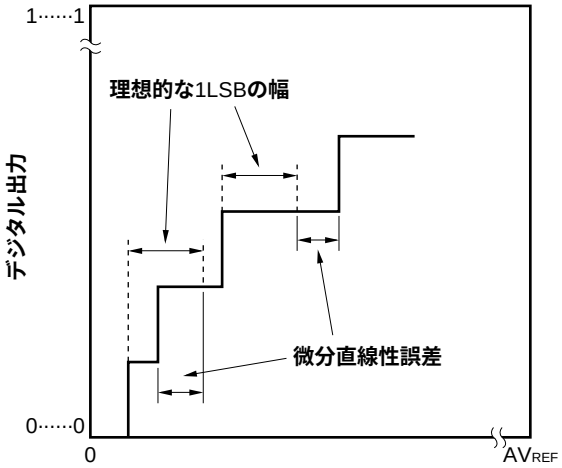


図10－41 微分直線性誤差



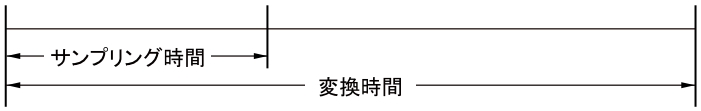
(8) 変換時間

サンプリングを開始してから，デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル＆ホールド回路に取り込むため，アナログ・スイッチがオンしている時間です。



第11章　シリアル・アレイ・ユニット

シリアル・アレイ・ユニット0は1つのユニットに2つのシリアル・チャネルを持ちます。各チャネルは3線シリアル（CSI），UART，簡易I^2Cの通信機能を実現できます。

RL78/G12で対応している各チャネルの機能割り当ては，次のようになっています。

20, 24ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^2Cとして使用
0	0	CSI00	UART0	IIC00注
	1	CSI01注		IIC01注

★ 30ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^2Cとして使用
0	0	CSI00	UART0	IIC00注
	1	−		−
	2	−	UART1注	−
	3	CSI11注		IIC11注
1	0	CSI20注	UART2（LIN-bus対応）注	IIC20注
	1	−		−

注　データ・フラッシュ搭載品のみ

11. 1　シリアル・アレイ・ユニットの機能

RL78/G12で対応している各シリアル・インタフェースの特徴を示します。

11. 1. 1　3線シリアルI/O（CSI00, CSI01）

マスタから出力されるシリアル・クロック（$\overline{SCK}$）に同期してデータの送信／受信を行います。

シリアル・クロック（$\overline{SCK}$）1本と送信，受信のシリアル・データ（SO, SI）2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択
- 送受信データのレベル設定

[クロック制御]

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケーラとチャネル内カウンタによる転送周期の設定
- 最大転送レート　マスタ通信時：Max. $f_{CLK}/2$，スレーブ通信時：Max. $f_{CLK}/6$注

[割り込み機能]

・転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]

・オーバラン・エラー

また，CSI00（ユニット0のチャネル0）は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態で$\overline{\text{SCK00}}$端子入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。非同期受信動作に対応している，CSI00のみ設定可能です。

注　ただし，$\overline{\text{SCK}}$サイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください（第28章　電気的特性（ターゲット）参照）

11. 1. 2　UART（UART0）

シリアル・データ送信（TxD）とシリアル・データ受信（RxD）の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して）データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の2チャネルを使用することで，全2重UART通信が実現できます。

[データ送受信]

・7, 8, 9ビットのデータ長

・MSB/LSBファーストの選択

・送受信データのレベル設定，反転の選択

・パリティ・ビット付加，パリティ・チェック機能

・ストップ・ビット付加

[割り込み機能]

・転送完了割り込み／バッファ空き割り込み

・フレーミング・エラー，パリティ・エラー，オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

・フレーミング・エラー，パリティ・エラー，オーバラン・エラー

UART0受信（ユニット0のチャネル1）は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でRxD0端子入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。

11. 1. 3　簡易I^{2}C（IIC00, IIC01）

シリアル・クロック（SCL）とシリアル・データ（SDA）の2本のラインによる，複数デバイスとのクロック同期式通信機能です。この簡易I^{2}Cでは，EEPROM, フラッシュ・メモリ，A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので，マスタとしてのみ機能します。

スタート・コンディション，ストップ・コンディションは，制御レジスタの操作とともに，ACスペックを守るようにソフトウエアで処理してください。

[データ送受信]

- マスタ送信，マスタ受信（シングル・マスタでのマスタ機能のみ）
- ACK出力機能[注]，ACK検出機能
- 8ビットのデータ長
  （アドレス送信時は，上位7ビットでアドレス指定し，最下位1ビットでR/W制御）
- スタート・コンディション，ストップ・コンディション手動発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- パリティ・エラー（ACKエラー）

※ [簡易I^{2}Cでサポートしていない機能]

- スレーブ送信，スレーブ受信
- アービトレーション負け検出機能
- ウエイト検出機能

注　最終データの受信時は，SOE0nビット（シリアル出力許可レジスタ0（SOE0））ビットに0を書き込み，シリアル通信のデータ出力を停止することによりACKを出力しません。

備考　フル機能のI^{2}Cバスをご使用の場合は，第12章　シリアル・インタフェースIICAを参照してください。

11. 2　シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは，次のハードウエアで構成されています。

★ 表11－1　シリアル・アレイ・ユニットの構成

項　　目	構　　成
シフト・レジスタ	8ビットまたは9ビット注1
バッファ・レジスタ	シリアル・データ・レジスタmn（SDRmn）の下位8ビットまたは9ビット注1, 2
シリアル・クロック入出力	$\overline{SCK00}$, $\overline{SCK01}$, $\overline{SCK11}$, $\overline{SCK20}$端子（3線シリアルI/O用），SCL00, SCL01, SCL11, SCL20端子（簡易I^2C用）
シリアル・データ入力	SI00, SI01, SI11, SI20端子（3線シリアルI/O用），RxD0, RxD1端子（UART用），RxD2端子（LIN-bus対応UART用）
シリアル・データ出力	SO00, SO01, SO11, SO20端子（3線シリアルI/O用），TxD0, TxD1端子（UART用），出力制御回路
シリアル・データ入出力	SDA00, SDA01, SDA11, SDA20端子（簡易I^2C用）
制御レジスタ	＜ユニット設定部のレジスタ＞ ・周辺イネーブル・レジスタ0（PER0） ・シリアル・クロック選択レジスタ0（SPSm） ・シリアル・チャネル許可レジスタ0（SEm） ・シリアル・チャネル開始レジスタ0（SSm） ・シリアル・チャネル停止レジスタ0（STm） ・シリアル出力許可レジスタ0（SOEm） ・シリアル出力レジスタ0（SOm） ・シリアル出力レベル・レジスタ0（SOLm） ・シリアル・スタンバイ・コントロール・レジスタ0（SSC0） ・入力切り替え制御レジスタ（ISC） ・ノイズ・フィルタ許可レジスタ0（NFEN0）
	＜各チャネル部のレジスタ＞ ・シリアル・データ・レジスタmn（SDRmn） ・シリアル・モード・レジスタmn（SMRmn） ・シリアル通信動作設定レジスタ0n（SCR0n） ・シリアル・ステータス・レジスタmn（SSRmn） ・シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）
	・ポート入力モード・レジスタ0, 1（PIM0, PIM1） ・ポート出力モード・レジスタ1, 4, 5（POM1, POM4, POM5） ・ポート・モード・レジスタ0, 1, 3-6（PM0, PM1, PM3-PM6） ・ポート・レジスタ0, 1, 3-6（P0, P1, P3-P6）

注1. シフト・レジスタ，バッファ・レジスタとして使用されるビット数は，ユニット，チャネルによって異なります。

mn = 00, 01：下位9ビット，mn = 02, 03, 10, 11：下位8ビット

2. シリアル・データ・レジスタ0n（SDR0n）の下位8ビットは，通信方式により，次のSFR名称でリード／ライト可能です。

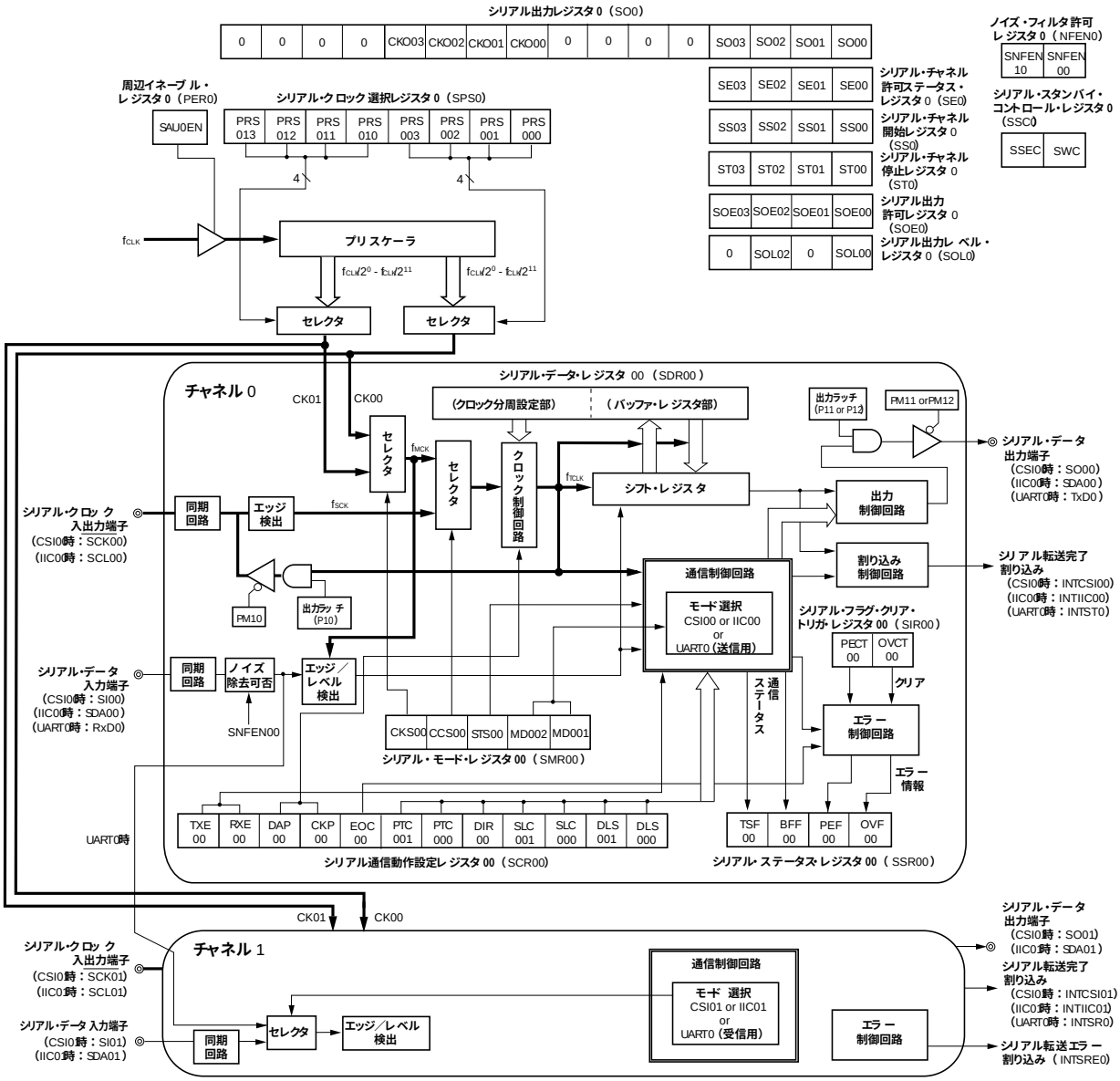
・CSIp通信時・・・SIOp（CSIpデータ・レジスタ）
・UARTq受信時・・・RXDq（UARTq受信データ・レジスタ）
・UARTq送信時・・・TXDq（UARTq送信データ・レジスタ）

・IICr通信時・・・SIOr（IICrデータ・レジスタ）

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00, 01, 11, 20）
q：UART番号（q = 0-2）　r：IIC番号（r = 00, 01, 11, 20）

図11－1，図11－2にシリアル・アレイ・ユニット0のブロック図を示します。

図11－1　シリアル・アレイ・ユニット0のブロック図（20, 24ピン製品）



★ **図11－2　シリアル・アレイ・ユニット0のブロック図（30ピン製品）**

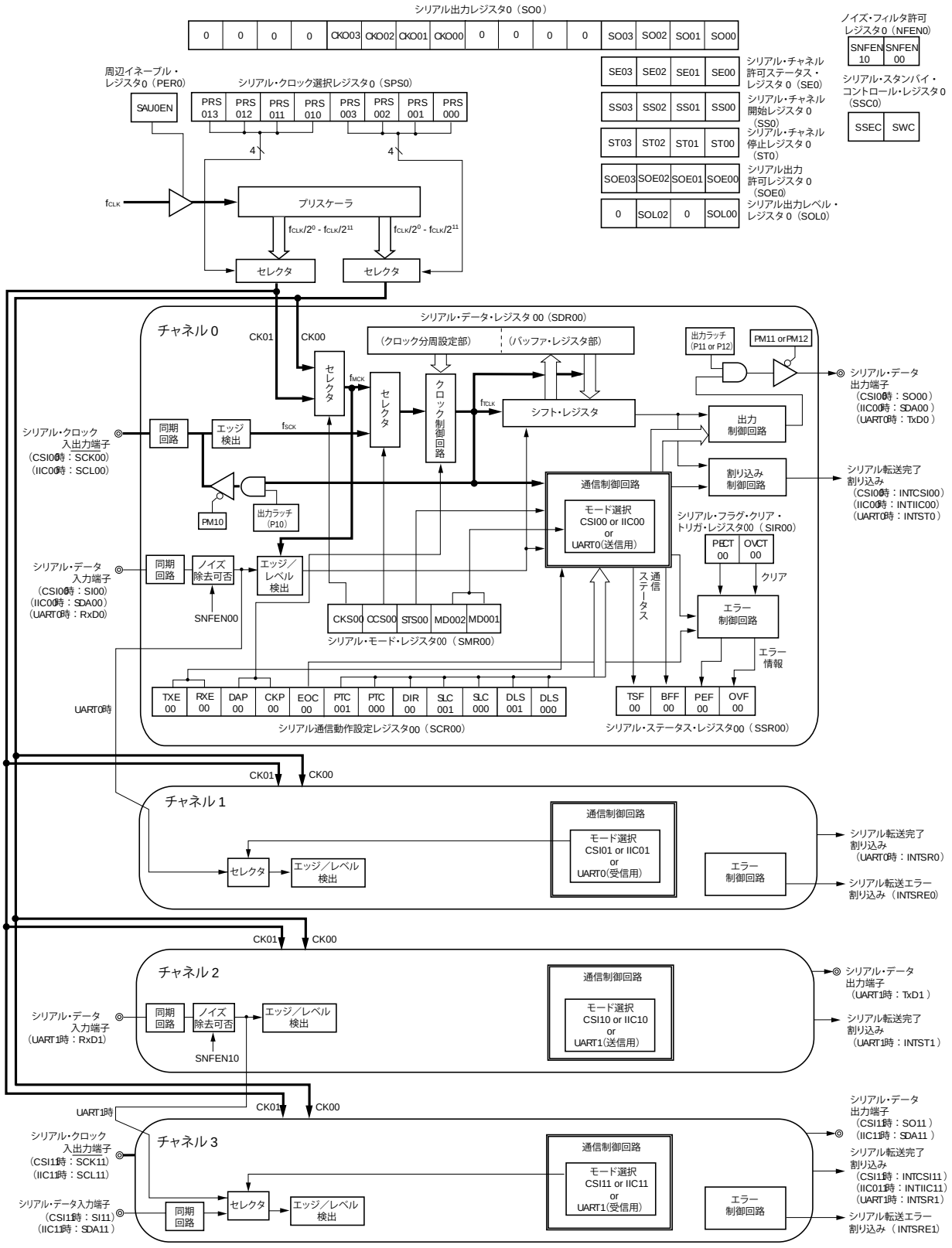
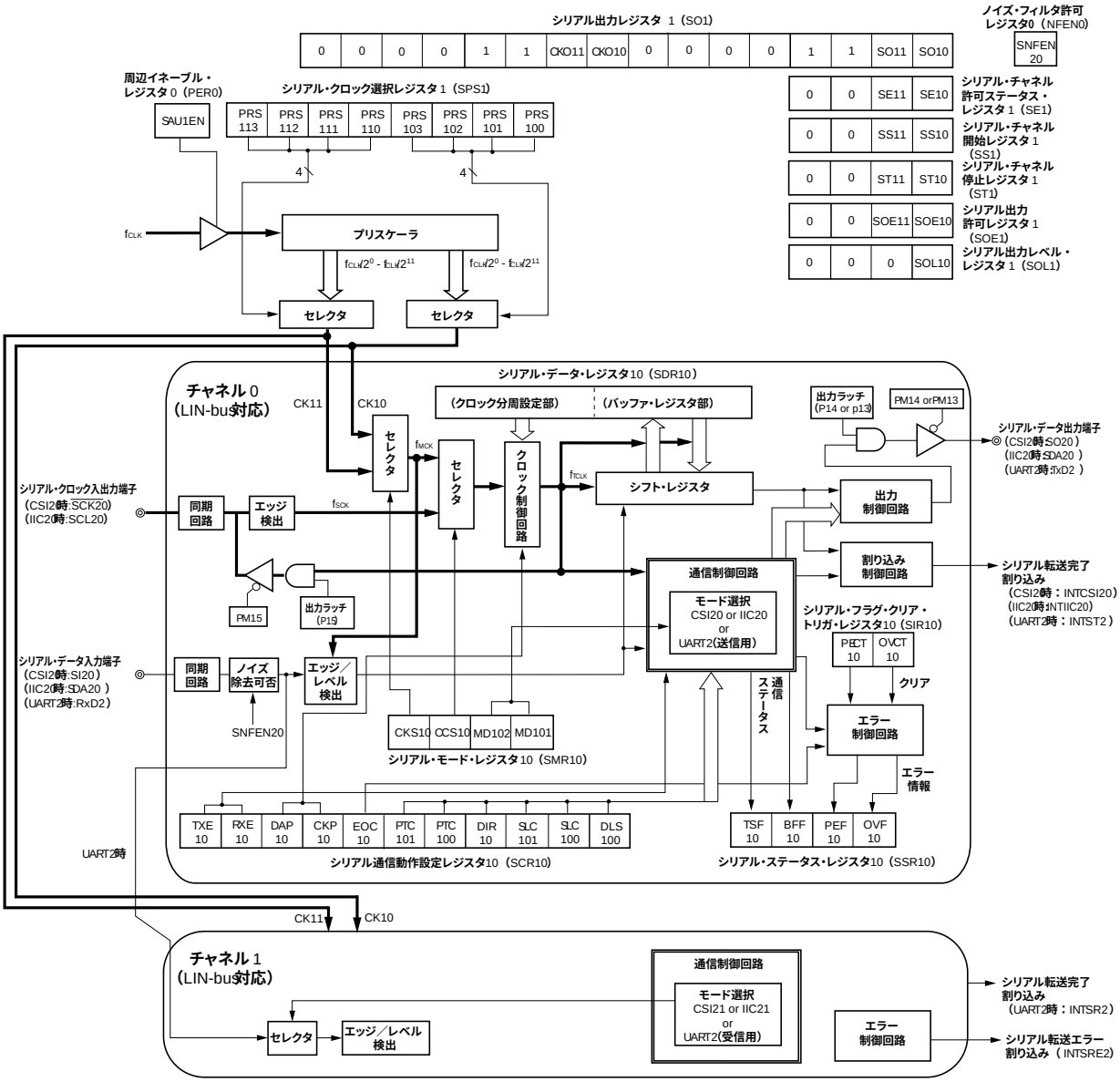


図11－3にシリアル・アレイ・ユニット1のブロック図を示します。

★ **図11－3　シリアル・アレイ・ユニット1のブロック図（30ピン製品）**



シリアル・アレイ・ユニット1を搭載しているのは，30ピン製品のデータ・フラッシュ搭載品だけです。

(1) シフト・レジスタ

パラレル⇔シリアルの変換を行う8ビットのレジスタです。

UART0**による9ビット・データ長での**UART**通信時は，9ビット（ビット**0**～**8**）を使用します。**

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード／ライトするには，シリアル・データ・レジスタmn（SDRmn）**の下位8/9ビットを使用します。**

	8	7	6	5	4	3	2	1	0
シフト・レジスタ									

(2) シリアル・データ・レジスタmn（SDRmn）**の下位9ビット**

SDRmn**レジスタは，チャネル**n**の送受信データ・レジスタ（16ビット）です。**

★ SDR00, SDR01**のビット**8-0**（下位9ビット），または**SDR02, SDR03, SDR10, SDR11**のビット**7-0**（下位8ビット）は，送受信バッファ・レジスタとして機能し，ビット**15-9**の部分は動作クロック（**f_{MCK}**）の分周設定レジスタとして使われます。**

受信時には，シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納します。送信時は，シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

下位8/9ビットに格納するデータは，データ出力順序に関わらず，シリアル通信動作設定レジスタmn（SCRmn）**のビット**0, 1（DLSmn0, DLS0m1）**の設定によって，次のようになります。**

- **9ビット・データ長（**SDRmn（mn = 00, 01）**レジスタのビット**0-8**に格納）（**UART0**モード時のみ設定可）**
- **7ビット・データ長（**SDRmn**レジスタのビット**0-6**に格納）**
- **8ビット・データ長（**SDRmn**レジスタのビット**0-7**に格納）**

SDRmn**レジスタは**16**ビット単位でリード／ライト可能です。**

またSDRmnレジスタの下位8/9ビットは，通信方式により，次のSFR**名称で8ビット単位で**リード／ライト**可能です。ただし動作停止（**SEmn = 0）**時は，8ビット単位のライト禁止です。**

- CSIp**通信時・・・**SIOp（CSIp**データ・レジスタ）**
- UARTq**受信時・・・**RXDq（UARTq**受信データ・レジスタ）**
- UARTq**送信時・・・**TXDq（UARTq**送信データ・レジスタ）**
- IICr**通信時・・・**SIOr（IICr**データ・レジスタ）**

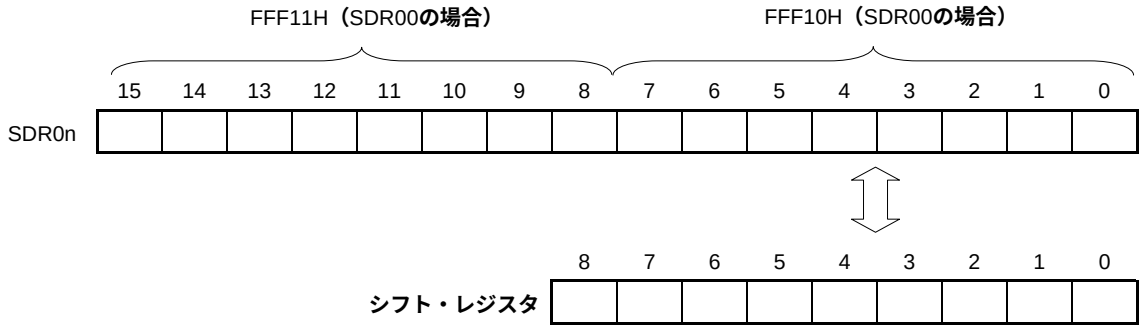
リセット信号の発生により，SDRmn**レジスタは**0000H**になります。**

備考1. **受信完了後，ビット**0-8**内でデータ長を越える部分のビットには，“**0**”が格納されます。**

2. m**：ユニット番号（**m = 0, 1**）** n**：チャネル番号（**n = 0-3**）** p**：**CSI**番号（**p = 00, 01, 11, 20**）**
q**：**UART**番号（**q = 0-2**）** r**：**IIC**番号（**r = 00, 01, 11, 20**）**

図11－4　シリアル・データ・レジスタmn（SDRmn）（mn = 00, 01）のフォーマット

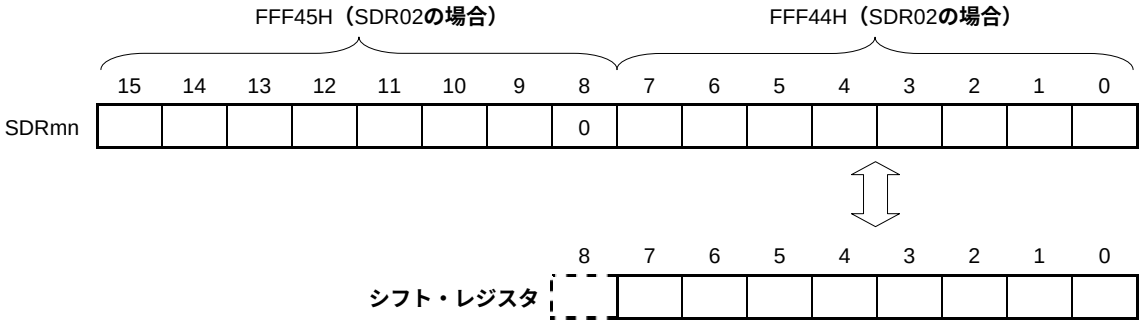
アドレス：FFF10H, FFF11H（SDR00）, FFF12H, FFF13H（SDR01）　**リセット時：**0000H　R/W



備考　SDRmnレジスタの上位7ビットの機能については，11. 3　**シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

★　**図11－5　シリアル・データ・レジスタmn（SDRmn）（mn = 02, 03, 10, 11）のフォーマット**

アドレス：FFF44H, FFF45H（SDR02）, FFF46H, FFF47H（SDR03）,　**リセット時：**0000H　R/W
FFF48H, FFF49H（SDR10）, FFF4AH, FFF4BH（SDR11）



注意　ビット8は，必ず0を設定してください。

備考　SDRmnレジスタの上位7ビットの機能については，11. 3　**シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

11. 3　シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0（PER0）
- シリアル・クロック選択レジスタm（SPSm）
- シリアル・モード・レジスタmn（SMRmn）
- シリアル通信動作設定レジスタmn（SCRmn）
- シリアル・データ・レジスタmn（SDR0m）
- シリアル・フラグ・クリア・トリガ・レジスタmn（SIR0n）
- シリアル・ステータス・レジスm0n（SSRmn）
- シリアル・チャネル開始レジスタm（SSm）
- シリアル・チャネル停止レジスタm（STm）
- シリアル・チャネル許可ステータス・レジスタm（SEm）
- シリアル出力許可レジスタm（SOEm）
- シリアル出力レベル・レジスタm（SOLm）
- シリアル出力レジスタm（SOm）
- シリアル・スタンバイ・コントロール・レジスタ0（SSC0）
- 入力切り替え制御レジスタ（ISC）
- ノイズ・フィルタ許可レジスタ0（NFEN0）
- ポート入力モード・レジスタ0, 1（PIM0, PIM1）
- ポート出力モード・レジスタ0, 1, 4, 5（POM0, POM1, POM4, POM5）
- ポート・モード・レジスタ0, 1, 3-6（PM0, PM1, PM3-PM6）
- ポート・レジスタ0, 1, 3-6（P0, P1, P3-P6）

★　**備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

(1) 周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは，必ずビット2（SAU0EN）に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは，必ずビット3（SAU1EN）に1を設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER0レジスタは00Hになります。

図11－6　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
★ PER0	TMKAE	0	ADCEN	IICA0EN	SAU1EN[注]	SAU0EN	0	TAU0EN

★

SAU1EN	シリアル・アレイ・ユニット1の入力クロック供給の制御
0	入力クロック供給停止（20, 24ピン製品では0に固定） ・シリアル・アレイ・ユニット1で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット1はリセット状態
1	入力クロック供給許可 ・シリアル・アレイ・ユニット1で使用するSFRへのリード／ライト可

SAU0EN	シリアル・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入力クロック供給許可 ・シリアル・アレイ・ユニット0で使用するSFRへのリード／ライト可

★ **注**　20，24ピン製品では，SAU1ENビットには，必ず“0”を設定してください。

注意1. シリアル・アレイ・ユニットmの設定をする際には，必ず最初にSAU m EN = 1の設定を行ってください。SAUm EN = 0の場合は，シリアル・アレイ・ユニット0の制御レジスタへの書き込みは無視され，読み出しても値はすべて初期値となります（入力切り替え制御レジスタ（ISC），ノイズ・フィルタ許可レジスタ0（NFEN0），シリアル・スタンバイ・コントロール・レジスタ0（SSC0），ポート入力モード・レジスタx（PIMx），ポート出力モード・レジスタx（POMx），ポート・モード・レジスタxx（PM xx），ポート・レジスタxx（P xx）は除く）。

2. SAUm ENを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm（SPSm）を設定してください。

3. 未定義のビットには必ず“0”を設定してください。

(2) シリアル・クロック選択レジスタm（SPSm）

SPSmレジスタは，各チャネルに共通して供給される2種類の動作クロック（CKm0, CKm1）を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を，ビット3-0でCKm0を選択します。

SPSmレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは，SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SPSmレジスタは0000Hになります。

図11－7 シリアル・クロック選択レジスタm（SPSm）のフォーマット

★ **アドレス：**F0126H, F0127H（SPS0）, F0166H, F0167H（SPS1） **リセット時：**0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック（CK mk）の選択[注]				
					f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz
0	0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz
0	0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	$f_{CLK}/2^4$	125 kHz	313 kHz	625 kHz	1.25 MHz
0	1	0	1	$f_{CLK}/2^5$	62.5 kHz	156 kHz	313 kHz	625 kHz
0	1	1	0	$f_{CLK}/2^6$	31.3 kHz	78.1 kHz	156 kHz	313 kHz
0	1	1	1	$f_{CLK}/2^7$	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz
1	0	0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz
1	0	0	1	$f_{CLK}/2^9$	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz
1	0	1	1	$f_{CLK}/2^{11}$	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz
上記以外				設定禁止				

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm） = 000FH）させてから変更してください。

注意1. ビット15-8には，必ず0を設定してください。

2. PER0レジスタのビット2（SAU0EN），ビット3（SAU1EN）を“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考1. f_{CLK}：CPU／周辺ハードウエア・クロック周波数

★ 2. m：ユニット番号（m = 0, 1） k = 0, 1

(3) シリアル・モード・レジスタmn（SMRmn）

SMRmnレジスタは，チャネルnの動作モード設定レジスタです。動作クロック（f_{MCK}）の選択，シリアル・クロック（f_{SCK}）入力の使用可否，スタート・トリガ設定，動作モード（CSI, UART, I^2C）設定，割り込み要因の選択を行います。またUARTモード時のみ，受信データのレベル反転の設定を行います。

SMRmnレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。ただしMDmn0ビットは，動作中でも書き換えをすることができます。

SMRmnレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，SMRmnレジスタは0020Hになります。

図11－8 シリアル・モード・レジスタmn（SMRmn）のフォーマット（1/2）

★ アドレス：F0110H, F0111H（SMR00）-F0116H, F0117H（SMR03）, F0150H, F0151H（SMR10）, F0152H, F0153H（SMR11） リセット時：0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR m n	CKS mn	CCS mn	0	0	0	0	0	STS mn注	0	SIS mn0注	1	0	0	MD mn2	MD mn1	MD mn0

CKS mn	チャネルnの動作クロック（f_{MCK}）の選択
0	SPSmレジスタで設定した動作クロックCK00
1	SPSmレジスタで設定した動作クロックCK01
動作クロック（f_{MCK}）は，エッジ検出回路に使用されます。また，CCSmnビットとSDRmnレジスタの上位7ビットの設定により，転送クロック（f_{TCLK}）を生成します。	

CCS mn	チャネルnの転送クロック（f_{TCLK}）の選択
0	CKSmnビットで指定した動作クロックf_{MCK}の分周クロック
1	$\overline{\text{SCK}}$p端子からの入力クロックf_{SCK}（CSIモードのスレーブ転送）
転送クロックf_{TCLK}は，シフト・レジスタ，通信制御回路，出力制御回路，割り込み制御回路，エラー制御回路に使用されます。CCSmn = 0の場合は，SDRmnレジスタの上位7ビットで動作クロック（f_{MCK}）の分周設定を行います。	

STS mn注	スタート・トリガ要因の選択
0	ソフトウエア・トリガのみ有効（CSI, UART送信，簡易I^2C時に選択）
1	RxDq端子の有効エッジ（UART受信時に選択）
SSmレジスタに1を設定後，上記の要因が満たされてから転送開始となります。	

★ **注** SMR01, SMR03, SMR11レジスタのみ。

注意 未定義のビットには，必ず1を設定してください。

★ **備考** m：ユニット番号（m = 0, 1） n：チャネル番号（n = 0-3） p：CSI番号（p = 00, 01, 11, 20）
q：UART番号（q = 0-2）

図11－8 シリアル・モード・レジスタmn（SMRmn）のフォーマット（2/2）

★ **アドレス：**F0110H, F0111H（SMR00）-F0116H, F0117H（SMR03）, F0150H, F0151H（SMR10）, F0152H, F0153H（SMR11） **リセット時：**0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn注	0	SIS mn0注	1	0	0	MD mn2	MD mn1	MD mn0

SIS mn0注	UARTモードでのチャネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは，そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは，反転して取り込まれます。

MD mn2	MD mn1	チャネルnの動作モードの設定
0	0	CSIモード
0	1	UARTモード
1	0	簡易I^2Cモード
1	1	設定禁止

MD mn0	チャネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み （転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生）
連続送信時はMDmn0 = 1として，SDRmnデータが空になったら次送信データの書き込みを行う。	

★ **注** SMR01, SMR03, SMR11レジスタのみ。

注意 未定義のビットには，必ず1を設定してください。

★ **備考** m：ユニット番号（m = 0, 1） n：チャネル番号（n = 0-3）

（4）シリアル通信動作設定レジスタmn（SCRmn）

チャネルnの通信動作設定レジスタです。データ送受信モード，データとクロックの位相，エラー信号のマスク可否，パリティ・ビット，先頭ビット，ストップ・ビット，データ長などの設定を行います。

SCRmnレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。

SCRmnレジスタは，16ビット・メモリ操作命令で設定します。

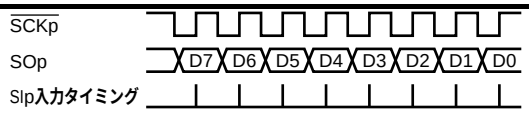
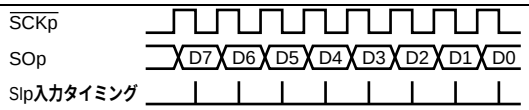
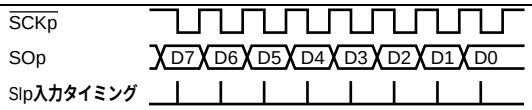
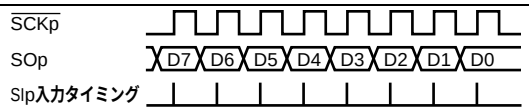
リセット信号の発生により，SCRmnレジスタは0087Hになります。

図11－9 シリアル通信動作設定レジスタmn（SCRmn）のフォーマット（1/2）

★ **アドレス：**F0118H, F0119H（SCR00）-F011EH, F011FH（SCR03）, **リセット時：**0087H R/W
F0158H, F0159H（SCR10）, F015AH, F015BH（SCR11）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0	DIRmn	0	SLCmn1[注1]	SLCmn0	0	1	DLSmn1[注2]	DLSmn0

TXEmn	RXEmn	チャネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAPmn	CKPmn	CSIモードでのデータとクロックの位相選択	タイプ
0	0		1
0	1		2
1	0		3
1	1		4
UARTモード，簡易I^2Cモード時には，必ずDAPmn, CKPmn = 0, 0に設定してください。			

EOCmn	エラー割り込み信号（INTSREx（x = 0-3））のマスク可否の選択
0	エラー割り込みINTSREXをマスクする（INTSRxはマスクされない）
1	エラー割り込みINTSREXの発生を許可する（エラー発生時にINTSRxはマスクされる）
CSIモード，簡易I^2Cモード，UART送信時には，EOCmn = 0に設定してください[注3]。 UART受信時には，EOCmn = 1に設定してください。	

★ **注**1. SCR00, SCR02, SCR10**レジスタのみ。**

★ 2. SCR00, SCR01**レジスタのみ。**

3. CSI01をEOC01 = 0**で使用しない場合，エラー割り込み**INTSRE0**が発生する場合があります。**

注意 必ず，ビット2**には**1**，その他の未定義のビットには** 0**を設定してください。**

★ **備考** m：**ユニット番号**（m = 0, 1） n：**チャネル番号**（n = 0-3） p：CSI**番号**（p = 00, 01, 11, 20）

図11－9 シリアル通信動作設定レジスタmn（SCRmn）のフォーマット（2/2）

★ **アドレス：**F0118H, F0119H（SCR00）-F011EH, F011FH（SCR03）, **リセット時：**0087H R/W
F0158H, F0159H（SCR10）, F015AH, F015BH（SCR11）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0	DIRmn	0	SLCmn1注1	SLCmn0	0	1	DLSmn1注2	DLSmn0

PTCmn1	PTCmn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力注3	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う
CSIモード，簡易I^2Cモード時には，必ずPTCmn1, PTCmn0 = 0, 0に設定してください。			

DIRmn	CSI, UARTモードでのデータ転送順序の選択
0	MSBファーストで入出力を行う
1	LSBファーストで入出力を行う
簡易I^2Cモード時には，必ずDIRmn = 0に設定してください。	

SLCmn1注1	SLCmn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット（mn = 00, 02, 10のみ）
1	1	設定禁止
転送完了割り込みを選択している場合は，全部のストップ・ビットが完了してから割り込みを発生します。 UART受信時，簡易I^2Cモード時には，1ビット（SLCmn1, SLCmn0 = 0, 1）に設定してください。 CSIモード時には，ストップ・ビットなし（SLCmn1, SLCmn0 = 0, 0）に設定してください。		

DLSmn1注2	DLSmn0	CSI, UARTモードでのデータ長の設定
0	1	9ビット・データ長（SDRmn（mn = 00, 01）レジスタのビット0-8に格納） （UART0モード時のみ選択可）
1	0	7ビット・データ長（SDRmnレジスタのビット0-6に格納）
1	1	8ビット・データ長（SDRmnレジスタのビット0-7に格納）
その他		設定禁止
簡易I^2Cモード時には，必ずDLSmn0 = 1に設定してください。		

★ **注**1. SCR00, SCR02, SCR10レジスタのみ。

★ 2. SCR00, SCR01レジスタのみ。

3. データの内容にかかわらず必ず0が付加されます。

注意 必ず，ビット2には1，その他の未定義のビットには 0を設定してください。

★ **備考** m：ユニット番号（m = 0, 1） n：チャネル番号（n = 0-3）

(5) シリアル・データ・レジスタmn（SDRmn）の上位7ビット

SDRmnレジスタは，チャネルnの送受信データ・レジスタ（16ビット）です。SDR00, SDR01のビット8-0（下位9ビット），またはSDR02, SDR03, SDR10, SDR11のビット7-0（下位8ビット）は，送受信バッファ・レジスタとして機能し，ビット15-9の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

シリアル・モード・レジスタmn（SMRmn）でCCSmnビットを0に設定した場合は，動作クロックをこのSDRmnレジスタの上位7ビットで分周設定したクロックが，転送クロックとして使用されます。

SDRmnレジスタの下位8/9ビットは，送受信バッファ・レジスタとして機能します。受信時には，シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納し，送信時には，シフト・レジスタに転送する送信データを下位8/9ビット設定します。

SDRmnレジスタは16ビット単位でリード／ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態（SEmn = 0）のときのみ有効です。動作中（SEmn = 1）にSDRmnレジスタに書き込みを行ったときは，下位9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行ったときは，常に0が読み出されます。

リセット信号の発生により，SDRmnレジスタは0000Hになります。

図11－10　シリアル・データ・レジスタmn（SDRmn）のフォーマット

アドレス：FFF10H, FFF11H（SDR00）, FFF12H, FFF13H（SDR01）　**リセット時：**0000H　R/W

FFF11H（SDR00の場合）　FFF10H（SDR00の場合）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR0n																

★ **アドレス：**FFF44H, FFF45H（SDR02）, FFF46H, FFF47H（SDR03）　**リセット時：**0000H　R/W

FFF48H, FFF49H（SDR10）, FFF4AH, FFF4BH（SDR11）

FFF44H（SDR02の場合）　FFF45H（SDR02の場合）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn								0								

★

SDRmn[15:9]							動作クロック（f_{MCK}）の分周による転送クロック設定
0	0	0	0	0	0	0	$f_{MCK}/2$
0	0	0	0	0	0	1	$f_{MCK}/4$
0	0	0	0	0	1	0	$f_{MCK}/6$
0	0	0	0	0	1	1	$f_{MCK}/8$
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
1	1	1	1	1	1	0	$f_{MCK}/254$
1	1	1	1	1	1	1	$f_{MCK}/256$

★ **注意**1. SDR02, SDR03, SDR10, SDR11レジスタのビット8は，必ず0を設定してください。

★ 2. UART使用時は，SDRmn[15:9] =（0000000B, 0000001B）は設定禁止です。

3. 簡易I^2C使用時は，SDRmn[15:9] = 0000000Bは設定禁止です。SDR0n[15:9] = 0000001B以上に設定してください。

4. 動作停止状態（SEmn = 0）のときに，下位8ビットへ8ビット書き込みは行わないでください（上位7ビットが0にクリアされます）。

備考1.　SDRmn**レジスタの下位**8/9**ビットの機能については，**11. 2　**シリアル・アレイ・ユニットの構成を参照してください。**

★　2.　m：**ユニット番号**（m = 0, 1）　n：**チャネル番号**（n = 0-3）

（6**）シリアル・フラグ・クリア・トリガ・レジスタ**mn（SIRmn）

チャネルn**の各エラー・フラグをクリアするためのトリガ・レジスタです。**

各ビット（FECTmn, PECTmn, OVCTmn）**を**1**にセットすると，シリアル・ステータス・レジスタ**0n（SSRmn）**の対応ビット**（FEFmn, PEFmn, OVFmn）**が**0**にクリアされます。**SIRmn**レジスタはトリガ・レジスタなので，**SSRmn**レジスタの対応ビットをクリアするとすぐ**SIRmn**レジスタもクリアされます。**

SIRmn**レジスタは，**16**ビット・メモリ操作命令で設定します。**

またSIRmn**レジスタの下位**8**ビットは，**SIRmnL**で**8**ビット・メモリ操作命令で設定できます。**

リセット信号の発生により，SIRmn**レジスタは**0000H**になります。**

図11－11　**シリアル・フラグ・クリア・トリガ・レジスタ**mn（SIRmn）**のフォーマット**

アドレス：F0108H, F0109H（SIR00）, F0110AH, F010BH（SIR01）,　**リセット時：**0000H　R/W

★　F0148H, F0149H（SIR10）, F014AH, F014BH（SIR11）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FECTmn[注]	PECTmn	OVCTmn

FECTmn	**チャネル**n**のフレーミング・エラー・フラグのクリア・トリガ**
0	**クリアしない**
1	SSRmn**レジスタの**FEFmn**ビットを**0**にクリアする**

PECTmn	**チャネル**n**のパリティ・エラー・フラグのクリア・トリガ**
0	**クリアしない**
1	SSRmn**レジスタの**PEFmn**ビットを**0**にクリアする**

OVCTmn	**チャネル**n**のオーバーラン・エラー・フラグのクリア・トリガ**
0	**クリアしない**
1	SSRmn**レジスタの**OVFmn**ビットを**0**にクリアする**

★　**注**　SIR01, SIR03, SIR11**レジスタのみ。**

注意　未定義のビットには，必ず0**を設定してください。**

★　**備考**1.　m：**ユニット番号**（m = 0, 1）　n：**チャネル番号**（n = 0-3）

2.　SIRmn**レジスタの読み出し値は常に**0000H**となります。**

（7）シリアル・ステータス・レジスタmn（SSRmn）

SSRmnレジスタは，チャネルnの通信ステータス，エラー発生状況を表示するレジスタです。表示するエラーは，フレーミング・エラー，パリティ・エラー，オーバラン・エラーです。

SSRmnレジスタは，16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは，SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，SSRmnレジスタは0000Hになります。

図11－12　シリアル・ステータス・レジスタmn（SSRmn）のフォーマット（1/2）

★ **アドレス：**F0100H, F0101H（SSR00）, F0102H, F0103H（SSR01）,　**リセット時：**0000H　R
F0140H, F0141H（SSR10）, F0142H, F0143H（SSR11）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSFmn	BFFmn	0	0	FEFmn注	PEFmn	OVFmn

TSFmn	チャネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
＜クリア条件＞ ・STmレジスタのSTmnビットに1を設定時（通信停止状態），もしくはSSmレジスタのSSmnビットに1を設定時（通信待機状態） ・通信動作が終了時 ＜セット条件＞ ・通信動作を開始時	

BFFmn	チャネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
＜クリア条件＞ ・送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき ・受信時においてSDRmnレジスタから受信データの読み出しが終了したとき ・STmレジスタのSTmnビットに1を設定時（通信停止状態），SSmレジスタのSSmnビットに1を設定時（通信許可状態）。 ＜セット条件＞ ・SCRmnレジスタのTXEmnビット = 1（各通信モードでの送信，送受信モード時）の状態でSDRmnレジスタに送信データを書き込んだとき ・SCRmnレジスタのRXEmnビット = 1（各通信モードでの受信，送受信モード時）の状態でSDRmnレジスタに受信データが格納されたとき ・受信エラー時	

★ **注**　SSR01, SSR03, SSR11レジスタのみ。

注意　BFFmn = 1のときにSDRmnレジスタに書き込みをすると，格納されている送信／受信データが破壊され，オーバラン・エラー（OVEmn = 1）と検出されます。

★ **備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

図11－12 シリアル・ステータス・レジスタmn（SSRmn）のフォーマット（2/2）

アドレス：F0100H, F0101H（SSR00）, F0102H, F0103H（SSR01）, **リセット時：**0000H R

★ F0140H, F0141H（SSR10）, F0142H, F0143H（SSR11）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn[注]	PEF mn	OVF mn

FEF mn[注]	チャネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生（UART受信時）

＜クリア条件＞
・SIRmnレジスタのFECTmnビットに1を書き込んだとき
＜セット条件＞
・UART受信完了時に，ストップ・ビットが検出されないとき

PEF mn	チャネルnのパリティ・エラー検出フラグ
0	エラーなし
1	エラー発生（UART受信時），またはACK未検出発生（I^2C送信時）

＜クリア条件＞
・SIRmnレジスタのPECTmnビットに1を書き込んだとき
＜セット条件＞
・UART受信完了時に，送信データのパリティとパリティ・ビットが一致しないとき（パリティ・エラー）
・I^2C送信時に，ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき（ACK未検出）

OVF mn	チャネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生

＜クリア条件＞
・SIRmnレジスタのOVCTmnビットに1を書き込んだとき
＜セット条件＞
・SCRmnレジスタのRXEmnビット = 1（各通信モードでの受信，送受信モード時）の状態で，受信データがSDRmnレジスタに格納されているのに，読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき
・CSIモードのスレーブ送信／送受信で，送信データが準備できていないとき

★ **注** SSR01, SSR03, SSR11レジスタのみ。

★ **備考** m：ユニット番号（m = 0, 1） n：チャネル番号（n = 0-3）

(8) シリアル・チャネル開始レジスタm（SSm）

SSmレジスタは，通信／カウント開始の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（SSmn）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタm（SEm）の対応ビット（SEmn）が1にセット（動作許可状態）されます。SSmnビットはトリガ・ビットなので，SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは，16ビット・メモリ操作命令で設定します。

またSSmレジスタの下位8ビットは，SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SSmレジスタは0000Hになります。

図11－13　シリアル・チャネル開始レジスタm（SSm）のフォーマット

アドレス：F0122H, F0123H（SS0）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	SS03	SS02	SS01	SS00

★ アドレス：F0162H, F0163H（SS1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS11	SS10

SSmn	チャネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットに1をセットし，通信待機状態に遷移する[注]

注　すでに通信動作中の場合は，通信動作を停止してください。

注意　未定義のビットには，必ず0を設定してください。

★ **備考**1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

2.　SSmレジスタの読み出し値は常に0000Hとなります。

(9) シリアル・チャネル停止レジスタm（STm）

STmレジスタは，通信／カウント停止の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（STmn）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタm（SEm）の対応ビット（SEmn）が0にクリア（動作停止状態）されます。STmnビットはトリガ・ビットなので，SEmn = 0になるとすぐSTmnビットはクリアされます。

STmレジスタは，16ビット・メモリ操作命令で設定します。

またSTmレジスタの下位8ビットは，STmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，STmレジスタは0000Hになります。

図11－14　シリアル・チャネル停止レジスタm（STm）のフォーマット

アドレス：F0124H, F0125H（ST0）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	ST03	ST02	ST01	ST00

★ アドレス：F0164H, F0165H（ST1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST11	ST10

STmn	チャネルnの動作停止トリガ
0	トリガ動作せず
1	SEmnビットを0にクリアし，通信動作を停止する[注]

注　制御レジスタ，シフト・レジスタの値，およびシリアル・クロック入出力端子，シリアル・データ出力端子，各エラー・フラグ（FEFmn：フレーミング・エラー・フラグ, PEFmn：パリティ・エラー・フラグ, OVFmn：オーバーラン・エラー・フラグ）は，状態を保持したまま停止します。

注意　未定義のビットには，必ず0を設定してください。

★ **備考**1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

2.　STmレジスタの読み出し値は常に0000Hとなります。

(10) シリアル・チャネル許可ステータス・レジスタm（SEm）

SEmレジスタは，各チャネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャネル開始レジスタm（SSm）の各ビットに1を書き込むと，その対応ビットが1にセットされます。シリアル・チャネル停止レジスタm（STm）の各ビットに1を書き込むと，その対応ビットが0にクリアされます。

動作を許可したチャネルnは，後述のシリアル出力レジスタm（SOm）のCKOmnビット（チャネルnのシリアル・クロック出力）の値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャネルnは，SOmレジスタのCKOmnビットの値をソフトウエアで設定することができ，その値をシリアル・クロック端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。

SEmレジスタは，16ビット・メモリ操作命令で読み出します。

またSE0レジスタの下位8ビットは，SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，SEmレジスタは0000Hになります。

図11－15　シリアル・チャネル許可ステータス・レジスタm（SEm）のフォーマット

アドレス：F0120H, F0121H（SE0）　**リセット時：**0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	SE03	SE02	SE01	SE00

★ **アドレス：** F0160H, F0161H（SE1）　**リセット時：**0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SE11	SE10

SEmn	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

★ **備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

(11) シリアル出力許可レジスタm（SOEm）

SOEmレジスタは，各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタです。

シリアル出力を許可したチャネルnは，後述のシリアル出力レジスタm（SOm）のSOmnビットの値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャネルnは，SOmレジスタのSOmnビットの値をソフトウエアで設定することができ，その値をシリアル・データ出力端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。

SOEmレジスタは，16ビット・メモリ操作命令で設定します。

またSOEmレジスタの下位8ビットは，SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SOEmレジスタは0000Hになります。

図11－16　シリアル出力許可レジスタm（SOEm）のフォーマット

アドレス：F012AH, F012BH　**リセット時：**0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	SOE03	SOE02	SOE01	SOE00

★ **アドレス：**F016AH, F016BH　**リセット時：**0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE11	SOE10

SOEmn	チャネルnのシリアル出力許可／停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注意　未定義のビットには，必ず0を設定してください。

★ **備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

（12）シリアル出力レジスタm（SOm）

SOm**レジスタは，各チャネルのシリアル出力のバッファ・レジスタです。**

このレジスタのSOmn**ビットの値が，チャネル**n**のシリアル・データ出力端子から出力されます。**

このレジスタのCKOmn**ビットの値が，チャネル**n**のシリアル・クロック出力端子から出力されます。**

このレジスタのSOmn**ビットのソフトウエアによる書き換えは，シリアル出力禁止（**SOEmn = 0**）時のみ可能です。シリアル出力許可（**SOEmn = 1**）時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。**

このレジスタのCKOmn**ビットのソフトウエアによる書き換えは，チャネル動作停止（**SEmn = 0**）時のみ可能です。チャネル動作許可（**SEmn = 1**）時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。**

また，20,24**ピン製品の**P10/ANI16/PCLBUZ0/ $\overline{\text{SCK00}}$/ SCL00, P11/ANI17/SI00/RxD0/SDA00/TOOLRxD, P12/ANI18/SO00/TxD0/TOOLTxD, P13/ANI19/TI00/TO00/INTP2, P14/ANI20/TI01/TO01/INTP3, P40/KR0/TOOL0, P41/ANI22/SO01/SDA01/TI02/TO02/INTP1, P42/ANI21/$\overline{\text{SCK01}}$/SCL01/TI03/TO03, P60/KR4/

★ SCLA0, P61/KR5/SDAA0**端子，または**30**ピン製品の**P00/ANI17/TI00/TxD1, P10/$\overline{\text{SCK00}}$/SCL00, P11/SI00/RxD0/TOOLRxD/SDA00, P12/SO00/TxD0/TOOLTxD, P13/TxD2/SO20, P14/RxD2/SI20/SDA20, P15/PCLBUZ1/$\overline{\text{SCK20}}$/SCL20, P30/INTP3/$\overline{\text{SCK11}}$/SCL11, P50/INTP1/SI11/SDA11, P51/INTP2/SO11, P60/SCLA0, P61/SDAA0**端子をポート機能として使用する場合は，該当する**CKOmn, SOmn**ビットに“**1**”を設定してください。**

SOm**レジスタは，**16**ビット・メモリ操作命令で設定します。**

リセット信号の発生により，SOm**レジスタは**0F0FH**になります。**

図11－17　**シリアル出力レジスタ**m（SOm）**のフォーマット**

アドレス：F0128H, F0129H　**リセット時：**0F0FH　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	0	0	CKO 01	CKO 00	0	0	0	0	0	0	SO 01	SO 00

★ **アドレス：**F0168H, F0169H　**リセット時：**0F0FH　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1	0	0	0	0	1	1	CKO 11	CKO 10	0	0	0	0	1	1	SO 11	SO 10

CKO m n	**チャネル**n**のシリアル・クロック出力**
0	**シリアル・クロック出力値が“**0**”**
1	**シリアル・クロック出力値が“**1**”**

SO m n	**チャネル**n**のシリアル・データ出力**
0	**シリアル・データ出力値が“**0**”**
1	**シリアル・データ出力値が“**1**”**

注意　未定義のビットには，必ず0**を設定してください。**

★ **備考**　m：**ユニット番号（**m = 0, 1**）**　n：**チャネル番号（**n = 0-3**）**

(13) シリアル出力レベル・レジスタm（SOLm）

SOLmレジスタは，各チャネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。CSIモード，簡易I^2Cモード時は，必ず0000Hを設定してください。

このレジスタによる各チャネルnの反転設定は，シリアル出力許可（SOEmn = 1）時のみ端子出力に反映されます。シリアル出力禁止（SOEmn = 0）時はSOmnビットの値がそのまま出力されます。

SOLmレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。

SOLmレジスタは，16ビット・メモリ操作命令で設定します。

またSOLmレジスタの下位8ビットは，SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SOLmレジスタは0000Hになります。

図11－18　シリアル出力レベル・レジスタm（SOLm）のフォーマット

アドレス：F0134H, F0135H（SOL0）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL00

★ アドレス：F0174H, F0175H（SOL1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL10

SOLmn	UARTモードでのチャネルnの送信データのレベル反転の選択
0	通信データは，そのまま出力されます。
1	通信データは，反転して出力されます。

注意　未定義のビットには，必ず0を設定してください。

★ **備考**　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

(14) シリアル・スタンバイ・コントロール・レジスタ0（SSC0）

SSC0レジスタは，CSI00，UART0のシリアル・データ受信による，STOPモード状態からの受信動作起動（SNOOZEモード）を制御するレジスタです。

SSC0レジスタは，16ビット・メモリ操作命令で設定します。

またSSCレジスタの下位8ビットは，SSC0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SSC0レジスタは0000Hになります。

注意　SNOOZEモード時の最大転送レートは，次のようになります。

- CSI00の場合： 1 Mbps（ターゲット）
- UART0の場合：9600 bps（ターゲット）

図11－19　シリアル・スタンバイ・コントロール・レジスタ0（SSC0）のフォーマット

アドレス：F0138H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSC0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSEC	SWC

SSEC	転送完了割り込み発生許可／停止の選択
0	エラー割り込み（INTSRE0）発生許可。 また，次の場合，クロック発生回路へのクロック要求信号（内部信号）がクリアされます。 ・SWCビットを0に設定時 ・UART受信スタート・ビットの誤検出
1	エラー割り込み（INTSRE0）発生停止。 また，次の場合，クロック発生回路へのクロック要求信号（内部信号）がクリアされます。 ・SWCビットを0に設定時 ・UART受信スタート・ビットの誤検出 ・パリティ・エラー，フレーミング・エラーによる転送完了割り込み発生タイミング時

SWC	STOPモード状態からのCSI00, UART0受信動作起動許可／停止の選択
0	STOPモードからの受信動作起動停止
1	STOPモードからの受信動作起動許可 （CSI00の非同期受信または，UART0の受信時ボー・レート調整機能を有効化）

★　（15）入力切り替え制御レジスタ（ISC）

ISCレジスタのISC1, ISC0ビットは，UART2でLIN-bus通信動作を実現するときに，外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット0に1を設定すると，シリアル・データ入力（RxD2）端子の入力信号が外部割り込み入力（INTP0）として選択されます。これによって，ウエイクアップ信号をINTP0割り込みで検出できます。

ビット1に1を設定すると，シリアル・データ入力（RxD2）端子の入力信号がタイマ入力として選択されます。これによって，ウエイクアップ信号検出とシンク・ブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅をタイマで測定できます。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，ISCレジスタは00Hになります。

図12－20　入力切り替え制御レジスタ（ISC）のフォーマット

アドレス：F0073H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットのチャネル7の入力切り替え
0	チャネル7でタイマ入力信号を使用しない
1	RxD2端子の入力信号をタイマ入力とする（ウエイクアップ信号検出とシンク・ブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定）

ISC0	外部割り込み（INTP0）の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする（通常動作）
1	RxD2端子の入力信号を外部割り込み入力とする（ウエイクアップ信号検出）

注意　ビット7-2に必ず0を設定してください。

★ **（16）ノイズ・フィルタ許可レジスタ**0（NFEN0）

NFEN0**レジスタは，シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。**

CSI, **簡易**I^2C**通信に使用する端子は，対応するビットに**0**を設定して，ノイズ・フィルタを無効にしてください。**

UART**通信に使用する端子は，対応するビットに**1**を設定して，ノイズ・フィルタを有効にしてください。**

ノイズ・フィルタ有効時は，CPU／**周辺ハードウエア・クロック（**f_{CLK}**）で**2**クロックの一致検出と同期化を行います。**

NFEN0**レジスタは**1**ビット・メモリ操作命令または**8**ビット・メモリ操作命令で設定します。**

リセット信号の発生により，NFEN0**レジスタは**00H**になります。**

図11－21　**ノイズ・フィルタ許可レジスタ**0（NFEN0）**のフォーマット**

アドレス：F0070H　**リセット時：**00H　R/W

	略号	7	6	5	4	3	2	1	0
★	NFEN0	0	0	0	SNFEN20	0	SNFEN10	0	SNFEN00

★

SNFEN20	RxD2**端子（**RxD2/P14**）のノイズ・フィルタ使用可否**
0	**ノイズ・フィルタ**OFF
1	**ノイズ・フィルタ**ON
RxD2**端子として使用するときは，**SNFEN20 = 1**に設定してください。** RxD2**以外の機能として使用するときは，**SNFEN20 = 0**に設定してください。**	

★

SNFEN10	RxD1**端子（**RXD1/P01**）のノイズ・フィルタ使用可否**
0	**ノイズ・フィルタ**OFF
1	**ノイズ・フィルタ**ON
RxD1**端子として使用するときは，**SNFEN10 = 1**に設定してください。** RxD1**以外の機能として使用するときは，**SNFEN10 = 0**に設定してください。**	

SNFEN00	RxD0**端子（**RxD0/P11**）のノイズ・フィルタ使用可否**
0	**ノイズ・フィルタ**OFF
1	**ノイズ・フィルタ**ON
RxD0**端子として使用するときは，**SNFEN00 = 1**に設定してください。** RxD0**以外の機能として使用するときは，**SNFEN00 = 0**に設定してください。**	

注意　ビット7-1**に必ず**0**を設定してください。**

★　（17）**ポート入力モード・レジスタ**0, 1（PIM0, PIM1）

ポート0, 1**の入力バッファを**1**ビット単位で設定するレジスタです。**

PIM0, PIM1**レジスタは，**1**ビット・メモリ操作命令または**8**ビット・メモリ操作命令で設定します。**

リセット信号の発生により，PIM0, PIM1**レジスタは**00H**になります。**

図11－22　**ポート入力モード・レジスタ**0, 1（PIM0, PIM1）**のフォーマット**

20, 24**ピン製品**

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM1	0	0	0	0	0	0	PIM11	PIM10	F0041H	00H	R/W

★　30**ピン製品**

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	0	0	0	PIM01	0	F0040H	00H	R/W
PIM1	PIM17	PIM16	PIM15	PIM14	PIM13	0	PIM11	PIM10	F0041H	00H	R/W

PIMmn	Pmn**端子の入力バッファの選択**（m = 0, 1; n = 0, 1, 3-7）
0	**通常入力バッファ**
1	TTL**入力バッファ**

★ **（18）ポート出力モード・レジスタ**0, 1, 4, 5（POM0, POM1, POM4, POM5）

ポート1, 4**の出力モードを**1**ビット単位で設定するレジスタです。**

PPOM1, POM4**レジスタは，**1**ビット・メモリ操作命令または**8**ビット・メモリ操作命令で設定します。**

リセット信号の発生により，POM1, POM4**レジスタは**00H**になります。**

図11－23　**ポート出力モード・レジスタ**0, 1, 4, 5（POM0, POM1, POM4, POM5）**のフォーマット**

20, 24**ピン製品**

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM1	0	0	0	0	0	POM12	POM11	POM10	F0051H	00H	R/W
POM4	0	0	0	0	0	0	POM41	0	F0054H	00H	R/W

★ 30**ピン製品**

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	0	0	0	0	POM00	F0050H	00H	R/W
POM1	POM17	0	POM15	POM14	POM13	POM12	POM11	POM10	F0051H	00H	R/W
POM5	0	0	0	0	0	0	0	POM50	F0055H	00H	R/W

POMmn	Pmn**端子の出力モードの選択（**m = 0, 1, 4, 5 ; n = 0-5, 7**）**
0	**通常出力モード**
1	N-ch**オープン・ドレイン出力（**V_{DD}**耐圧）モード**

★ **（19）ポート・モード・レジスタ**0, 1, 3-6**（**PM0, PM1, PM3-PM6**）**

ポート0, 1, 3-6**の入力／出力を**1**ビット単位で設定するレジスタです。**

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート（P10/ANI16/PCLBUZ0/ $\overline{\text{SCK00}}$/ SCL00**など）をシリアル・データ出力またはシリアル・クロック出力として使用するとき，各ポートに対応するポート・モード・レジスタ（**PMxx**）のビットに**0**を設定してください。また，ポート・レジスタ（**Pxx**）のビットに**1**を設定してください。**

例）P10/ANI16/PCLBUZ0/ $\overline{\text{SCK00}}$/ SCL00**をシリアル・データ出力またはシリアル・クロック出力として使用する場合**

ポート・モード・レジスタ1**の**PM10**ビットを**0**に設定**

ポート・レジスタ0**の**P10**ビットを**1**に設定**

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート（P10/ANI16/PCLBUZ0/ $\overline{\text{SCK00}}$/ SCL00**など）をシリアル・データ入力またはシリアル・クロック入力として使用するとき，各ポートに対応するポート・モード・レジスタ（**PMxx**）のビットに**1**を設定してください。このときポート・レジスタ（**Pxx**）のビットは，**0**または**1**のどちらでもかまいません。**

例）P10/ANI16/PCLBUZ0/$\overline{\text{SCK00}}$/ SCL00**をシリアル・データ入力またはシリアル・クロック入力として使用する場合**

ポート・モード・レジスタ1**の**PM10**ビットを**1**に設定**

ポート・レジスタ1**の**P10**ビットを**0**または**1**に設定**

PM0, PM1, PM3-PM6**レジスタは，**1**ビット・メモリ操作命令または**8**ビット・メモリ操作命令で設定します。**

リセット信号の発生により，PM0, PM1, PM3-PM6**レジスタは**FFH**になります。**

図11－24　**ポート・モード・レジスタ**0, 1, 3-6（PM0, PM1, PM3-PM6）**のフォーマット**

20, 24**ピン製品**

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM1	1	1	1	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM4	1	1	1	1	1	PM42	PM41	PM40	FFF24H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FFF26H	FFH	R/W

★ 30**ピン製品**

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	1	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM3	1	1	1	1	1	1	PM31	PM30	FFF23H	FFH	R/W
PM5	1	1	1	1	1	1	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FFF26H	FFH	R/W

PMmn	Pmn**端子の入出力モードの選択**（m = 0, 1, 3-6; n = 0-7）
0	**出力モード（出力バッファ・オン）**
1	**入力モード（出力バッファ・オフ）**

11. 4　動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには，動作停止モードがあります。
動作停止モードでは，シリアル通信を行いません。したがって，消費電力を低減できます。
また動作停止モードでは，次の端子をポート機能として使用できます。

20,24**ピン製品の**P10/ANI16/PCLBUZ0/ $\overline{\text{SCK00}}$/ SCL00, P11/ANI17/SI00/RxD0/SDA00/TOOLRxD, P12/ANI18/SO00/TxD0/TOOLTxD, P13/ANI19/TI00/TO00/INTP2, P14/ANI20/TI01/TO01/INTP3, P40/KR0/TOOL0, P41/ANI22/SO01/SDA01/TI02/TO02/INTP1, P42/ANI21/$\overline{\text{SCK01}}$/SCL01/TI03/TO03, P60/KR4/SCLA0, P61/KR5/SDAA0

★ 30**ピン製品の**P00/ANI17/TI00/TxD1, P10/$\overline{\text{SCK00}}$/SCL00, P11/SI00/RxD0/TOOLRxD/SDA00, P12/SO00/TxD0/TOOLTxD, P13/TxD2/SO20, P14/RxD2/SI20/SDA20, P15/PCLBUZ1/$\overline{\text{SCK20}}$/SCL20, P30/INTP3/$\overline{\text{SCK11}}$/SCL11, P50/INTP1/SI11/SDA11, P51/INTP2/SO11, P60/SCLA0, P61/SDAA0

11. 4. 1　ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は，周辺イネーブル・レジスタ0（PER0）で行います。

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

★　シリアル・アレイ・ユニット0を停止するときは，ビット2（SAU0EN）に0を設定してください。シリアル・アレイ・ユニット1を停止するときは，ビット3（SAU1EN）に0を設定してください。

図11－25　ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0（PER0）の設定

（a）周辺イネーブル・レジスタ0（PER0）　・・・停止するSAUmのビットを0に設定する

★ PER0

7	6	5	4	3	2	1	0
TMKAE		ADCEN	IICA0EN	SAU1EN注	SAU0EN		TAU0EN
×	0	×	×	0/1	0/1	0	×

SAUmの入力クロックの制御
0：入力クロック供給停止
1：入力クロック供給

注　30ピン製品のみ

注意1.　SAUmEN = 0の場合は，シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され，読み出しても値はすべて初期値となります。
ただし，次のレジスタは除きます。

- 入力切り替え制御レジスタ（ISC）
- ノイズ・フィルタ許可レジスタ0（NFEN0）
- シリアル・スタンバイ・コントロール・レジスタ0（SSC0）
- ポート入力モード・レジスタ0, 1（PIM0, PIM1）
- ポート出力モード・レジスタ0, 1, 4, 5（POM0, POM1, POM4, POM5）
- ポート・モード・レジスタ0, 1, 3-6（PM0, PM1, PM3-PM6）
- ポート・レジスタ0, 1, 3-6（P0, P1, P3-P6）

2.　未定義のビットは必ず“0”にしてください。

備考　□：設定不可（初期値を設定）
×：シリアル・アレイ・ユニットでは使用しないビット（他の周辺機能の設定による）
0/1：ユーザの用途に応じて0または1に設定

11. 4. 2　チャネルごとに動作停止とする場合

チャネルごとに動作停止とする場合の設定は，次の各レジスタで行います。

図11－26　チャネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャネル停止レジスタm（STm）

・・・各チャネルの通信／カウント停止の許可を設定するレジスタ

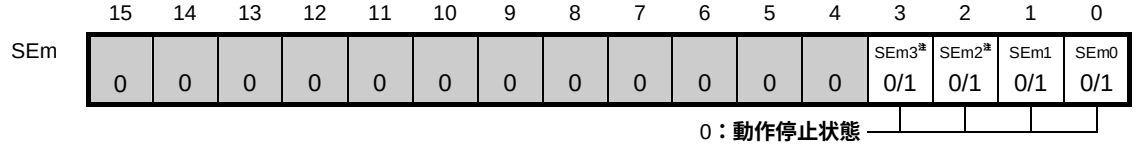
★

※ STmnビットはトリガ・ビットなので，SEmn = 0になるとすぐSTmnビットはクリアされます。

(b) シリアル・チャネル許可ステータス・レジスタm（SEm）

・・・各チャネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

★

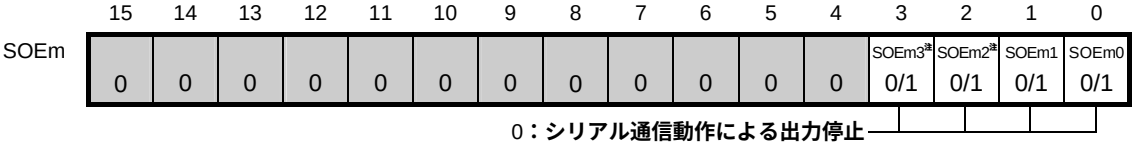


※SEmレジスタはRead Onlyのステータス・レジスタであり，STmレジスタにて動作停止にします。
動作を停止したチャネルは，SOmレジスタのCKOmnビットの値をソフトウエアで設定できます。

(c) シリアル出力許可レジスタm（SOEm）

・・・各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタ

★

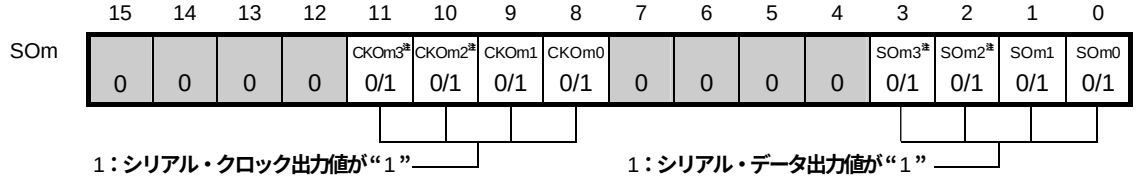


※ シリアル出力を停止したチャネルは，SOmレジスタのSOmnビットの値をソフトウエアで設定できます。

(d) シリアル出力レジスタm（SOm）

・・・各チャネルのシリアル出力のバッファ・レジスタ

★



※ 各チャネルに対応した端子をポート機能として使用する場合は，該当するCKOmn, SOmnビットに“1”を設定してください。

注　30ピン製品のシリアル・アレイ・ユニット0のみ

★

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0-3）

2. □：設定不可（初期値を設定）　0/1：ユーザの用途に応じて0または1に設定

★ 11. 5　3線シリアルI/O（CSI00, CSI01, CSI11, CSI20）通信の動作

シリアル・クロック（SCK）とシリアル・データ（SI, SO）の3本のラインによる，クロック同期式通信機能です。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択
- 送受信データのレベル設定

[クロック制御]

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケーラとチャネル内カウンタによる転送周期の設定
- 最大転送レート　マスタ通信時：Max. f_{CLK}/2，スレーブ通信時：Max. f_{MCK}/6[注]

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

注　ただし，SCKサイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください（第28章　電気的特性（ターゲット）参照）

また，CSI00（ユニット0のチャネル0）は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態で$\overline{SCK00}$端子入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。非同期受信動作に対応している，CSI00のみ設定可能です。

★　3線シリアルI/O（CSI00, CSI01, CSI11, CSI20）に対応しているチャネルは，SAU0のチャネル0, 1, 3と，SAU1のチャネル0です。

20, 24ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^2Cとして使用
0	0	CSI00	UART0	IIC00[注]
	1	CSI01[注]		IIC01[注]

★　30ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^2Cとして使用
0	0	CSI00	UART0	IIC00
	1	−		−
	2	−	UART1[注]	−
	3	CSI11[注]		IIC11[注]
1	0	CSI20[注]	UART2（LIN-bus対応）[注]	IIC20[注]
	1	−		−

注　データ・フラッシュ搭載品のみ

3線シリアルI/O（CSI00, CSI01, CSI10）の通信動作は，以下の6種類があります。

- マスタ送信　（11. 5. 1項を参照）
- マスタ受信　（11. 5. 2項を参照）
- マスタ送受信　（11. 5. 3項を参照）
- スレーブ送信　（11. 5. 4項を参照）
- スレーブ受信　（11. 5. 5項を参照）
- スレーブ送受信　（11. 5. 6項を参照）
- SNOOZEモード機能（CSI00のみ）　（11. 5. 7項を参照）

11. 5. 1　マスタ送信

マスタ送信とは，このRL78/G12が転送クロックを出力し，RL78/G12から他デバイスへデータを送信する動作です。

★

3線シリアルI/O	CSI00	CSI01	CSI11	CSI20
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0
使用端子	$\overline{\text{SCK00}}$, SO00	$\overline{\text{SCK01}}$, SO01	$\overline{\text{SCK11}}$, SO11	$\overline{\text{SCK20}}$, SO20
割り込み	INTCSI00	INTCSI01	INTCSI11	INTCSI20
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	7ビットまたは8ビット			
転送レート	Max. f_{CLK}/2 [Hz], Min. f_{CLK}/（2×2^{11}×128）[Hz] 注　f_{CLK}：システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始			
クロック位相	SCRmnレジスタのCKP0nビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

注　この条件を満たし，かつ電気的特性のAC特性（第28章　電気的特性（ターゲット）参照）を満たす範囲内で使用してください。

★　備考　mn = 00, 01, 03, 10

(1) レジスタ設定

図11－27 3線シリアルI/O（CSI00, CSI01, CSI11, CSI20）のマスタ送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

(b) シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0		DLSmn2	DLSmn1	DLSmn0
	1	0	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
（設定内容詳細は「11. 3 シリアル・アレイ・ユニットを制御するレジスタ」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c) シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定（動作クロック（f_{MCK}）の分周設定）								送信データ（送信データを設定）							
								0								

SIOp

(d) シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
★ SOm					CKOm3注	CKOm2注	CKOm1	CKOm0					SOm3注	SOm2注	SOm1	SOm0
	0	0	0	0	0/1	0/1	0/1	0/1	0	0	0	0	0/1	0/1	0/1	0/1

クロック位相が“正転”（SCRmnレジスタのCKPmnビット = 0）のときは“1”で通信開始し，クロック位相が“反転”（CKPmnビット = 1）のときは“0”で通信開始する。

(e) シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
★ SOEm													SOEm3注	SOEm2注	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

(f) シリアル・チャネル開始レジスタm（SSm） ・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
★ SSm													SSm3注	SSm2注	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

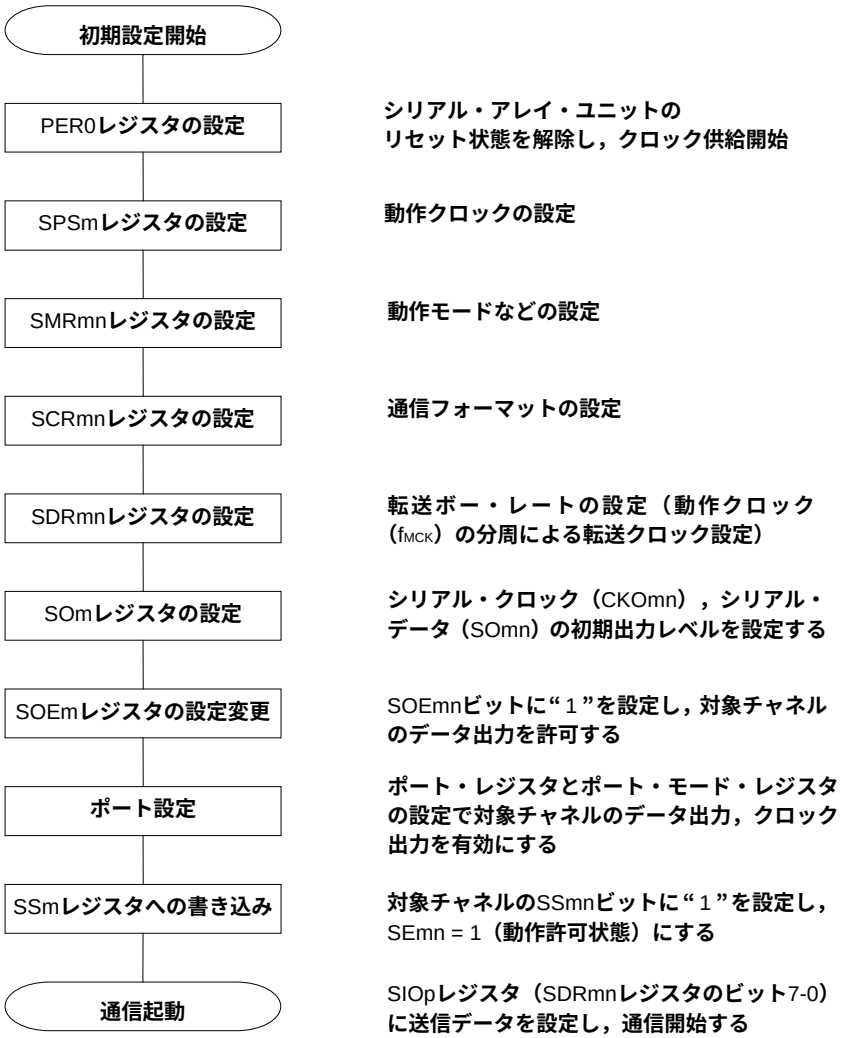
注 30ピン製品のシリアル・アレイ・ユニット0のみ

★ **備考**1. mn = 00, 01, 03, 10 p：CSI番号（p = 00, 01, 11, 20）

2. □：CSIマスタ送信モードでは設定固定 ▒：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

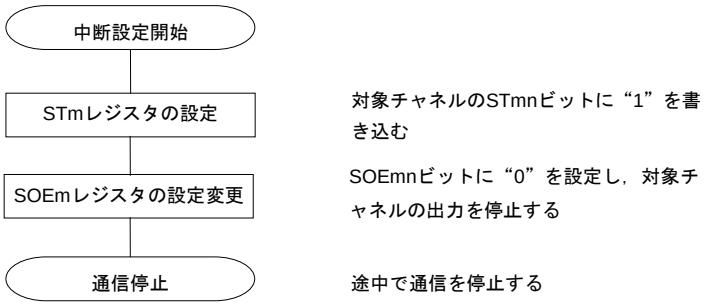
(2) 操作手順

図11－28　マスタ送信の初期設定手順



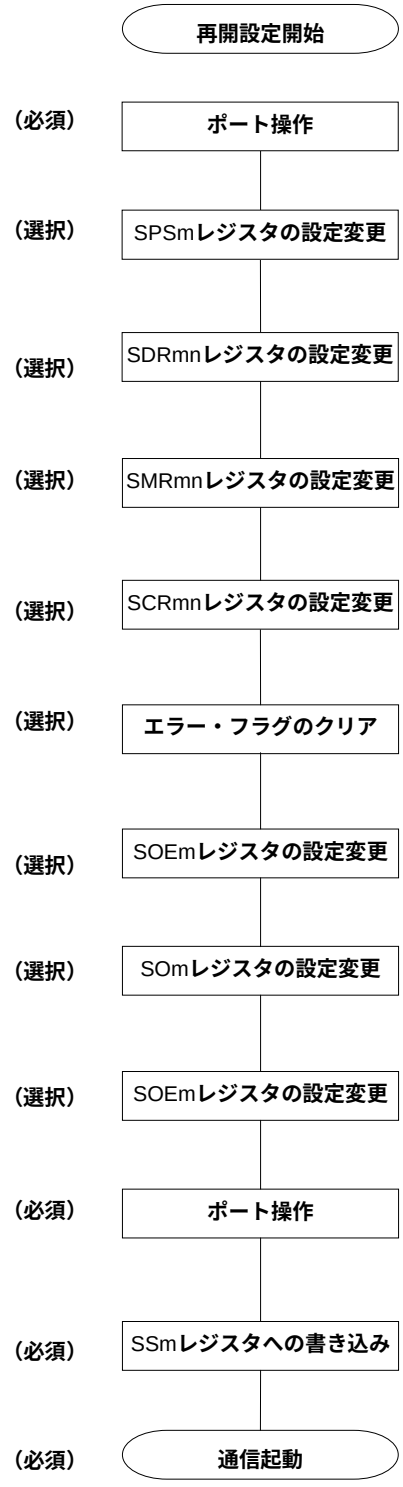
注意　周辺イネーブル・レジスタ0（PER0）のSAUmENビットを“1”に設定後に，fCLKの4クロック以上間隔をあけてからシリアル・クロック選択レジスタm（SPSm）を設定してください。

図11－29　マスタ送信の中断手順



備考　中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタm（SOm）を再設定してください（図11－30　マスタ送信の再開設定手順参照）。

図11－30　マスタ送信の再開設定手順



動作クロックの設定を変更する場合には，再設定する

転送ボー・レート設定（動作クロック（f_{MCK}）の分周による転送クロック設定）を変更する場合には，再設定する

シリアル・モード・レジスタmn（SMRmn）の設定を変更する場合には，再設定する

シリアル通信動作設定レジスタmn（SCRmn）の設定を変更する場合には，再設定する

FEF，PEF，OVFフラグが残っている場合には，シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）でクリアする

SOEmnビットに“0”を設定し，対象チャネルの出力を停止する

シリアル・クロック（CKOmn），シリアル・データ（SOmn）の初期出力レベルを設定する

SOEmnビットに“1”を設定し，対象チャネルの出力を許可する

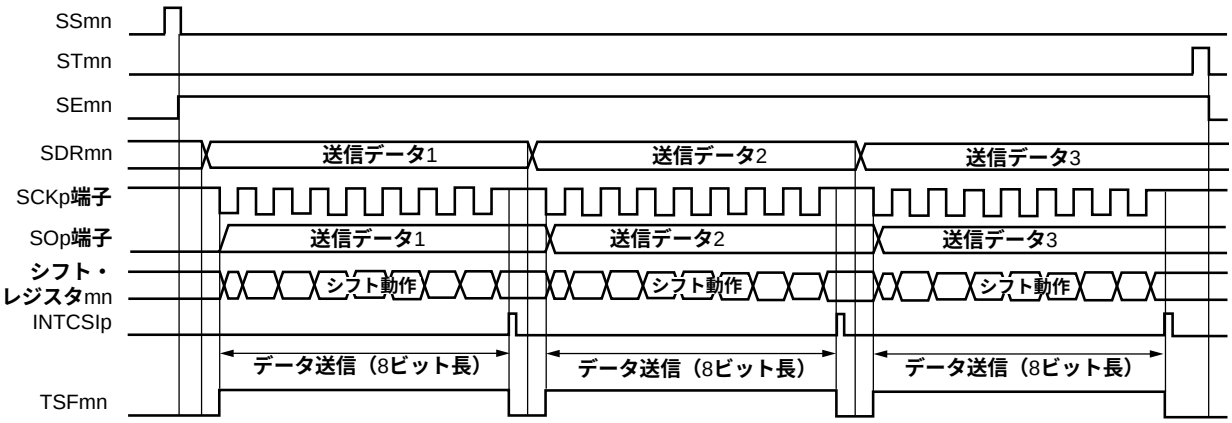
ポート・レジスタとポート・モード・レジスタの設定で対象チャネルのデータ出力，クロック出力を有効にする

対象チャネルのSSmnビットに“1”を設定し，SEmn = 1（動作許可状態）にする

SIOpレジスタ（SDRmnレジスタのビット7-0）に送信データを設定し，通信開始する

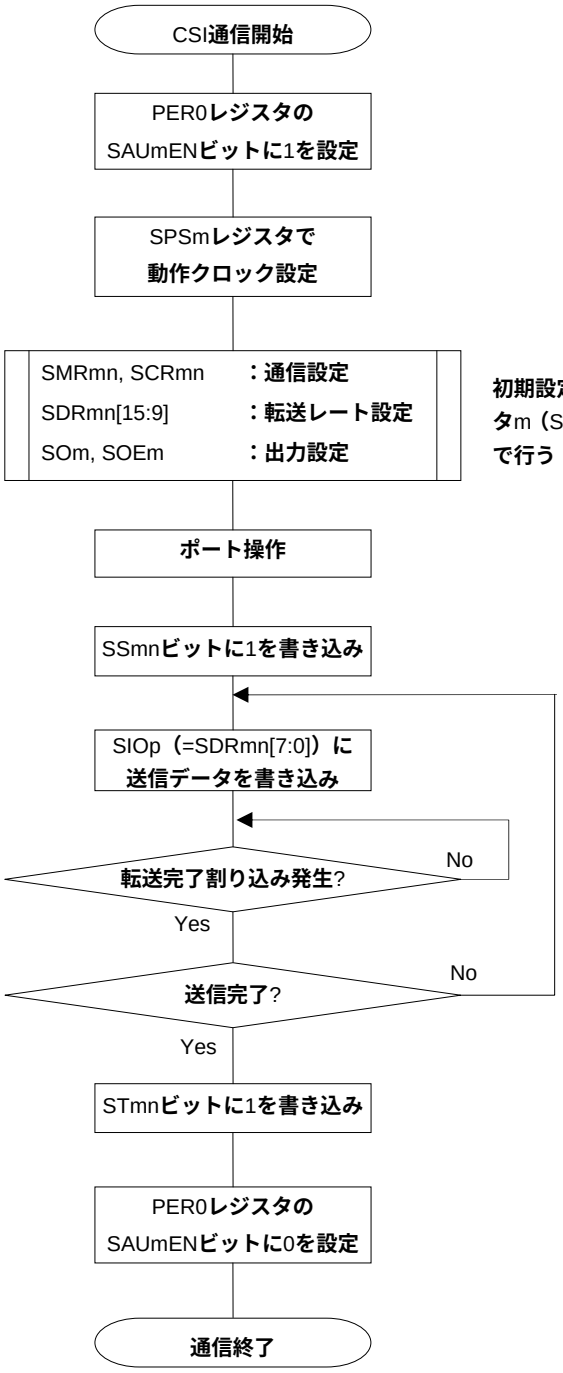
(3) 処理フロー（シングル送信モード時）

図11－31　マスタ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



★　**備考**　mn = 00, 01, 03, 10　p：CSI番号（p = 00, 01, 11, 20）

図11－32　マスタ送信（シングル送信モード時）のフロー・チャート

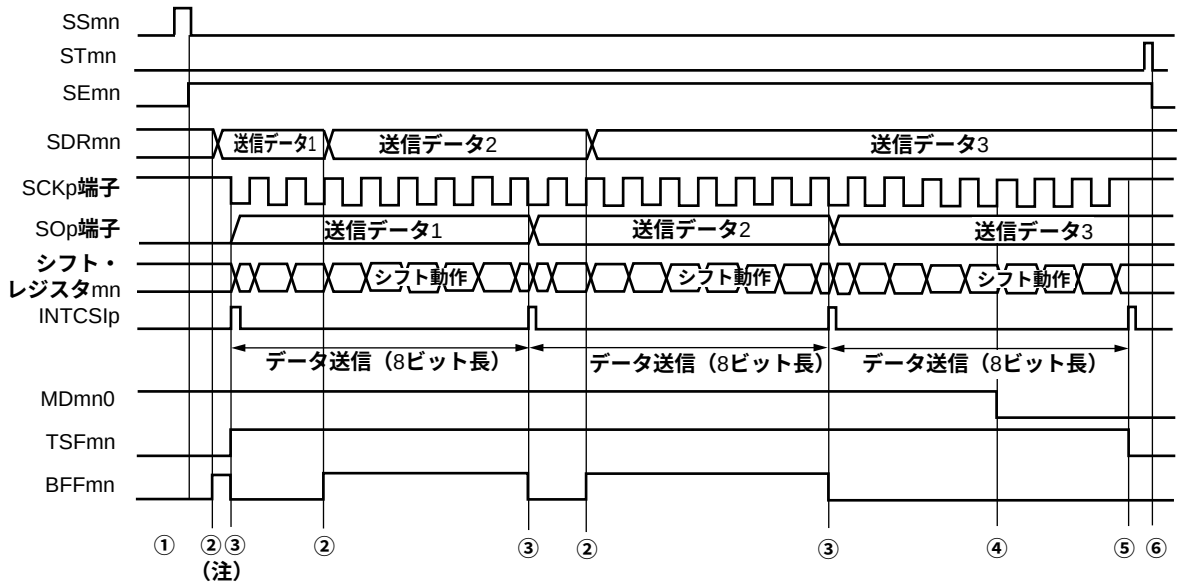


初期設定は，シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“0”の状態（動作停止状態）で行う

注意　周辺イネーブル・レジスタ0（PER0）のSAUmENビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm（SPSm）を設定してください。

（4）処理フロー（連続送信モード時）

図11－33　マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

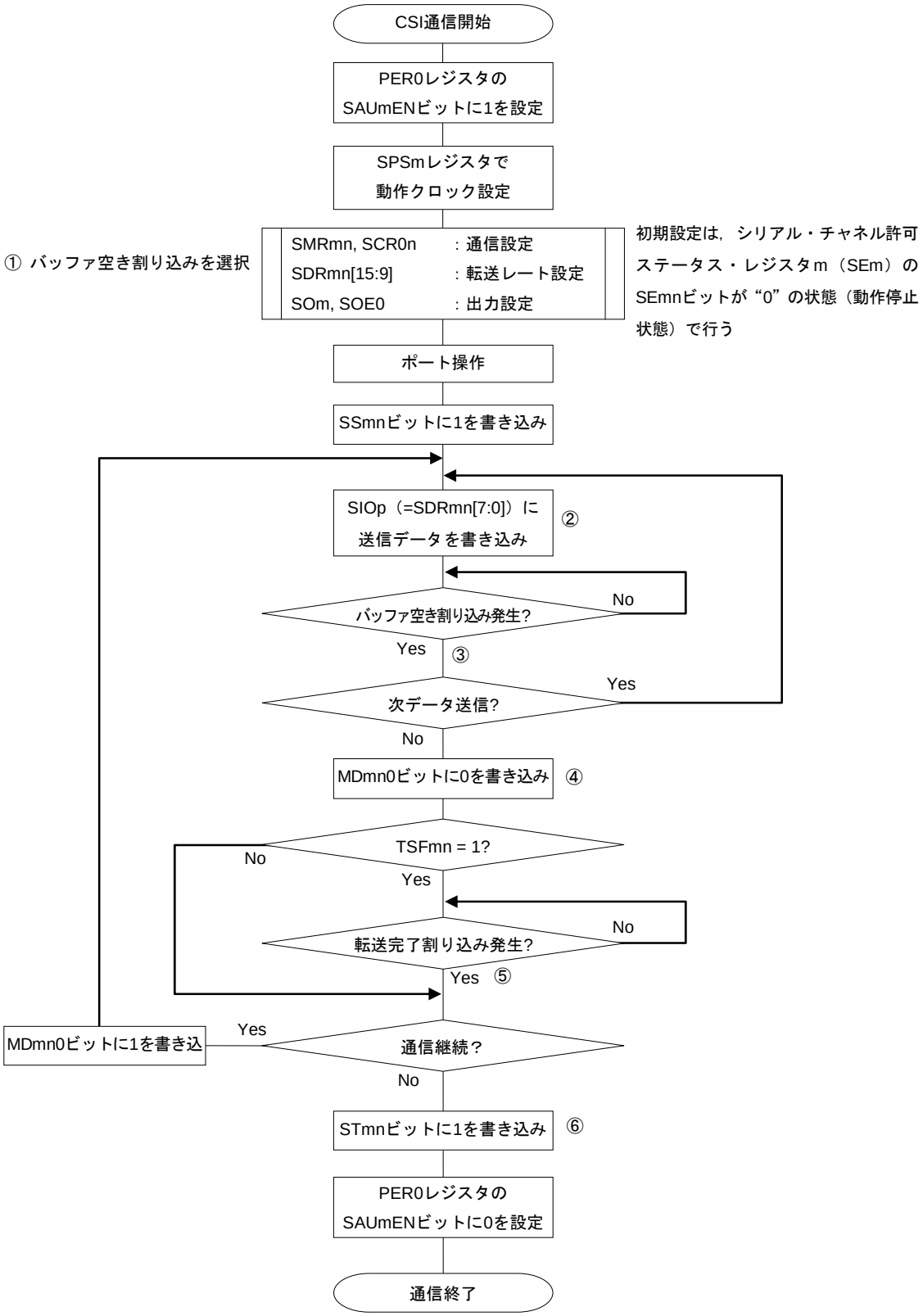


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

★　**備考**　mn = 00, 01, 03, 10　p：CSI番号（p = 00, 01, 11, 20）

図11－34　マスタ送信（連続送信モード時）のフロー・チャート



注意　周辺イネーブル・レジスタ0（PER0）のSAUmENビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm（SPSm）を設定してください。

備考　図中の①~⑥は，図11－33　マスタ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

11. 5. 2　マスタ受信

マスタ受信とは，このRL78/G12が転送クロックを出力し，RL78/G12が他デバイスからデータを受信する動作です。

★

3線シリアルI/O	CSI00	CSI01	CSI11	CSI20
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0
使用端子	$\overline{SCK00}$, SI00	$\overline{SCK01}$, SI01	$\overline{SCK11}$, SI11	$\overline{SCK20}$, SI20
割り込み	INTCSI00	INTCSI01	INTCSI11	INTCSI20
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. f_{CLK}/2 [Hz], Min. f_{CLK}/（$2\times2^{11}\times128$）[Hz]注　f_{CLK}：システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

注　この条件を満たし，かつ電気的特性のAC特性（第28章　電気的特性（ターゲット））参照）を満たす範囲内で使用してください。

★　**備考**　mn = 00, 01, 03, 10　p：CSI番号（p = 00, 01, 11, 20）

(1) レジスタ設定

図11－35　3線シリアルI/O（CSI00, CSI01, CSI11, CSI20）のマスタ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

(b) シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0		DLSmn2	DLSmn1	DLSmn0
	0	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
（設定内容詳細は「11. 3 シリアル・アレイ・ユニットを制御するレジスタ」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c) シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定（動作クロック（f_{MCK}）の分周設定）								受信データ（ダミー・データとしてFFHを書き込む）							
								0								

SIOp

(d) シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

★		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
★	SOm							CKOm1	CKOm0					SOm3[注]	SOm2[注]	SOm1	SOm0
		0	0	0	0	0	0	0/1	0/1	0	0	0	0	×	×	×	×

クロック位相が“正転”（SCRmnレジスタのCKPmnビット = 0）のときは“1”で通信開始し，クロック位相が“反転”（CKPmnビット = 1）のときは“0”で通信開始する。

(e) シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

★		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
★	SOEm													SOEm3[注]	SOEm2[注]	SOEm1	SOEm0
		0	0	0	0	0	0	0	0	0	0	0	0	×	×	×	×

(f) シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

★		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
★	SSm													SSm3[注]	SSm2[注]	SSm1	SSm0
		0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

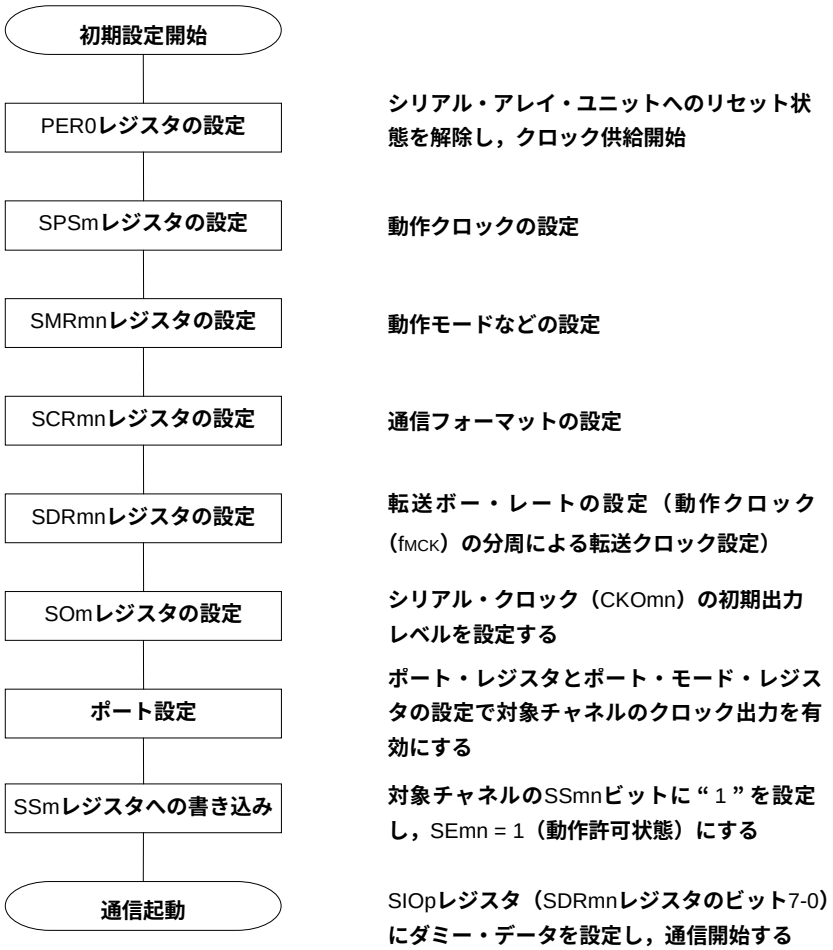
注　30ピン製品のシリアル・アレイ・ユニット0のみ

★ **備考**1.　mn = 00, 01, 03, 10　p：CSI番号（p = 00, 01, 11, 20）

2. □：CSIマスタ受信モードでは設定固定　▒：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

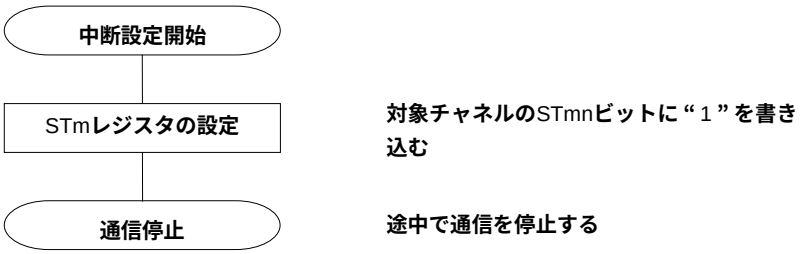
(2) 操作手順

図11－36　マスタ受信の初期設定手順



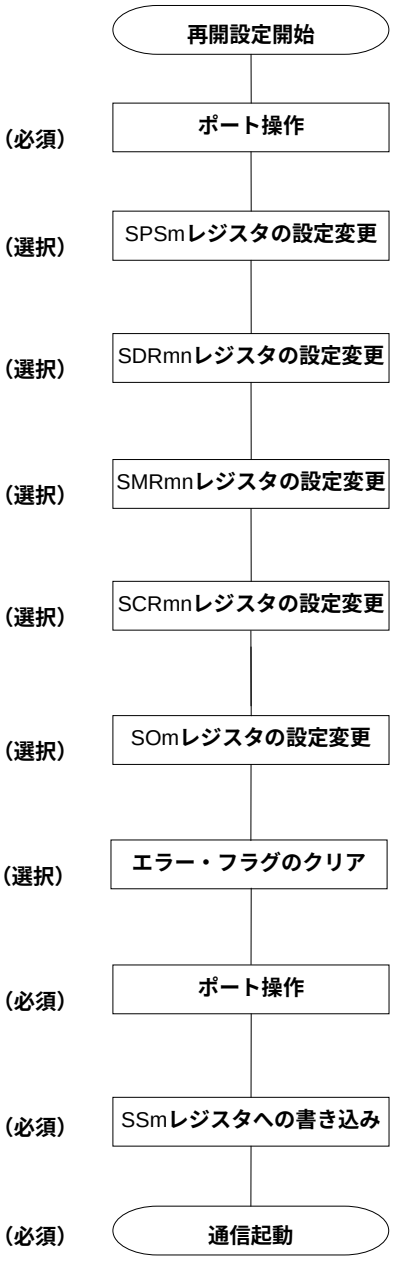
注意　周辺イネーブル・レジスタ0（PER0）のSAUmENビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm（SPSm）を設定してください。

図11－37　マスタ受信の中断手順



備考　中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタm（SOm）を再設定してください（図11－38　マスタ受信の再開設定手順参照）。

図11－38　マスタ受信の再開設定手順



ポート・レジスタとポート・モード・レジスタの設定で対象チャネルのクロック出力を無効にする

動作クロックの設定を変更する場合には，再設定する

転送ボー・レート設定（動作クロック（f_{MCK}）の分周による転送クロック設定）を変更する場合には，再設定する

シリアル・モード・レジスタmn（SMRmn）の設定を変更する場合には，再設定する

シリアル通信動作設定レジスタmn（SCRmn）の設定を変更する場合には，再設定する

シリアル・クロック（CKOmn）の初期出力レベルを設定する

FEF，PEF，OVFフラグが残っている場合には，シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）でクリアする

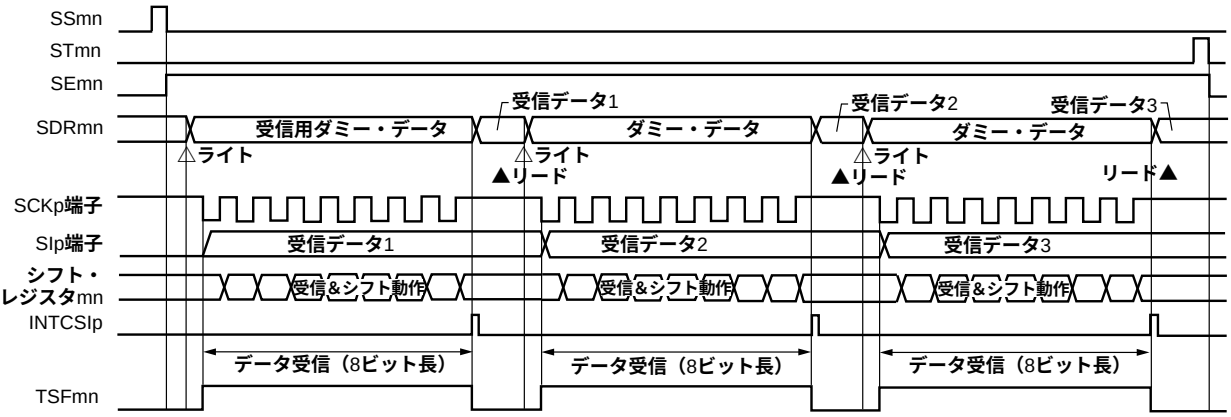
ポート・レジスタとポート・モード・レジスタの設定で対象チャネルのクロック出力を有効にする

対象チャネルのSSmnビットに“1”を設定し，SEmn = 1（動作許可状態）にする

SIOpレジスタ（SDRmnレジスタのビット7-0）にダミー・データを設定し，通信開始する

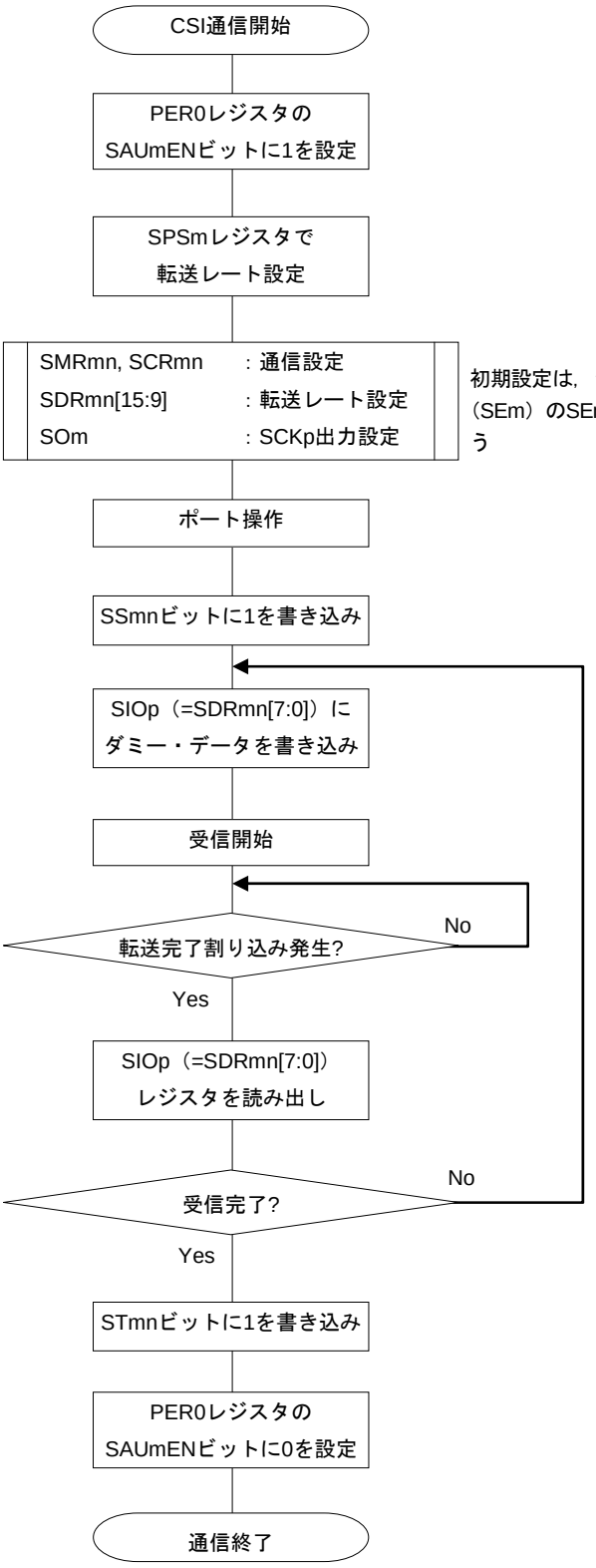
(3) 処理フロー（シングル受信モード時）

図11－39　マスタ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



★　**備考**　mn = 00, 01, 03, 10　p：CSI番号（p = 00, 01, 11, 20）

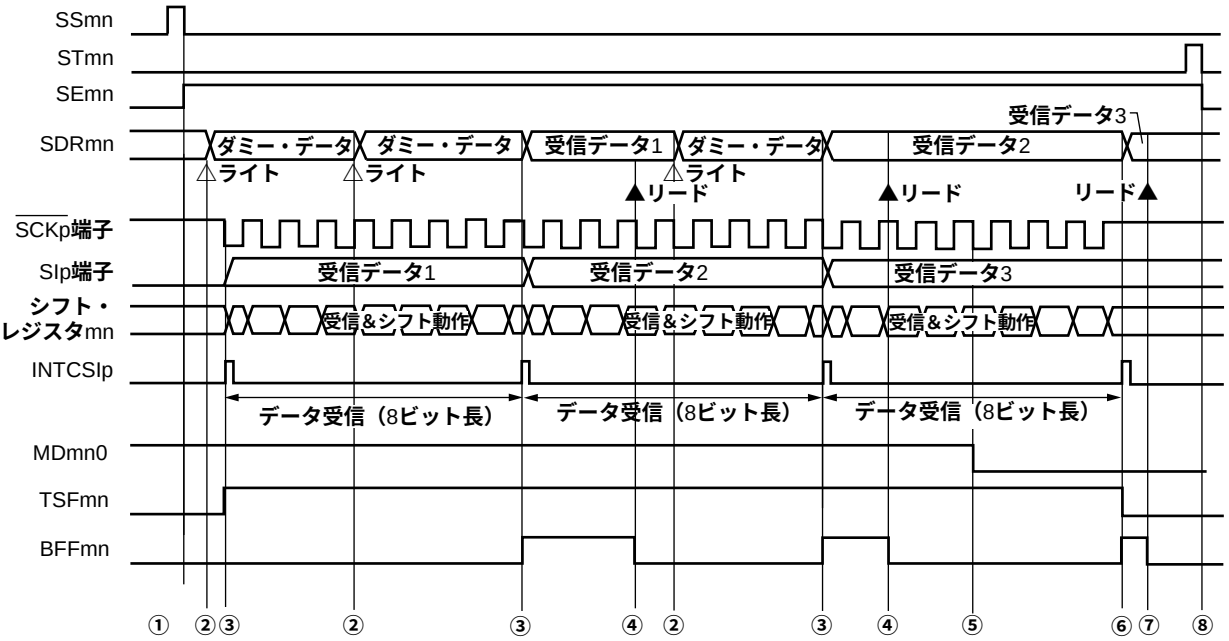
図11－40　マスタ受信（シングル受信モード時）のフロー・チャート



注意　周辺イネーブル・レジスタ0（PER0）のSAUmENビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm（SPSm）を設定してください。

（4）処理フロー（連続受信モード時）

図11－41　マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

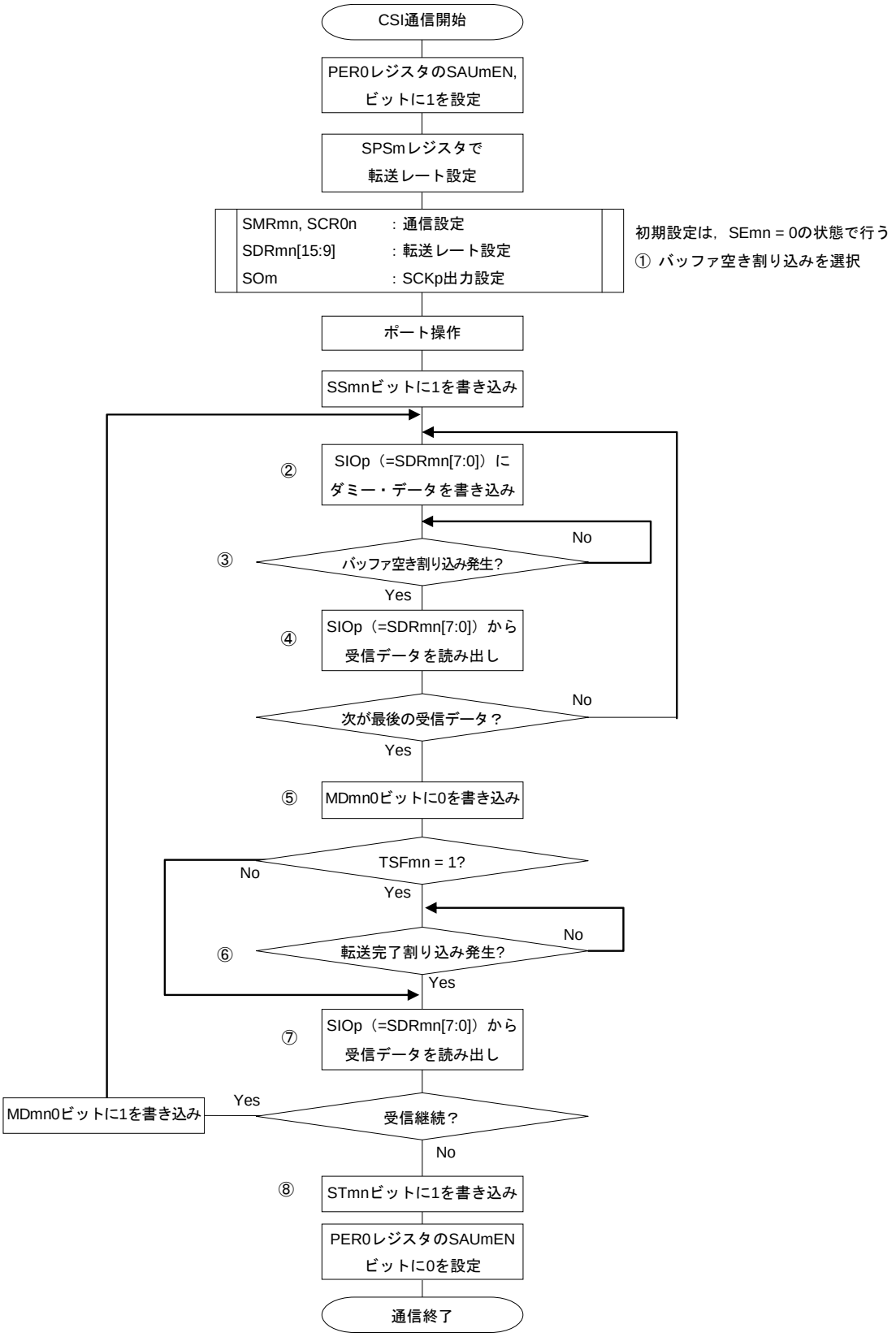


注意　MD0n0**ビットは，動作中でも書き換えることができます。**
ただし，最後の受信データの転送完了割り込みに間に合わせるために，最終ビットの受信開始前までに書き換えてください。

備考1.　**図中の①~⑧は，図**11－42　**マスタ受信（連続受信モード時）のフロー・チャートの①~⑧に対応しています。**

★　2.　mn = 00, 01, 03, 10　p：CSI**番号**（p = 00, 01, 11, 20）

図11－42 マスタ受信（連続受信モード時）のフロー・チャート



注意 PER0**レジスタを“**1**”に設定後に，**4**クロック以上間隔をあけてから**SPSm**レジスタを設定してください。**

備考 図中の①~⑧は，図11－41 **マスタ受信（連続受信モード時）のタイミング・チャートの①~⑧に対応しています。**

11. 5. 3　マスタ送受信

マスタ送受信とは，このRL78/G12が転送クロックを出力し，RL78/G12と他デバイスでデータを送受信する動作です。

★

3線シリアルI/O	CSI00	CSI01	CSI11	CSI20
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0
使用端子	$\overline{\text{SCK00}}$, SI00, SO00	$\overline{\text{SCK01}}$, SI01, SO01	$\overline{\text{SCK11}}$, SI11, SO11	$\overline{\text{SCK20}}$, SI20, SO20
割り込み	INTCSI00	INTCSI01	INTCSI11	INTCSI20
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. f_{CLK}/2 [Hz], Min. f_{CLK}/（2×2^{11}×128）[Hz] 注　f_{CLK}：システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

注　この条件を満たし，かつ電気的特性のAC特性（第28章　電気的特性（ターゲット）参照）を満たす範囲内で使用してください。

★　**備考**　mn = 00, 01, 03, 10　p：CSI番号（p = 00, 01, 11, 20）

(1) レジスタ設定

図11－43　3線シリアルI/O（CSI00, CSI01, CSI11, CSI20）のマスタ送受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャネルnの動作クロック（f_{MCK}）
0：SPS0レジスタで設定したプリスケーラ出力クロック“CK00”
1：SPS0レジスタで設定したプリスケーラ出力クロック“CK01”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

(b) シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0		DLSmn2	DLSmn1	DLSmn0
	1	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
（設定内容詳細は「11. 3 シリアル・アレイ・ユニットを制御するレジスタ」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c) シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定（動作クロック（f_{MCK}）の分周設定）								送信データ設定／受信データ・レジスタ							
								0								

SIOp

(d) シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

★

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm					CKOm3注	CKOm2注	CKOm1	CKOm0					SOm3注	SOm2注	SOm1	SOm0
	0	0	0	0	0/1	0/1	0/1	0/1	0	0	0	0	0/1	0/1	0/1	0/1

クロック位相が“正転”（SCRmnレジスタのCKPmnビット = 0）のときは“1”で通信開始し，クロック位相が“反転”（CKPmnビット = 1）のときは“0”で通信開始する。

(e) シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

★

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3注	SOEm2注	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

(f) シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

★

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3注	SSm2注	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

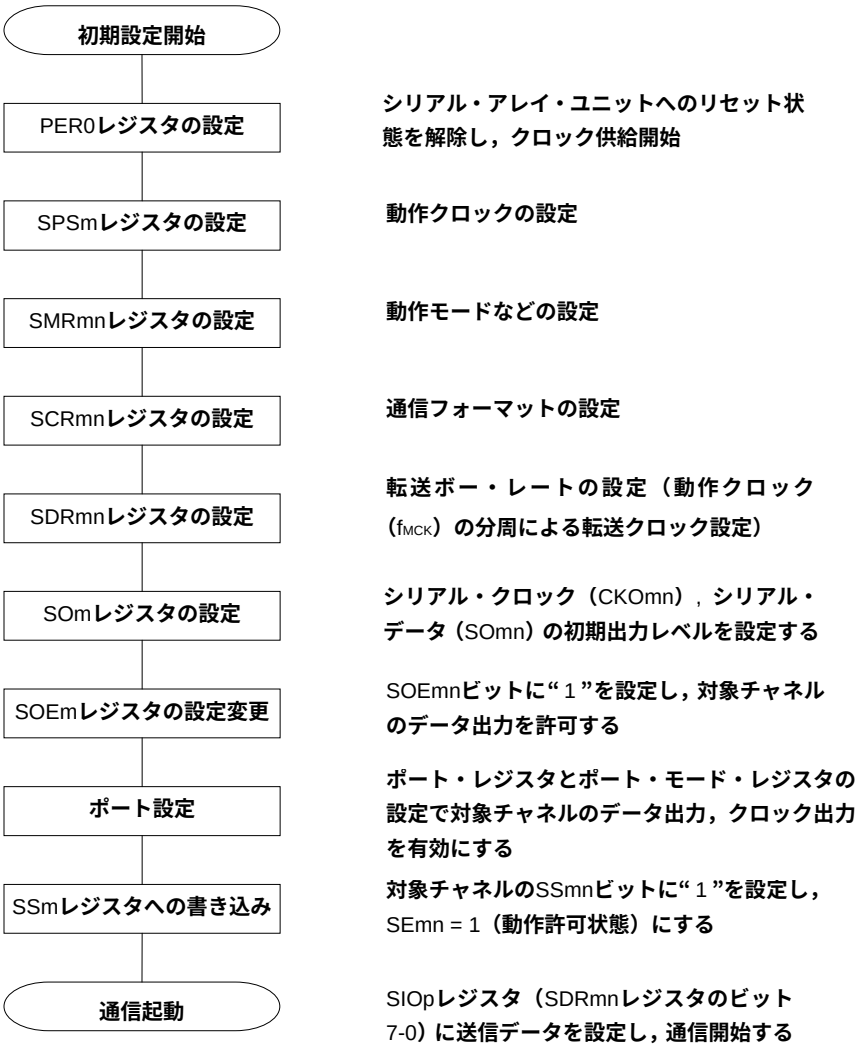
注　30ピン製品のシリアル・アレイ・ユニット0のみ

★ **備考**1.　mn = 00, 01, 03, 10　p：CSI番号（p = 00, 01, 11, 20）

2.　□：CSIマスタ送受信モードでは設定固定　■：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

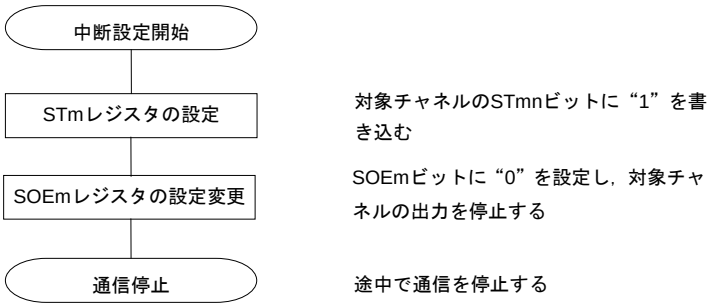
(2) 操作手順

図11－44　マスタ送受信の初期設定手順



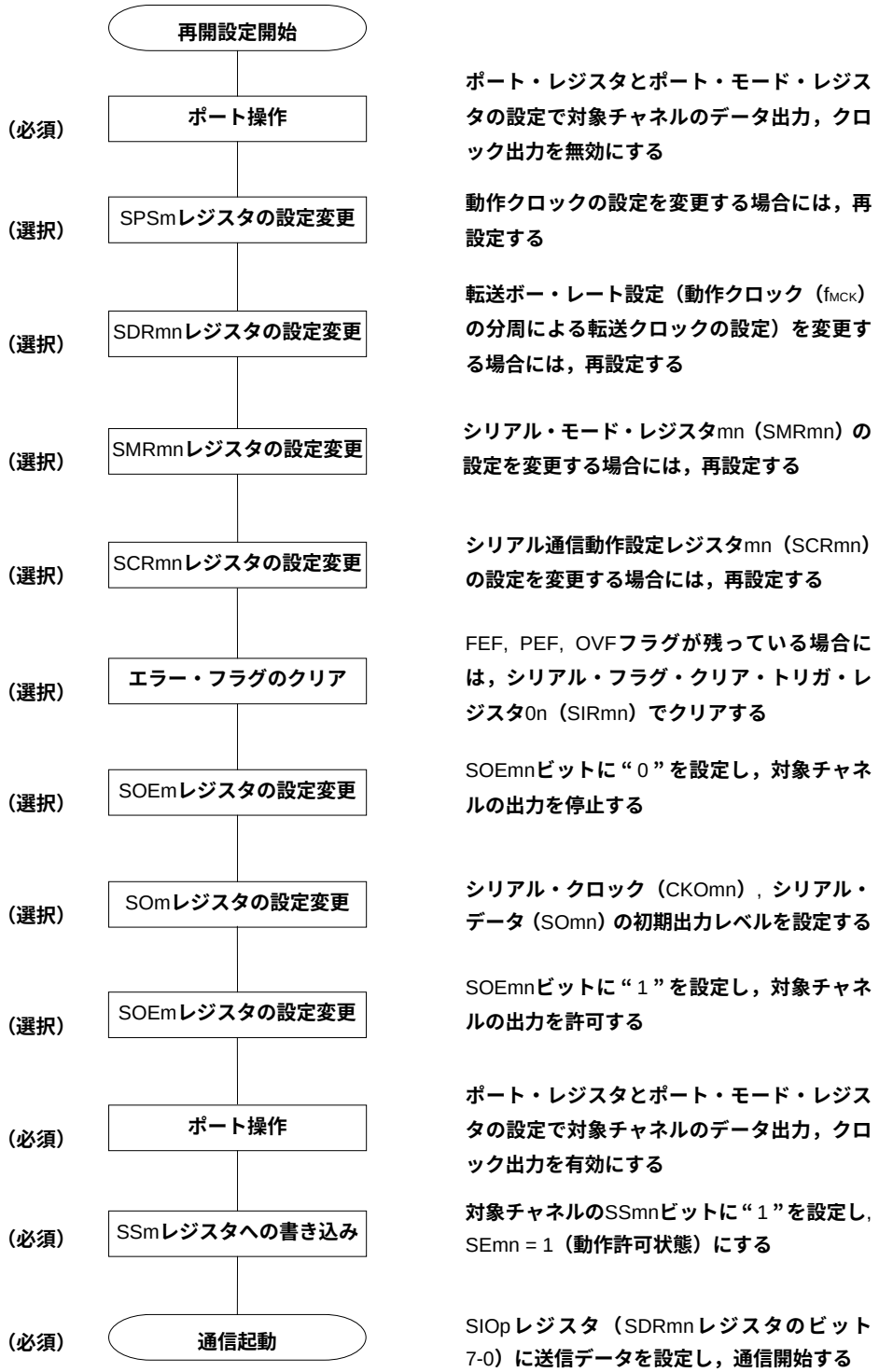
注意　周辺イネーブル・レジスタ0（PER0）のSAUmENビットを“1”に設定後に，fCLKの4クロック以上間隔をあけてからシリアル・クロック選択レジスタm（SPSm）を設定してください。

図11－45　マスタ送受信の中断手順



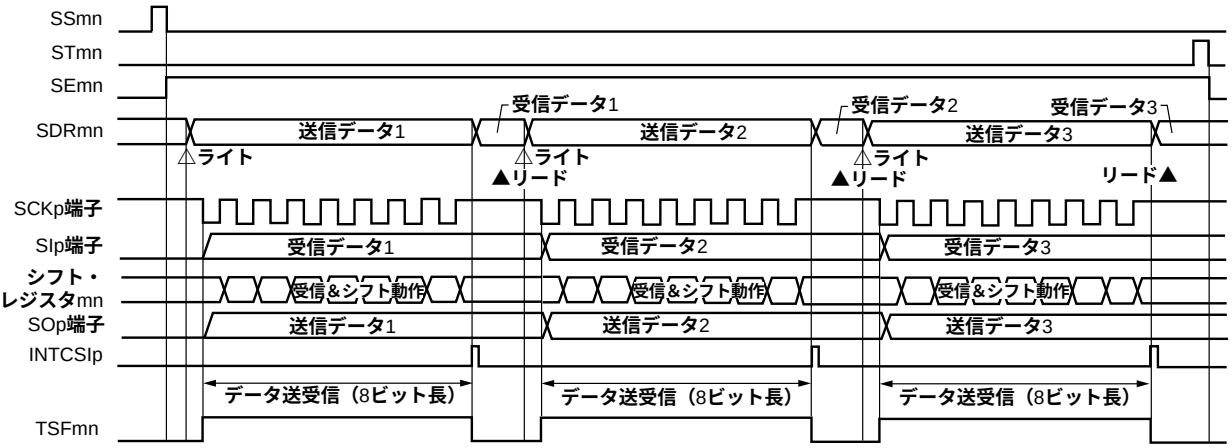
備考　中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタm（SOm）を再設定してください（図11－46　マスタ送受信の再開設定手順参照）。

図11－46　マスタ送受信の再開設定手順



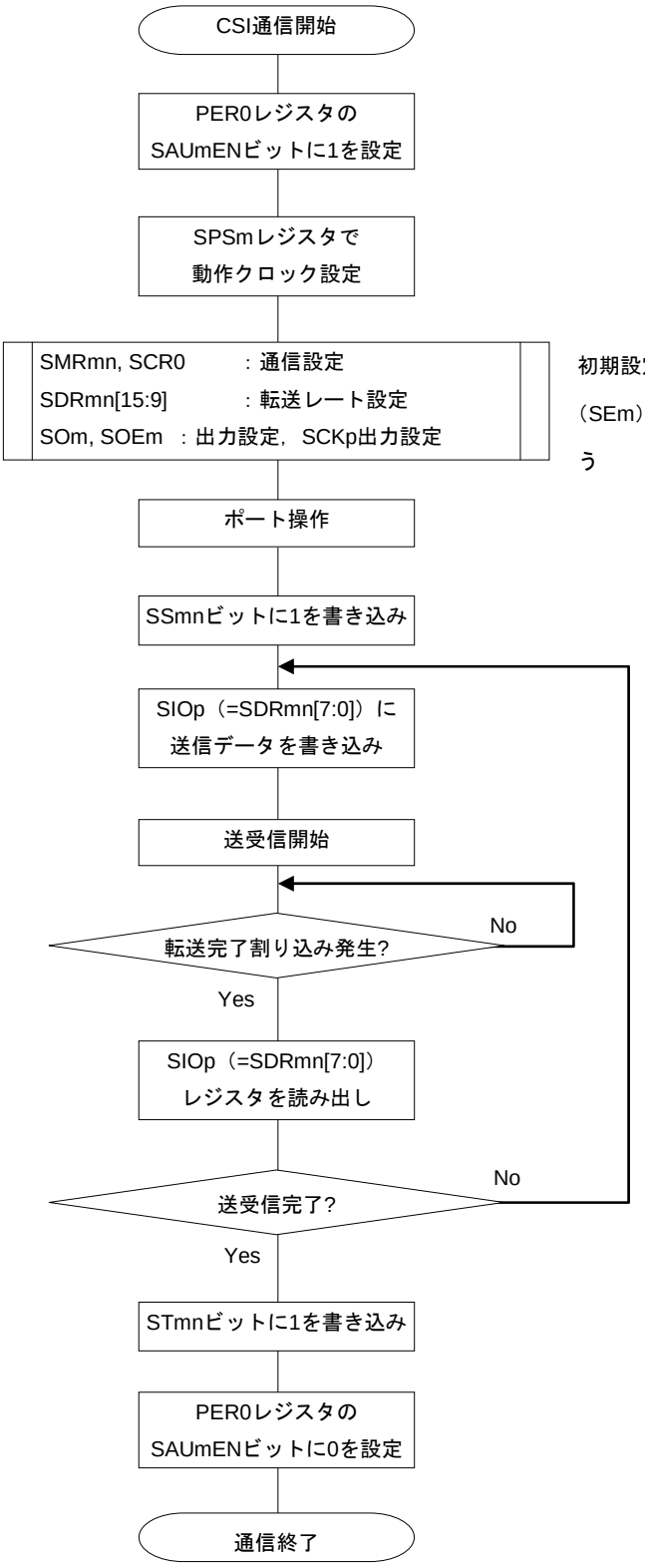
(3) 処理フロー（シングル送受信モード時）

図11－47　マスタ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



★　**備考**　mn = 00, 01, 03, 10　p：CSI番号（p = 00, 01, 11, 20）

図11－48　マスタ送受信（シングル送受信モード時）のフロー・チャート

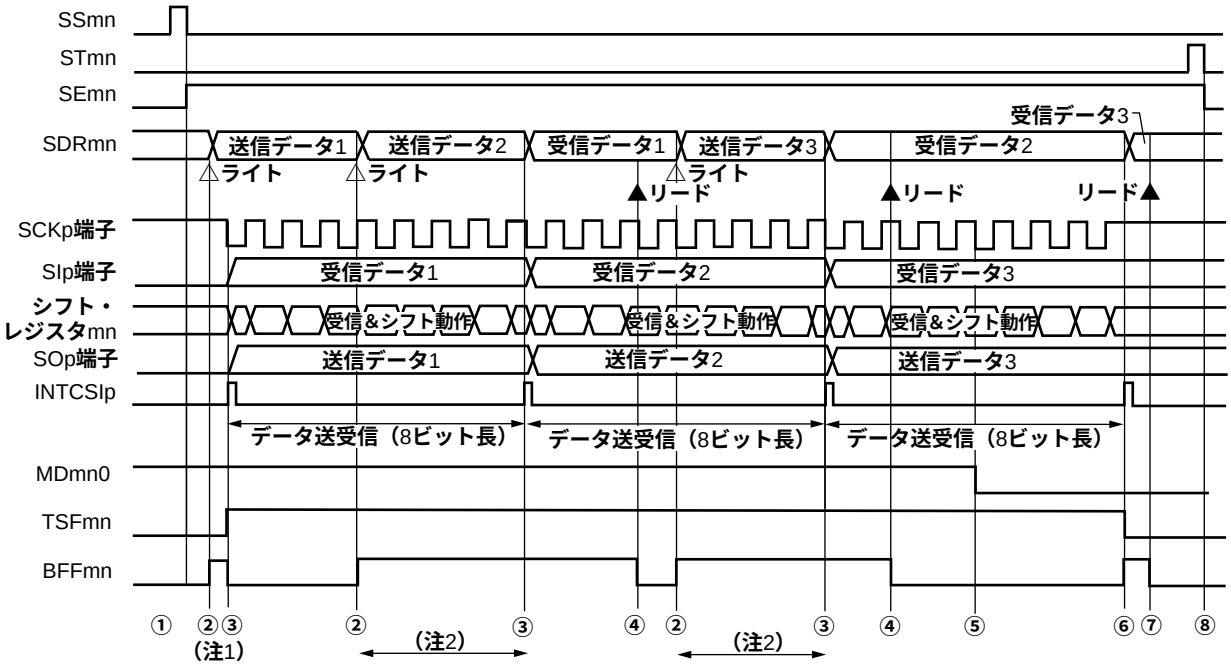


初期設定は，シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“0”の状態（動作停止状態）で行う

注意　周辺イネーブル・レジスタ0（PER0）のSAUmNビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm（SPSm）を設定してください。

（4）処理フロー（連続送受信モード時）

図11－49　マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



注1. **シリアル・ステータス・レジスタ**mn（SSRmn）**の**BFFmn**ビットが“1”の期間（有効なデータがシリアル・データ・レジスタ**mn（SDRmn）**に格納されている時）に**SDRmn**レジスタに送信データを書き込むと，送信データが上書きされます。**

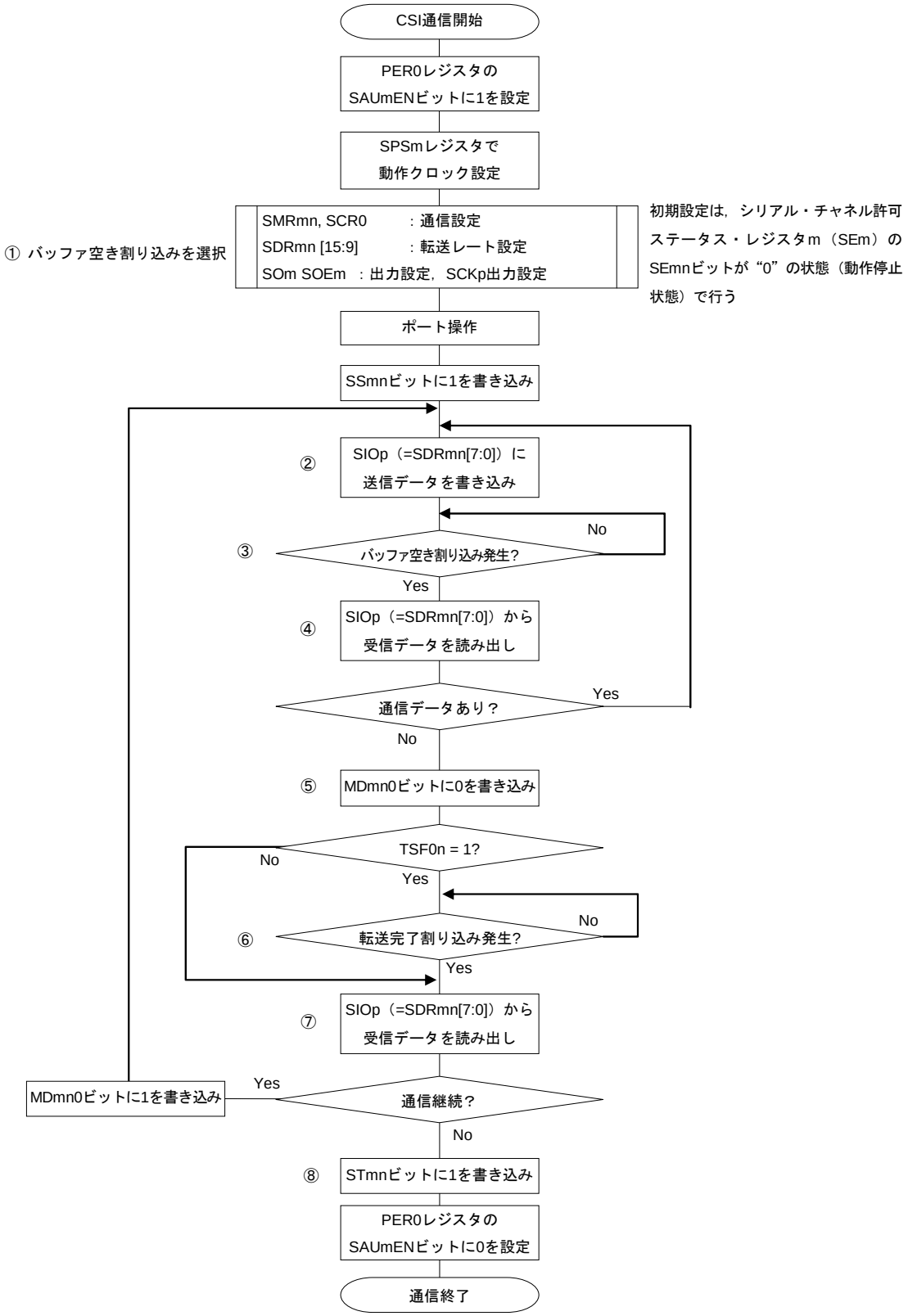
2. **この期間に**SDRmn**レジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。**

注意　シリアル・モード・レジスタmn（SMRmn）**の**MDmn0**ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。**

★ **備考**1. **図中の①~⑧は，図**11－50　**マスタ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。**

2. mn = 00, 01, 03, 10　p：**CSI番号（**p = 00, 01, 11, 20）

図11―50　マスタ送受信（連続送受信モード時）のフロー・チャート



注意　周辺イネーブル・レジスタ0（PER0）のSAUmENビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm（SPSm）を設定してください。

備考　図中の①~⑧は，図11－48　マスタ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

11. 5. 4　スレーブ送信

スレーブ送信とは，他デバイスから転送クロックを入力される状態で，RL78/G12から他デバイスへデータを送信する動作です。

★

3線シリアルI/O	CSI00	CSI01	CSI11	CSI20
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0
使用端子	$\overline{\text{SCK00}}$, SO00	$\overline{\text{SCK01}}$, SO01	$\overline{\text{SCK11}}$, SO11	$\overline{\text{SCK20}}$, SO20
割り込み	INTCSI00	INTCSI01	INTCSI11	INTCSI20
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. f_{MCK}/6[Hz]注1, 2			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

注1. $\overline{\text{SCK00}}$, $\overline{\text{SCK01}}$, $\overline{\text{SCK11}}$, $\overline{\text{SCK20}}$端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

2. この条件を満たし，かつ電気的特性のAC特性（第28章　電気的特性（ターゲット）参照）を満たす範囲内で使用してください。

★ **備考**1. f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

2. mn = 00, 01, 03, 10

(1) レジスタ設定

図11－51　3線シリアルI/O（CSI00, CSI01, CSI11, CSI20）のスレーブ送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

(b) シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0		DLSmn2	DLSmn1	DLSmn0
	1	0	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
（設定内容詳細は「11. 3 シリアル・アレイ・ユニットを制御するレジスタ」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c) シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	0000000 ボー・レート設定							0	送信データ設定							

SIOp

(d) シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
★ SOm					CKOm3注	CKOm2注	CKOm1	CKOm0					SOm3注	SOm2注	SOm1	SOm0
	0	0	0	0	0/1	0/1	0/1	0/1	0	0	0	0	0/1	0/1	0/1	0/1

(e) シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
★ SOEm													SOEm3注	SOEm2注	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

(f) シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
★ SSm													SSm3注	SSm2注	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

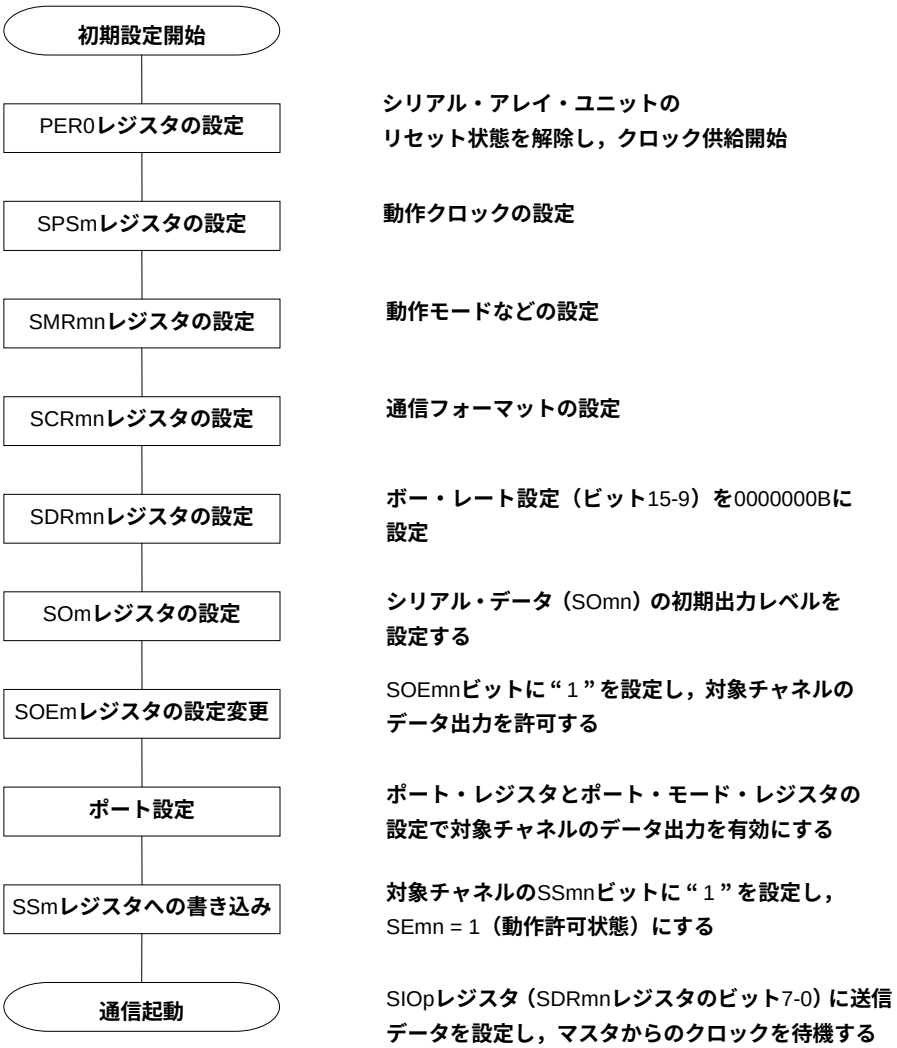
注　30ピン製品のシリアル・アレイ・ユニット0のみ

★ **備考**1.　mn = 00, 01, 03, 10　p：CSI番号（p = 00, 01, 11, 20）

2.　□：CSIスレーブ送信モードでは設定固定　▨：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

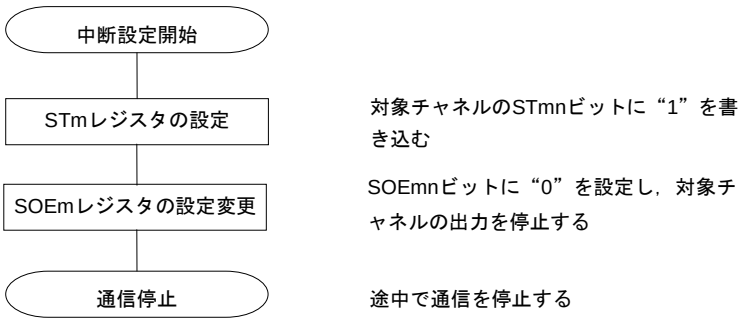
(2) 操作手順

図11－52　スレーブ送信の初期設定手順



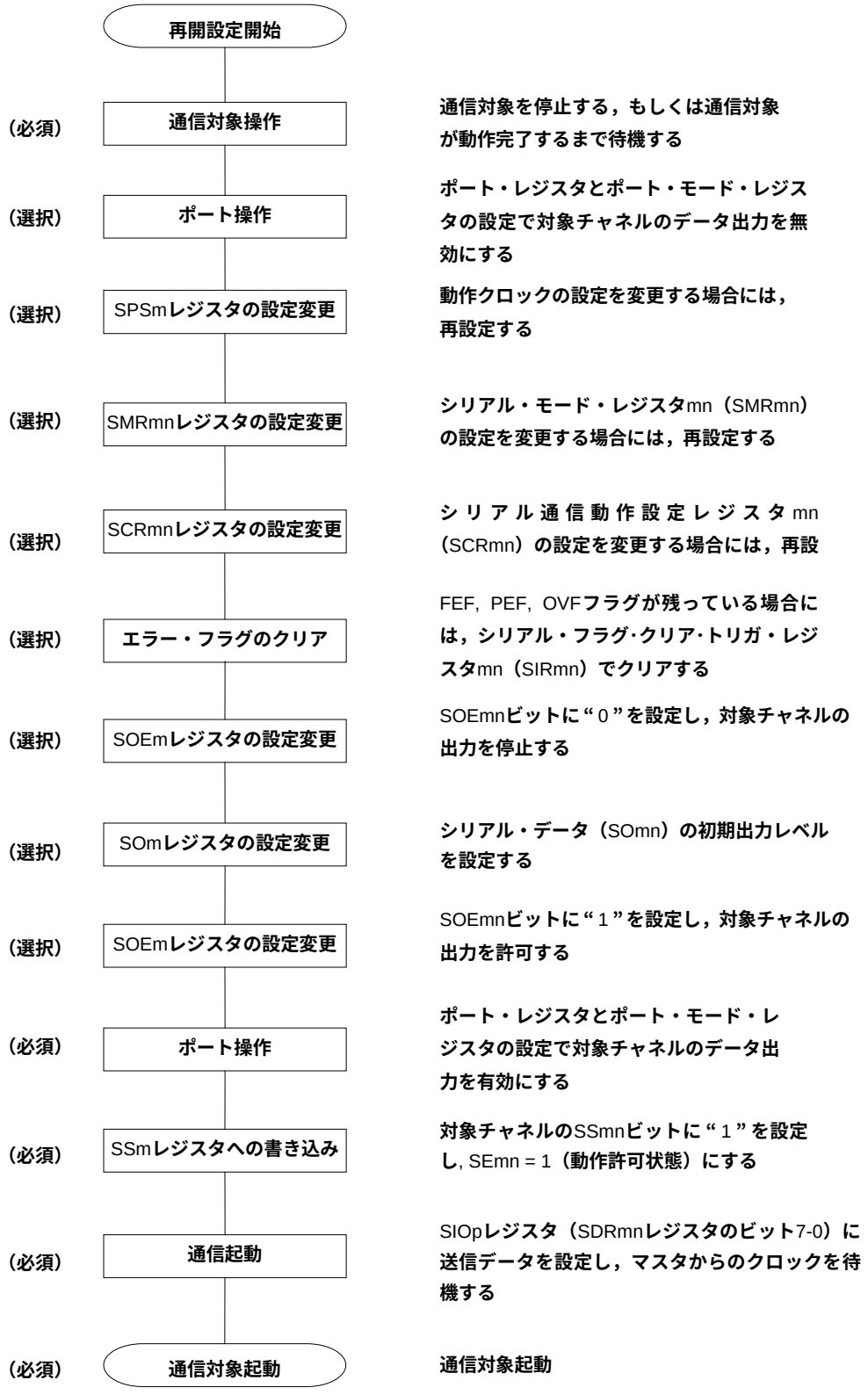
注意　周辺イネーブル・レジスタ0（PER0）のSAUmENビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm（SPSm）を設定してください。

図11－53　スレーブ送信の中断手順



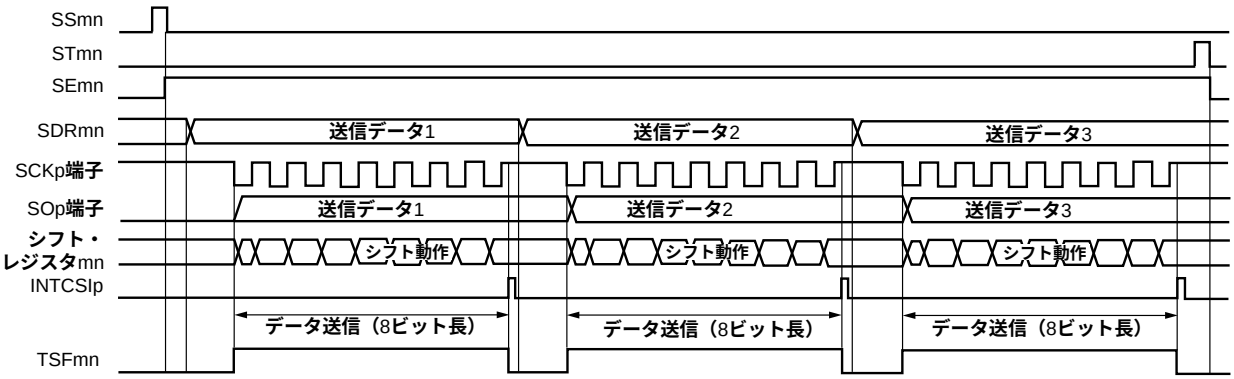
備考　中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタm（SOm）を再設定してください（図11－54　スレーブ送信の再開設定手順参照）。

図11－54　スレーブ送信の再開設定手順



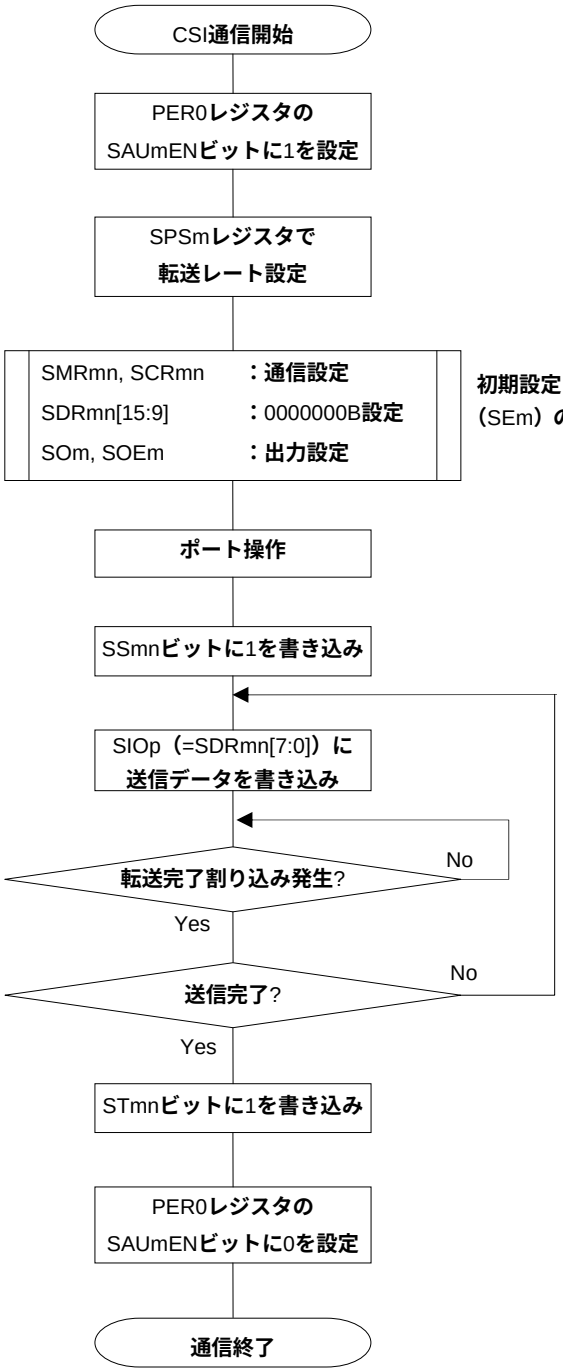
（3）処理フロー（シングル送信モード時）

図11－55　スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



★　**備考**　mn = 00, 01, 03, 10　p：CSI番号（p = 00, 01, 11, 20）

図11－56　スレーブ送信（シングル送信モード時）のフロー・チャート

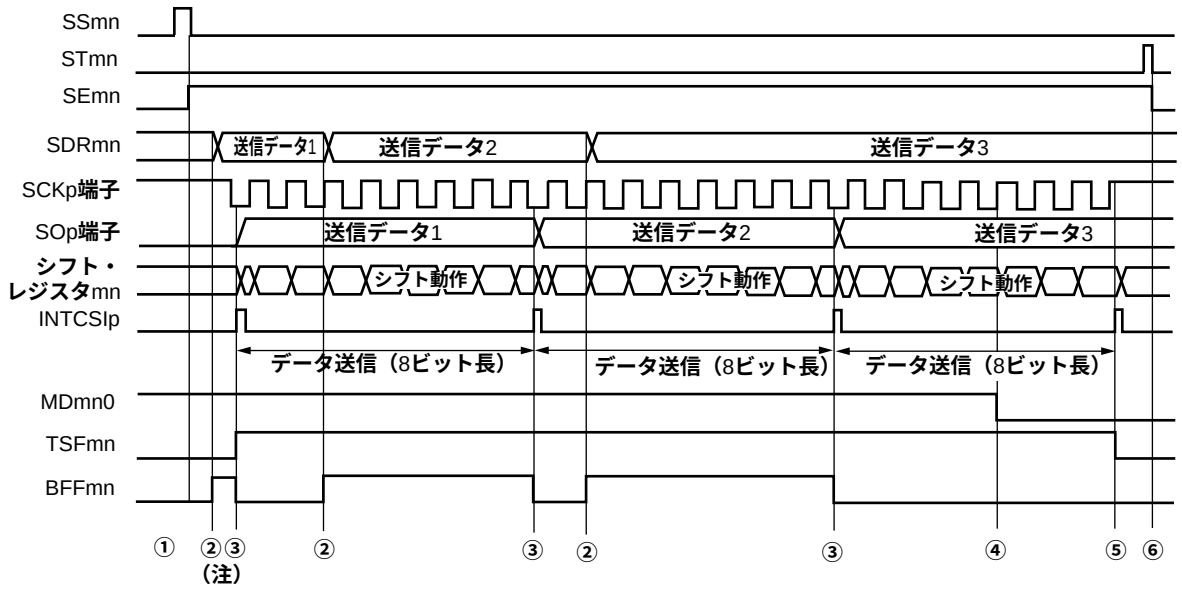


初期設定は，シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“0”の状態（動作停止状態）で行う

注意　周辺イネーブル・レジスタ0（PER0）のSAUmENビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm（SPSm）を設定してください。

(4) 処理フロー（連続送信モード時）

図11－57　スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

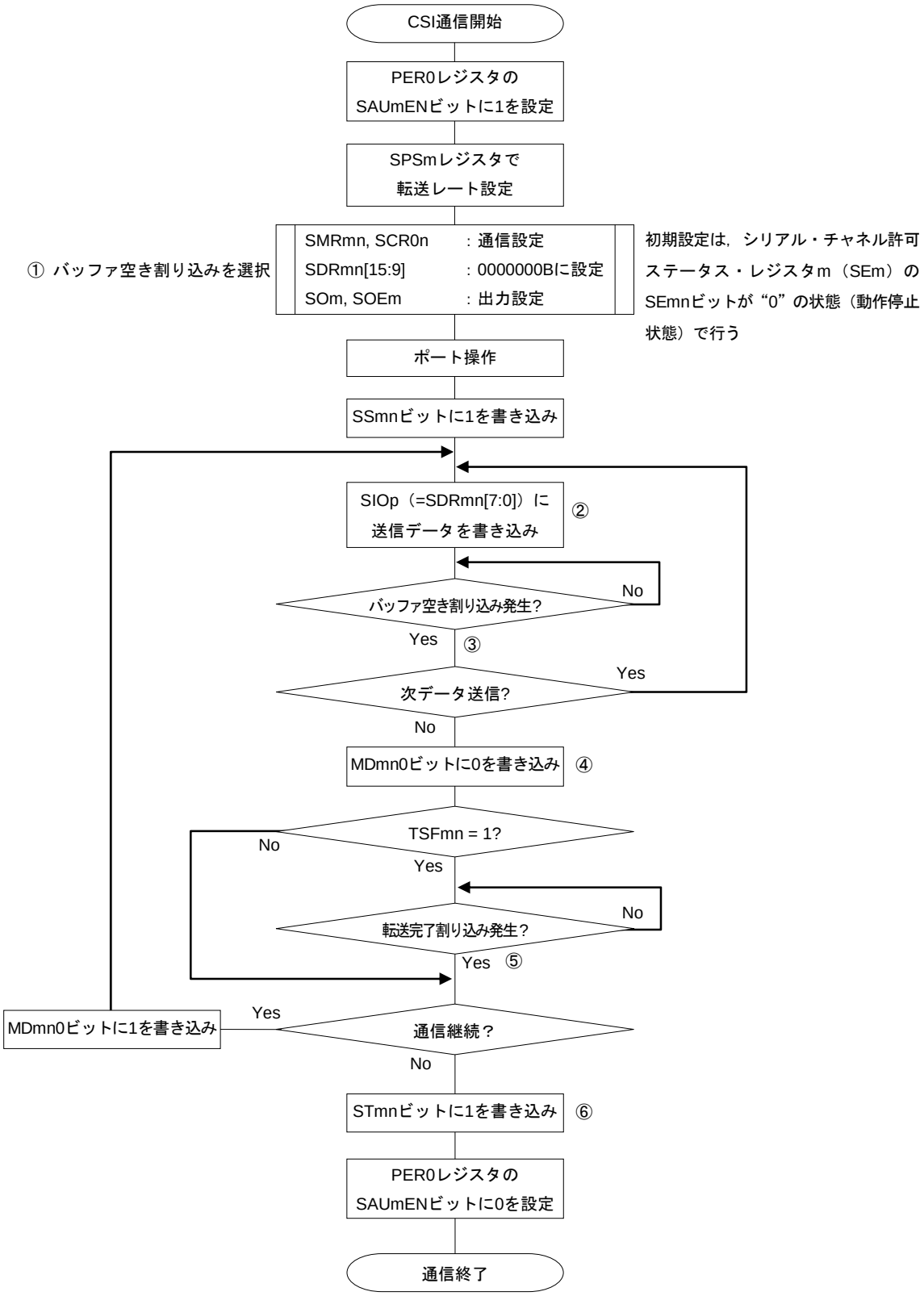


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最終ビットの転送開始前までに書き換えてください。

★　**備考**　mn = 00, 01, 03, 10　p：CSI番号（p = 00, 01, 11, 20）

図11－58　スレーブ送信（連続送信モード時）のフロー・チャート



注意　周辺イネーブル・レジスタ0（PER0）のSAUmENビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm（SPSm）を設定してください。

備考　図中の①~⑥は，図11－56　スレーブ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

11. 5. 5　スレーブ受信

スレーブ受信とは，他デバイスから転送クロックを入力される状態で，RL78/G12**が他デバイスからデータを受信する動作です。**

★

3線シリアルI/O	CSI00	CSI01	CSI11	CSI20
対象チャネル	SAU0**のチャネル**0	SAU0**のチャネル**1	SAU0**のチャネル**3	SAU1**のチャネル**0
使用端子	$\overline{\text{SCK00}}$, SI00	$\overline{\text{SCK01}}$, SI01	$\overline{\text{SCK11}}$, SI11	$\overline{\text{SCK20}}$, SI20
割り込み	INTCSI00	INTCSI01	INTCSI11	INTCSI20
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）			
エラー検出フラグ	**オーバラン・エラー検出フラグ（**OVFmn**）のみ**			
転送データ長	7**ビットまたは**8**ビット**			
転送レート	Max. f_{MCK}/6 [Hz]**注**1, 2			
データ位相	SCRmn**レジスタの**DAPmn**ビットにより選択可能** ・DAPmn = 0**の場合：シリアル・クロックの動作開始からデータ入力を開始** ・DAPmn = 1**の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始**			
クロック位相	SCRmn**レジスタの**CKPmn**ビットにより選択可能** ・CKPmn = 0**の場合：正転** ・CKPmn = 1**の場合：反転**			
データ方向	MSB**ファーストまたは**LSB**ファースト**			

★ **注**1.　$\overline{\text{SCK00}}$, $\overline{\text{SCK01}}$, $\overline{\text{SCK11}}$, $\overline{\text{SCK20}}$**端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートは**f_{MCK}/6 [Hz]**となります。**

2.　**この条件を満たし，かつ電気的特性の**AC**特性（第**28**章　電気的特性（ターゲット）参照）を満たす範囲内で使用してください。**

備考1.　f_{MCK}**：対象チャネルの動作クロック周波数**

f_{CLK}**：システム・クロック周波数**

★ 2.　mn = 00, 01, 03, 10　p**：**CSI**番号（**p = 00, 01, 11, 20**）**

(1) レジスタ設定

図11－59　3線シリアルI/O（CSI00, CSI01, CSI11, CSI20）のスレーブ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み

(b) シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0		DLSmn2	DLSmn1	DLSmn0
	0	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
（設定内容詳細は「11. 3 シリアル・アレイ・ユニットを制御するレジスタ」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c) シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR0n	0000000 ボー・レート設定							0	受信データ							

SIOp

(d) シリアル出力レジスタm（SOm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
★ SO0							CKOm1	CKOm0					SOm3注	SOm2注	SOm1	SOm0
	0	0	0	0	0	0	×	×	0	0	0	0	×	×	×	×

(e) シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
★ SOE0													SOEm3注	SOEm2注	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	×	×	×

(f) シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
★ SS0													SSm3注	SSm2注	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

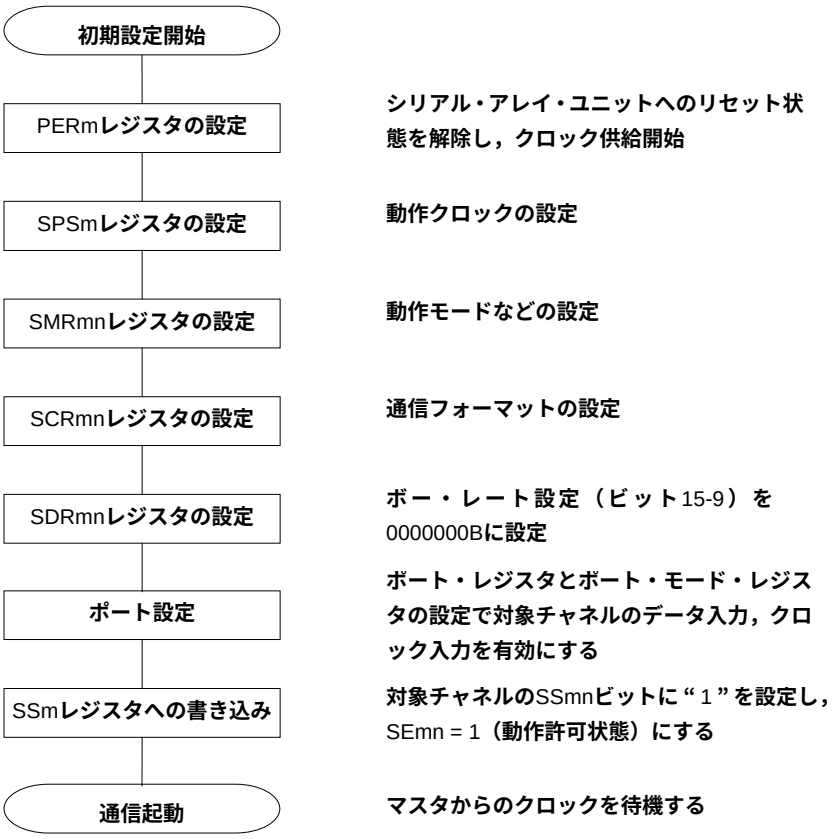
注　30ピン製品のシリアル・アレイ・ユニット0のみ

★ **備考**1.　mn = 00, 01, 03, 10　p：CSI番号（p = 00, 01, 11, 20）

2. □：スレーブ受信モードでは設定固定　▒：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

(2) 操作手順

図11－60　スレーブ受信の初期設定手順



注意　周辺イネーブル・レジスタ0（PER0）のSAUmENビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm（SPSm）を設定してください。

図11－61　スレーブ受信の中断手順

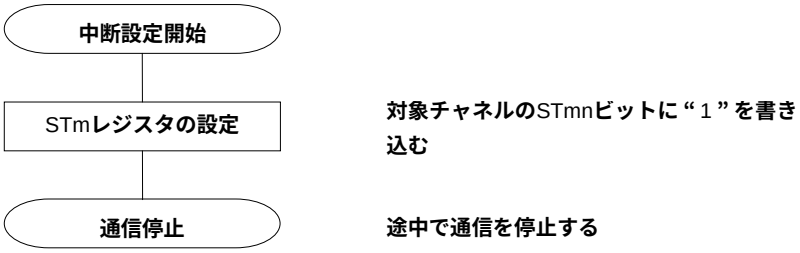
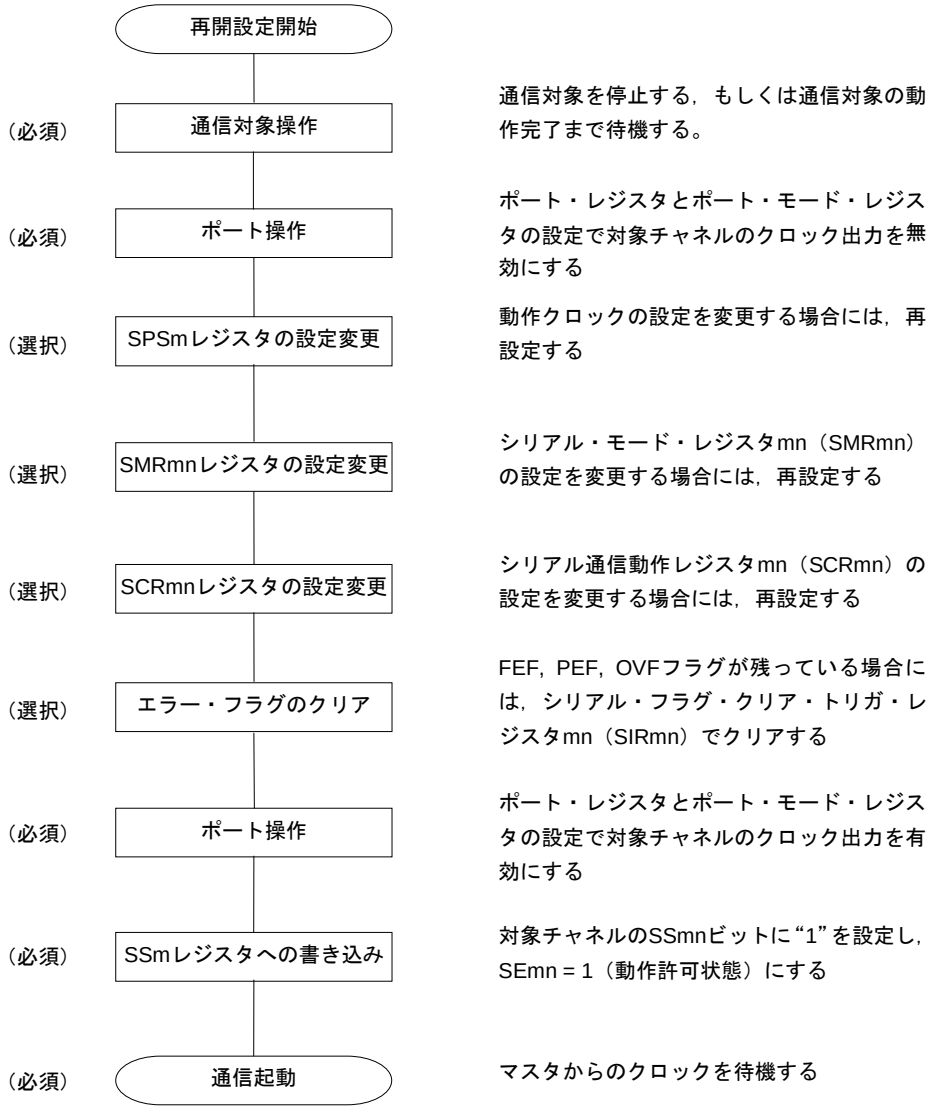
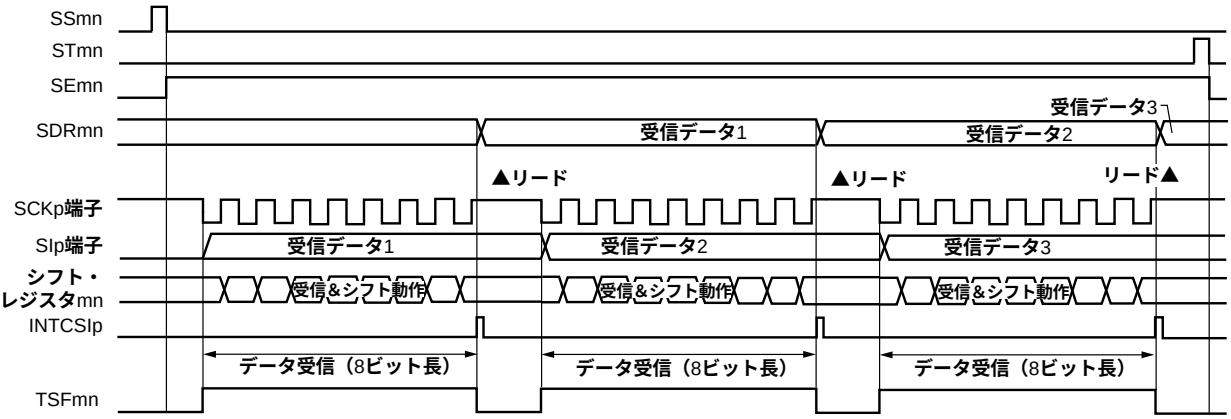


図11－62　スレーブ受信の再開設定手順



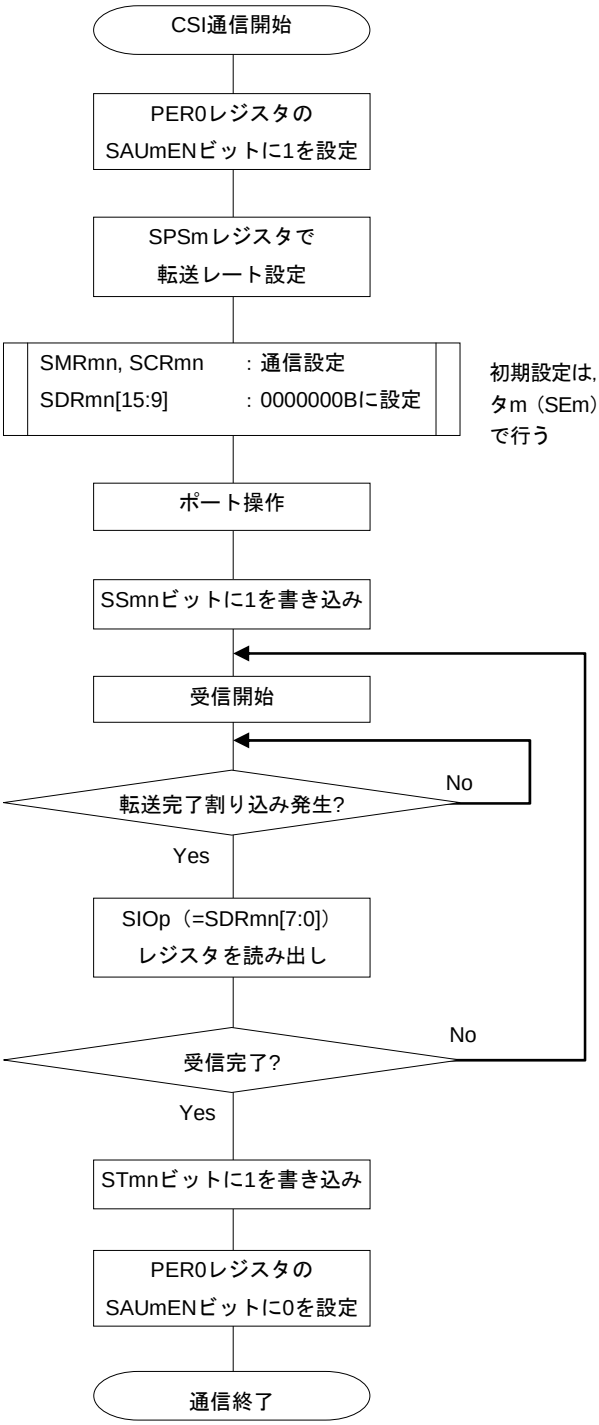
(3) 処理フロー（シングル受信モード時）

図11－63　スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



★　**備考**　mn = 00, 01, 03, 10　p：CSI番号（p = 00, 01, 11, 20）

図11－64　スレーブ受信（シングル受信モード時）のフロー・チャート



注意　周辺イネーブル・レジスタ0（PER0）のSAUmENビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm（SPSm）を設定してください。

11. 5. 6　スレーブ送受信

スレーブ送受信とは，他デバイスから転送クロックを入力される状態で，RL78/G12と他デバイスでデータを送受信する動作です。

★

3線シリアルI/O	CSI00	CSI01	CSI11	CSI20
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0
使用端子	$\overline{\text{SCK00}}$, SI00, SO00	$\overline{\text{SCK01}}$, SI01, SO01	$\overline{\text{SCK11}}$, SI11, SO11	$\overline{\text{SCK20}}$, SI20, SO20
割り込み	INTCSI00	INTCSI01	INTCSI11	INTCSI20
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. f_{MCK}/6 [Hz]注1, 2			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

★ 注1. $\overline{\text{SCK00}}$, $\overline{\text{SCK01}}$, $\overline{\text{SCK11}}$, $\overline{\text{SCK20}}$端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

2. この条件を満たし，かつ電気的特性のAC特性（第28章　電気的特性（ターゲット）参照）を満たす範囲内で使用してください。

備考1. f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

★ 2. mn = 00, 01, 03, 10　p：CSI番号（p = 00, 01, 11, 20）

(1) レジスタ設定

図11－65　3線シリアルI/O（CSI00, CSI01, CSI11, CSI20）のスレーブ送受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

(b) シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0		DLSmn2	DLSmn1	DLSmn0
	1	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
（設定内容詳細は「11. 3 シリアル・アレイ・ユニットを制御するレジスタ」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c) シリアル・データ・レジスタmn（SDRmn）下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	0000000 ボー・レート設定							0	送信データ設定／受信データ・レジスタ							

SIOp

(d) シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
★ SOm					CKOm3[注]	CKOm2[注]	CKOm1	CKOm0					SOm3[注]	SOm2[注]	SOm1	SOm0
	0	0	0	0	×	×	×	×	0	0	0	0	0/1	0/1	0/1	0/1

(e) シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
★ SOEm													SOEm3[注]	SOEm2[注]	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

(f) シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
★ SSm													SSm3[注]	SSm2[注]	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

注　30ピン製品のシリアル・アレイ・ユニット0のみ

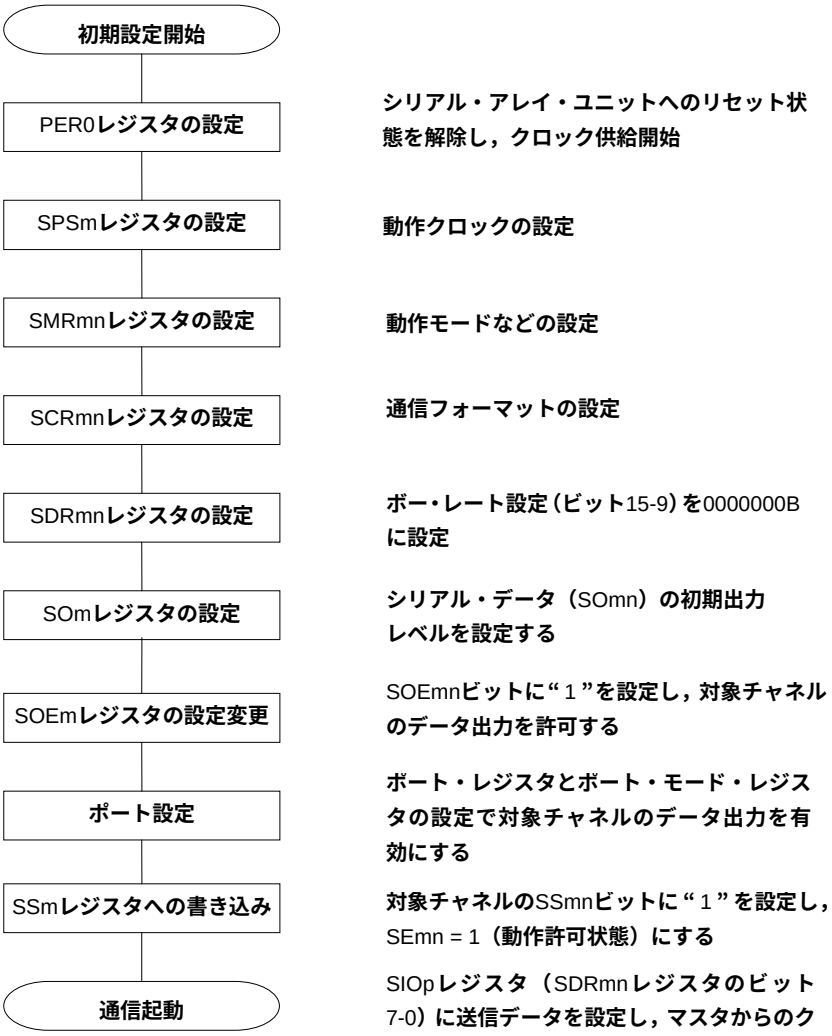
注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

★ **備考**1.　mn = 00, 01, 03, 10　p：CSI番号（p = 00, 01, 11, 20）

2. □：CSIスレーブ送受信モードでは設定固定　■：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

(2) 操作手順

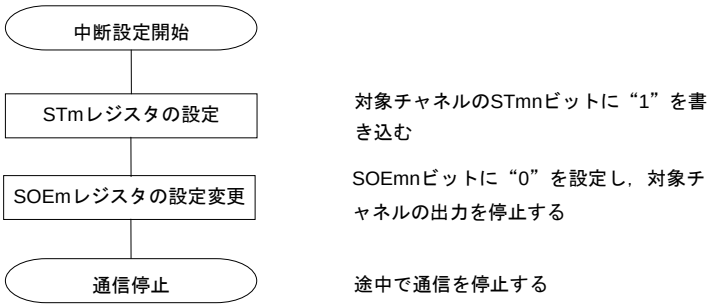
図11－66　スレーブ送受信の初期設定手順



注意1. **周辺イネーブル・レジスタ**0（PER0）**の**SAUmEN**ビットを“**1**”に設定後に，**f_{CLK}**の**4**クロック以上間隔をあけてからシリアル・クロック選択レジスタ**0（SPS0）**を設定してください。**

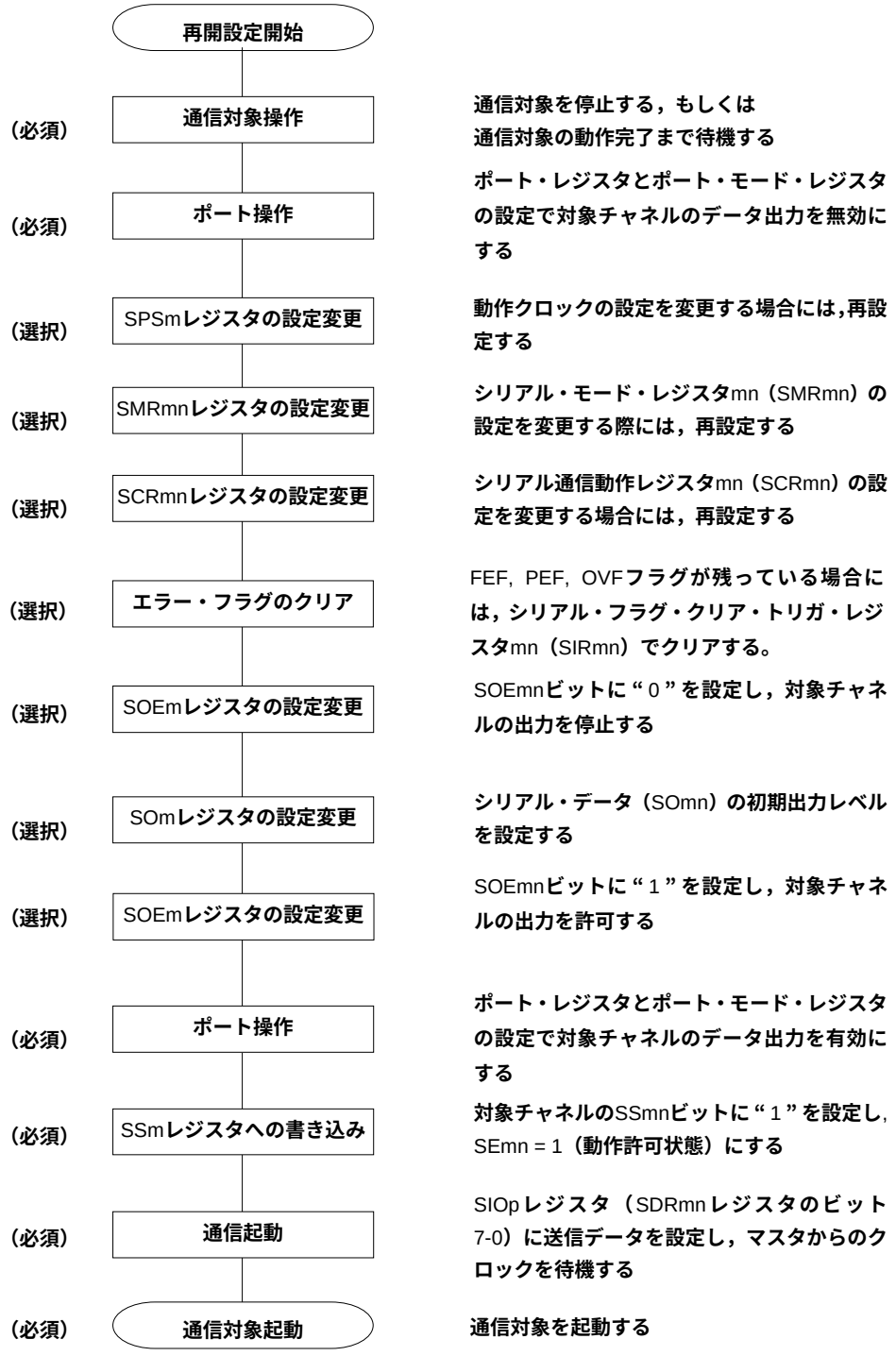
2. **マスタからのクロックが開始される前に，必ず送信データを**SIOp**レジスタへ設定してください。**

図11－67　スレーブ送受信の中断手順



備考　**中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタ**m（SOm）**を再設定してください（図**11－68　**スレーブ送受信の再開設定手順参照）。**

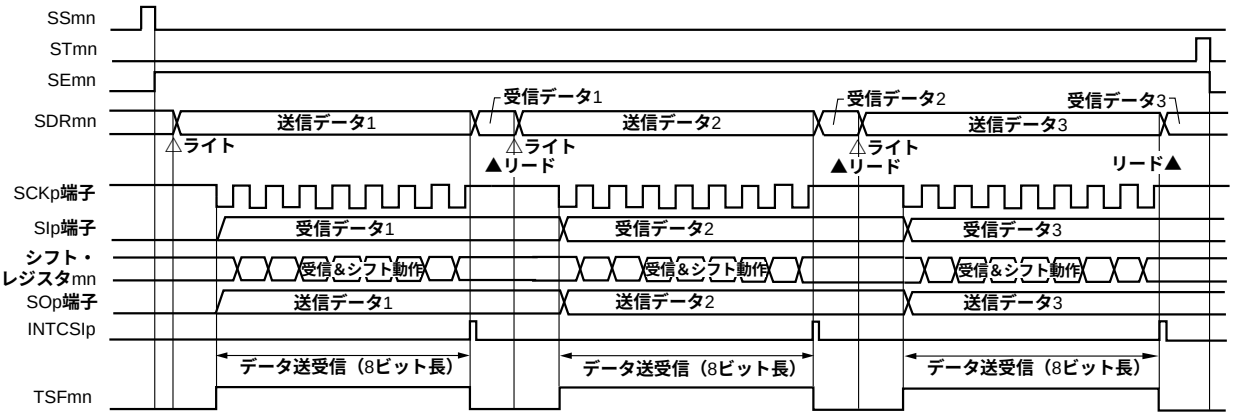
図11－68　スレーブ送受信の再開設定手順



注意　マスタからのクロックが開始される前に，必ず送信データをSIOp**レジスタへ設定してください。**

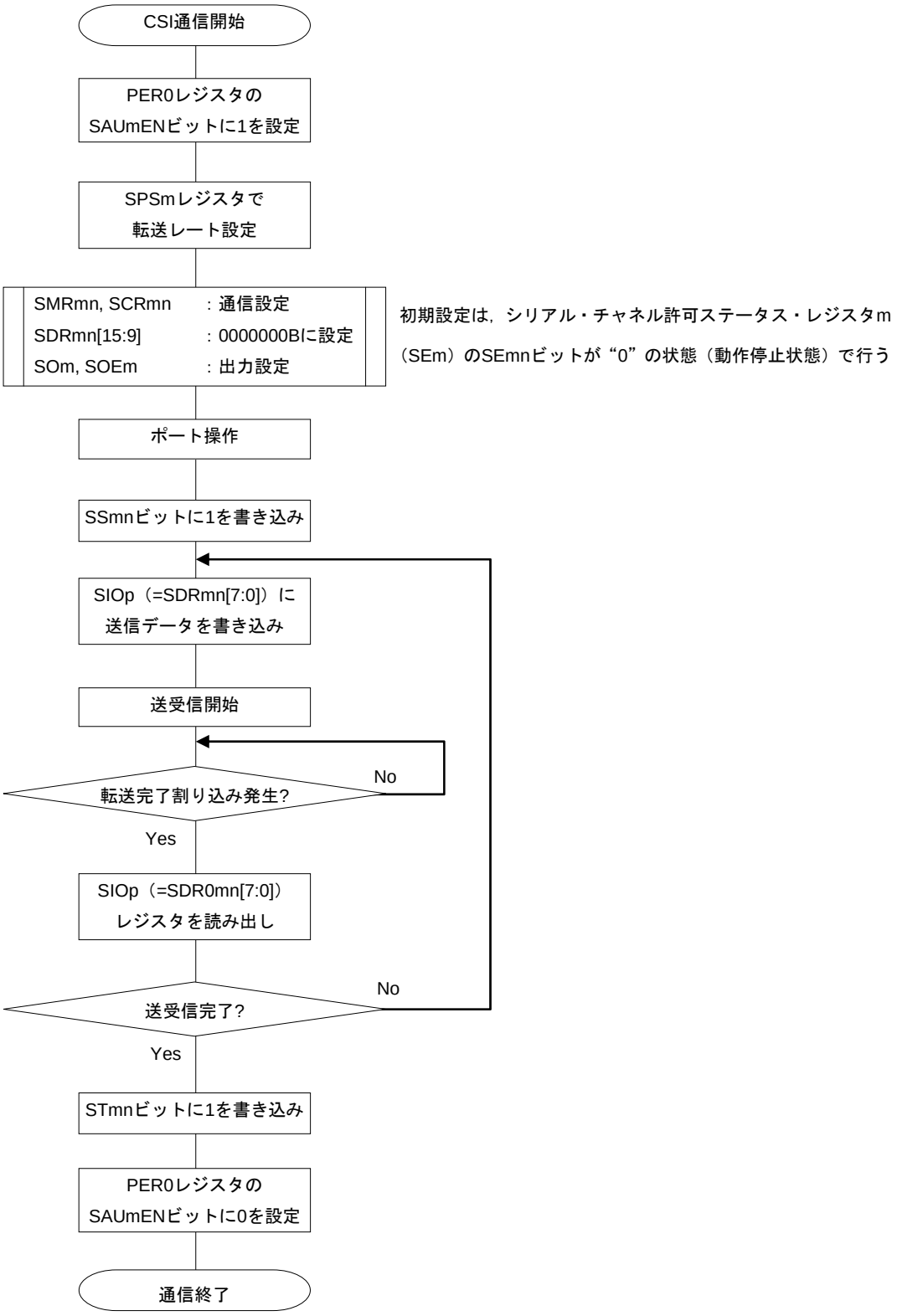
(3) 処理フロー（シングル送受信モード時）

図11－69　スレーブ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



★　**備考**　mn = 00, 01, 03, 10　p：CSI番号（p = 00, 01, 11, 20）

図11－70　スレーブ送受信（シングル送受信モード時）のフロー・チャート

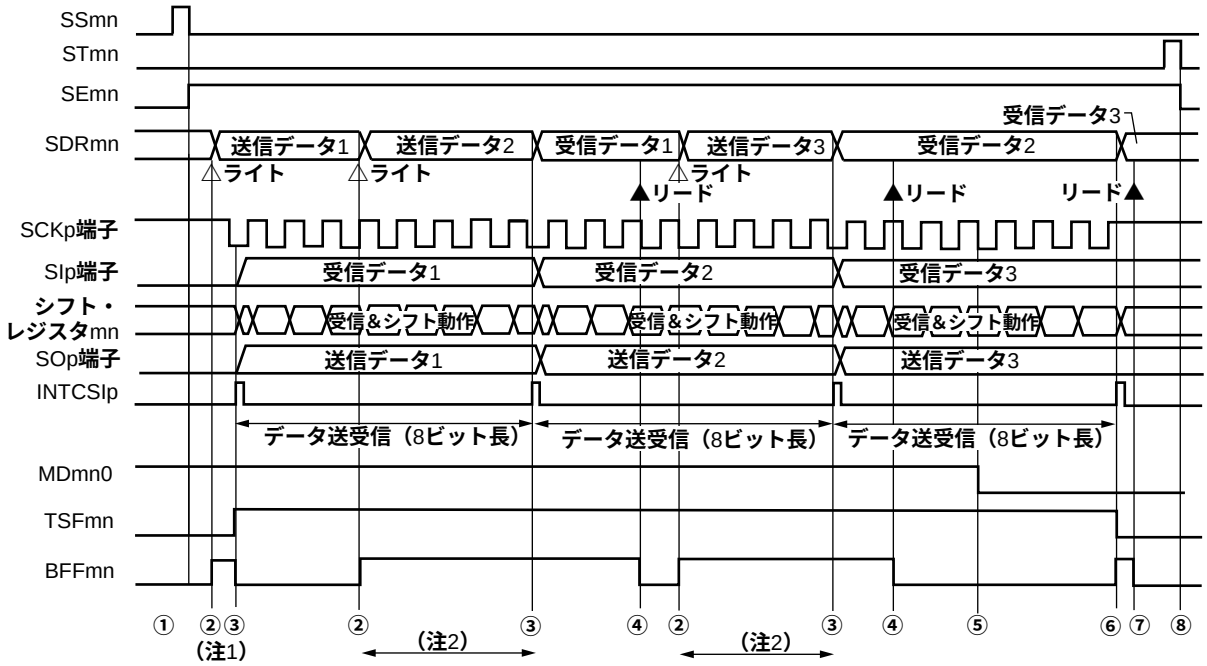


注意1. **周辺イネーブル・レジスタ**0（PER0）**の**SAUmEN**ビットを“**1**”に設定後に，**f_{CLK}**の**4**クロック以上間隔をあけてからシリアル・クロック選択レジスタ**m（SPSm）**を設定してください。**

2. **マスタからのクロックが開始される前に，必ず送信データを**SIOp**レジスタへ設定してください。**

(4) 処理フロー（連続送受信モード時）

図11－71　**スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ**1**：**DAPmn =0, CKPmn = 0**）**



注1.　**シリアル・ステータス・レジスタ**mn（SSRmn）**の**BFFmn**ビットが“**1**”の期間（有効なデータがシリアル・データ・レジスタ**mn（SDRmn）**に格納されている時）に**SDRmn**レジスタに送信データを書き込むと，送信データが上書きされます。**

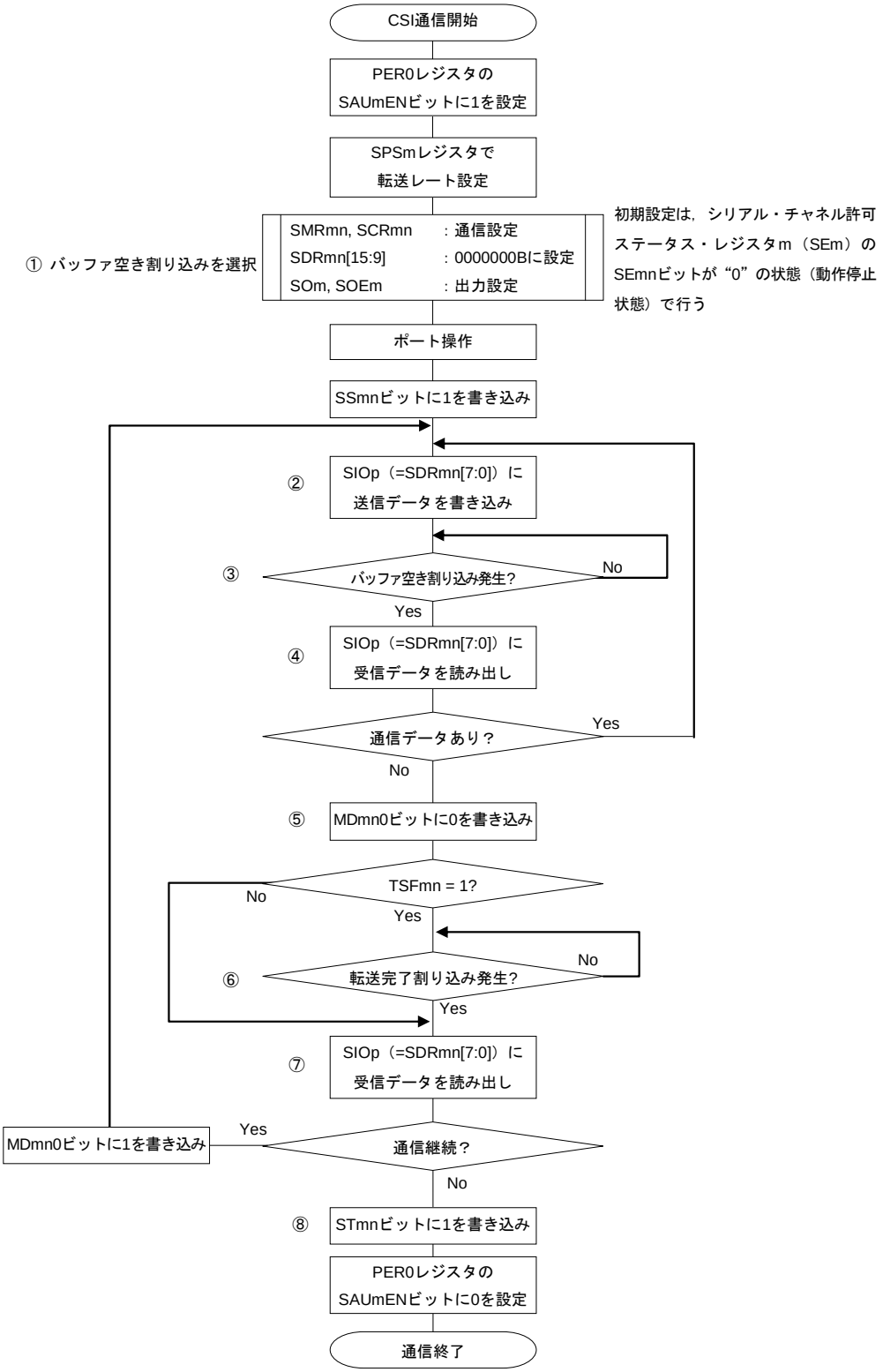
2.　**この期間に**SDRmn**レジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。**

注意　シリアル・モード・レジスタmn（SMRmn）**の**MDmn0**ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。**

備考1.　**図中の①~⑧は，図**11－72　**スレーブ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。**

★　2.　mn = 00, 01, 03, 10　p：**CSI番号（**p = 00, 01, 11, 20**）**

図11－72　スレーブ送受信（連続送受信モード時）のフロー・チャート



注意1.　**周辺イネーブル・レジスタ**0（PER0）**の**SAUmEN**ビットを“**1**”に設定後に，**f_{CLK}**の**4**クロック以上間隔をあけてからシリアル・クロック選択レジスタ**m（SPSm）**を設定してください。**

2.　**マスタからのクロックが開始される前に，必ず送信データを**SIOp**レジスタへ設定してください。**

備考　**図中の①~⑧は，図**11－71　**スレーブ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。**

11. 5. 7　SNOOZEモード機能（CSI00のみ）

CSI00（ユニット0のチャネル0）は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態で$\overline{\text{SCK00}}$端子入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。非同期受信動作に対応している，CSI00のみ設定可能です。

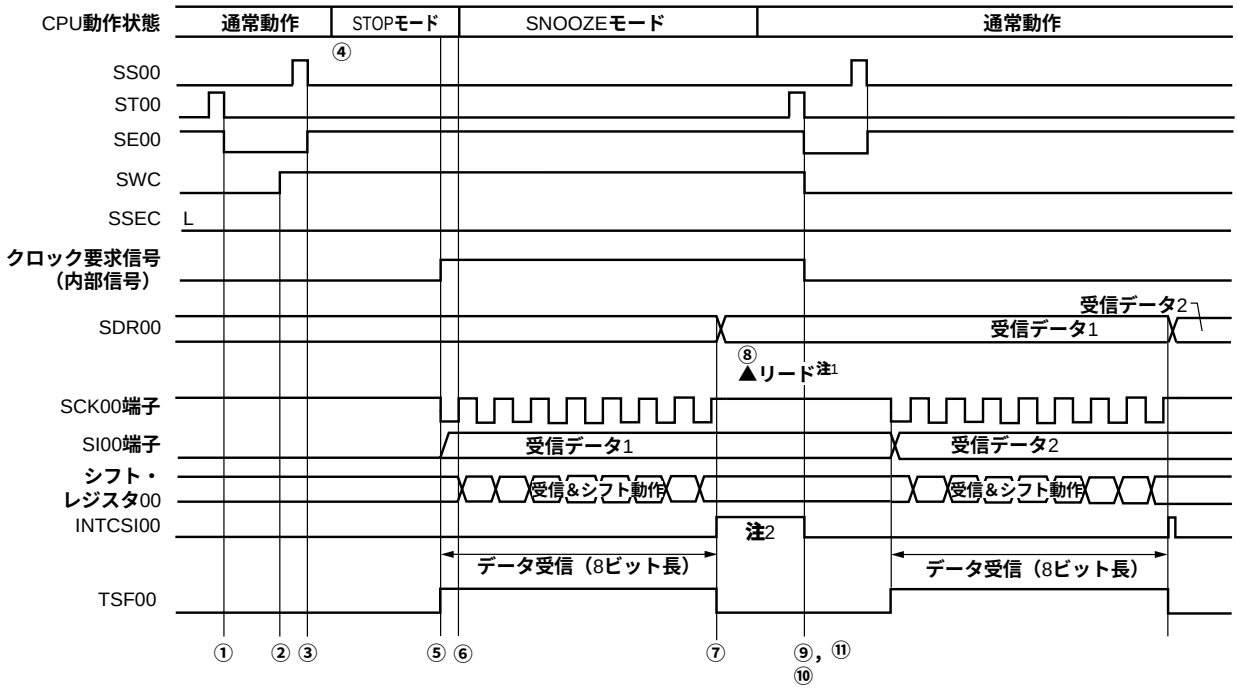
SNOOZEモード機能を使用する場合は，STOPモードに移行する前にシリアル・スタンバイ・コントロール・レジスタ0（SSC0）のSWCビットを1に設定しておきます。

★ **注意**1. SNOOZEモードは，f_{CLK}にHOCOクロックを選択している場合のみ設定可能です。

2. CSI00をSNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

（1）SNOOZEモード動作（1回起動）

図11－73　SNOOZEモード動作（1回起動）時のタイミング・チャート（タイプ1：DAP00 =0, CKP00 = 0）



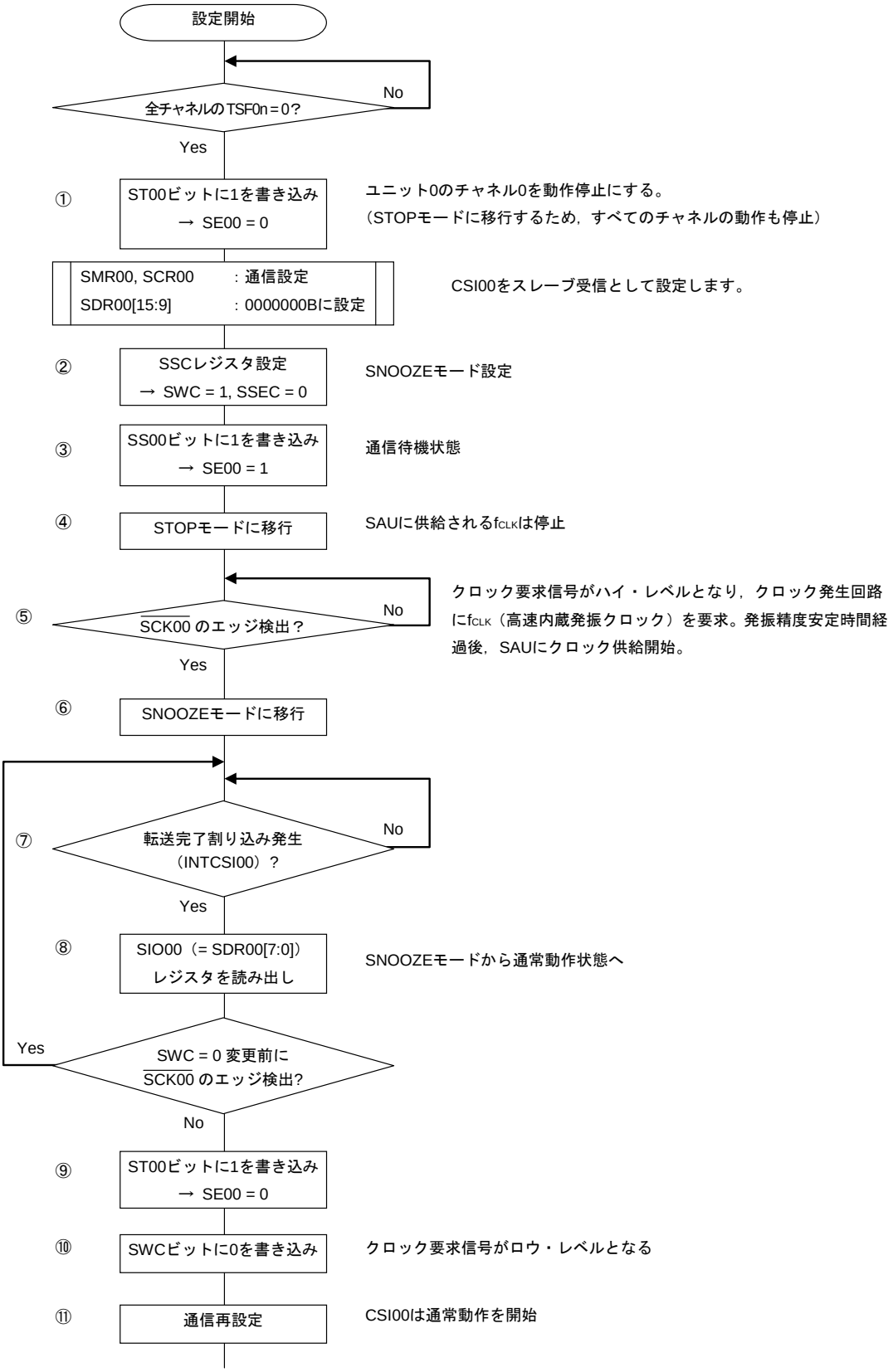
注1. 受信データの読み出しは，SWC = 1の状態，次の$\overline{\text{SCK00}}$端子のエッジ検出前に行ってください。

2. 転送完了割り込み（INTCSI00）は，SWC = 0に設定するか，次の$\overline{\text{SCK00}}$端子のエッジ検出でクリアされます。

注意　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずST00ビットを1に設定しSE00ビットをクリア（動作停止）させてください。

備考　図中の①~⑪は，図11－74　SNOOZEモード動作（1回起動）時のフロー・チャートの①~⑪に対応しています。

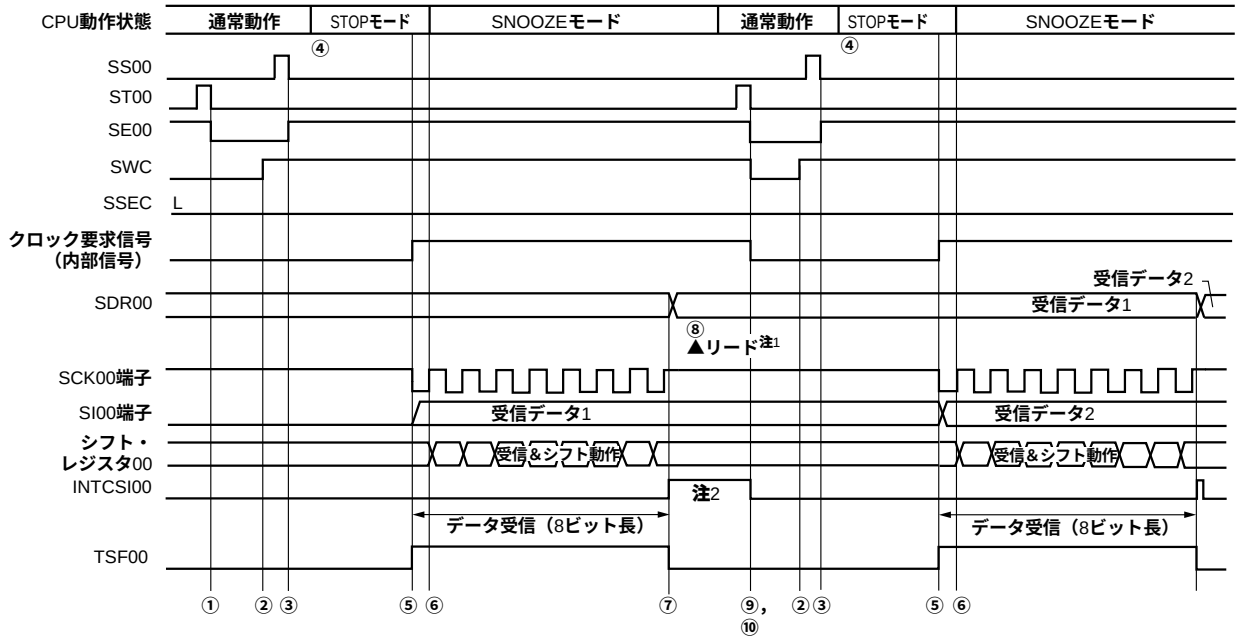
図11－74　SNOOZEモード動作（1回起動）時のフロー・チャート



備考　図中の①~⑪は，図11－73　SNOOZEモード動作（1回起動）時のタイミング・チャートの①~⑪に対応しています。

（2）SNOOZEモード動作（連続起動）

図11－75　SNOOZE**モード動作（連続起動）時のタイミング・チャート（タイプ**1**：**DAP00 =0, CKP00 = 0**）**



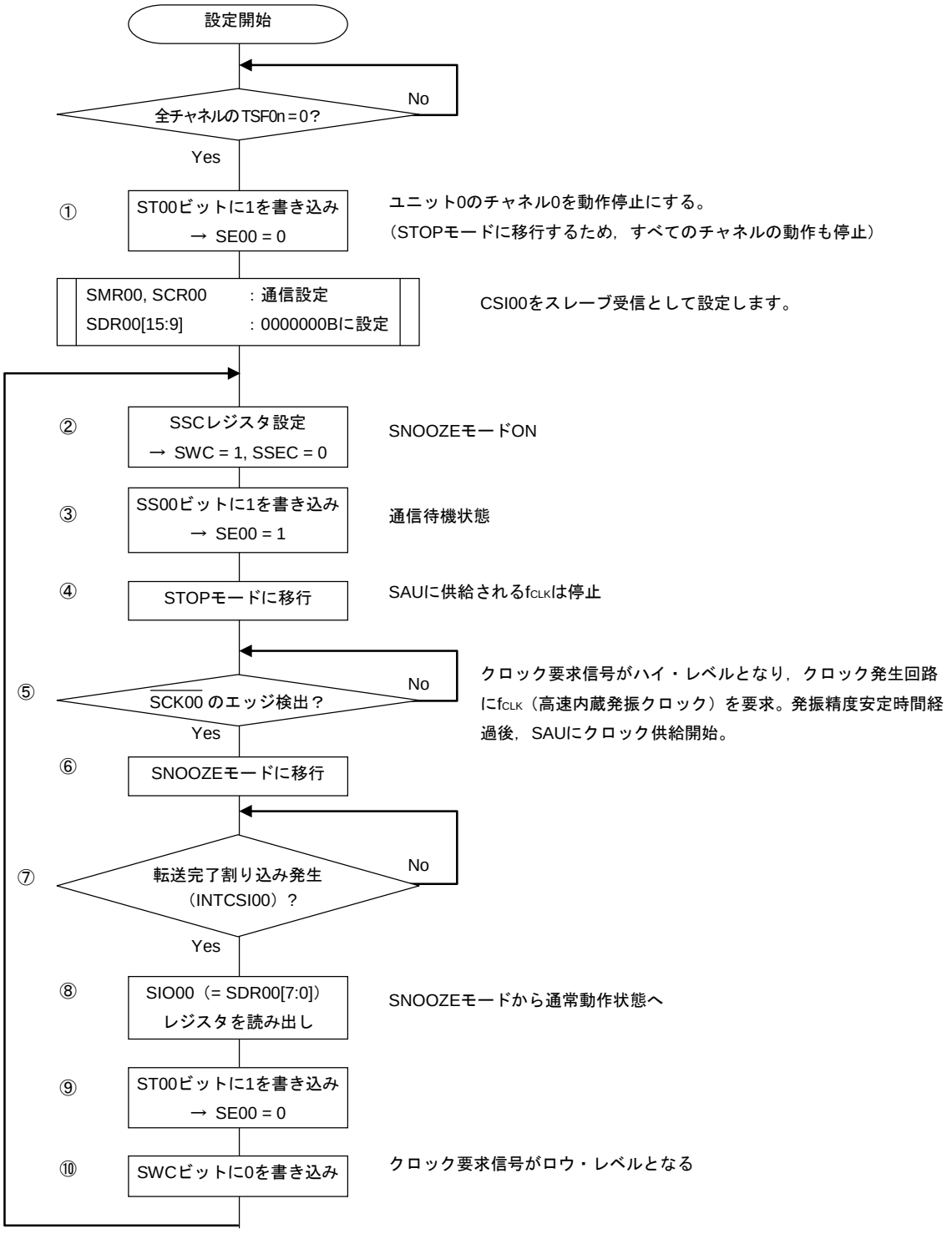
注1.　**受信データの読み出しは，**SWC = 1**の状態，次の**$\overline{\text{SCK00}}$**端子のエッジ検出前に行ってください。**

2.　**転送完了割り込み（**INTCSI00**）は，**SWC = 0**に設定するか，次の**$\overline{\text{SCK00}}$**端子のエッジ検出でクリアされます。**

注意　SNOOZE**モード移行前と**SNOOZE**モードで受信動作を完了したあとは，必ず**ST00**ビットを**1**に設定し**SE00**ビットをクリア（動作停止）させてください。**

備考　**図中の①~⑩は，図**11－76　SNOOZE**モード動作（連続起動）時のフロー・チャートの①~⑩に対応しています。**

図11－76　SNOOZEモード動作（連続起動）時のフロー・チャート



備考　図中の①~⑩は，図11－75　SNOOZEモード動作（連続起動）時のタイミング・チャートの①~⑩に対応しています。

11. 5. 8　転送クロック周波数の算出

★　3線シリアルI/O（CSI00, CSI01, CSI11, CSI20）通信での転送クロック周波数は，下記の計算式にて算出できます。

（1）マスタの場合

（転送クロック周波数） = {対象チャネルの動作クロック（f_{MCK}）周波数} ÷（SDRmn[15:9]＋1）÷ 2 [Hz]

（2）スレーブの場合

（転送クロック周波数） = {マスタが供給するシリアル・クロック（$\overline{SCK}$）周波数}注 [Hz]

注　ただし，許容最大転送クロック周波数はf_{MCK}/6となります。

備考　SDRmn[15:9]は，シリアル・データ・レジスタmn（SDRmn）のビット15-9の値（0000000B-1111111B）なので，0-127になります。

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmn）で決まります。

表11－2 3線シリアルI/O動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック（f_{MCK}）注	
CKS0n	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00		f_{CLK} = 20MHz動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	20MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	10 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	5 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	2.5MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	1.25 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	625kHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	312.5 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	156.2 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	78.1 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	39.1 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	19.5 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	9.76 kHz
1	0	0	0	0	X	X	X	X	f_{CLK}	20MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	10 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	5 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	2.5MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	1.25 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	625kHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	312.5 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	156.2 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	78.1 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	39.1 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	19.5 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	9.76 kHz
上記以外									設定禁止	

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm） = 000FH）させてから変更してください。

備考1. X：Don't care

★ 2. mn = 00, 01, 03, 10 p：CSI番号（p = 00, 01, 11, 20）

★　11. 5. 9　3線シリアルI/O（CSI00, CSI01, CSI11, CSI20）通信時におけるエラー発生時の処理手順

3線シリアルI/O（CSI00, CSI01, CSI11, CSI20）通信時にエラーが発生した場合の処理手順を図11－76に示します。

図11－77　オーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に“1”をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

★ **備考**　n mn = 00, 01, 03, 10　p：CSI番号（p = 00, 01, 11, 20）

★ 11. 6　UART（UART0-UART2）通信の動作

シリアル・データ送信（TxD）とシリアル・データ受信（RxD）の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して），データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の2チャネルを使用することで，全2重UART通信が実現
★ できます。また，タイマ・アレイ・ユニット0と外部割り込み（INTP0）を組み合わせてLIN-busにも対応可能です。

[データ送受信]
- 7, 8, 9ビットのデータ長
- MSB/LSBファーストの選択
- 送受信データのレベル設定，反転の選択
- パリティ・ビット付加，パリティ・チェック機能
- ストップ・ビット付加

[割り込み機能]
- 転送完了割り込み／バッファ空き割り込み
- フレーミング・エラー，パリティ・エラー，オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]
- フレーミング・エラー，パリティ・エラー，オーバラン・エラー

UART0受信（ユニット0のチャネル1）は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でRxD0端子入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。受信時ボー・レート調整機能に対応している，UART0のみ設定可能です。

★ また，UART2（ユニット1のチャネル0, 1）は，LIN-busに対応しています（30ピン製品のみ）。

[LIN-bus機能]
- ウエイクアップ信号検出
- シンク・ブレーク・フィールド（SBF）検出
- シンク・フィールド測定，ボー・レート算出

} 外部割り込み（INTP0），タイマ・アレイ・ユニット0を使用

UART0では，SAU0のチャネル0, 1を使用します。
UART1では，SAU0のチャネル2, 3を使用します。
UART2では，SAU1のチャネル0, 1を使用します。

20, 24ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^2Cとして使用
0	0	CSI00	UART0	IIC00注
	1	CSI01注		IIC01注

★ 30ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^2Cとして使用
0	0	CSI00	UART0	IIC00注
	1	－		－
	2	－	UART1注	－
	3	CSI11注		IIC11注
1	0	CSI20注	UART2（LIN-bus対応）注	IIC20注
	1	－		－

注　データ・フラッシュ搭載品のみ

UARTの通信動作は，以下の4種類があります。

- UART送信　（11. 6. 1項を参照）
- UART受信　（11. 6. 2項を参照）
- ★ LIN送信（UART2のみ）　（11. 7. 1項を参照）
- ★ LIN受信（UART2のみ）　（11. 7. 2項を参照）

11. 6. 1　UART送信

UART送信は，RL78/G12から他デバイスへ，非同期（調歩同期）でデータを送信する動作です。

★ UART送信では，そのUARTに使用する2チャネルのうち，偶数チャネルを使用します。

★

UART	UART0	UART1	UART2
対象チャネル	SAU0のチャネル0	SAU0のチャネル2	SAU1のチャネル0
使用端子	TxD0	TxD1	TxD2
割り込み	INTST0	INTST1	INTST2
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	なし		
転送データ長	7ビットまたは8ビットまたは9ビット		
転送レート	Max. f_{MCK}/6 [bps]（SDRmn[15:9] = 3以上），Min. f_{CLK}/（2×2^{11}×128）[bps] 注		
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加		
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加		
データ方向	MSBファーストまたはLSBファースト		

注　この条件を満たし，かつ電気的特性のAC特性（第28章　電気的特性（ターゲット）参照）を満たす範囲内で使用してください。

備考1.　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

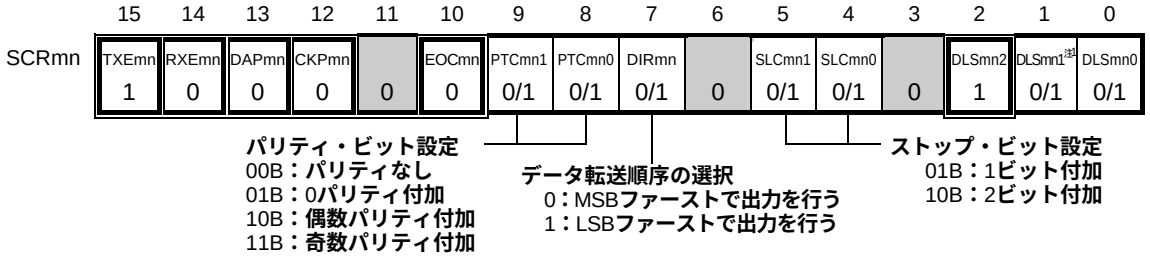
★ 2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 2），mn = 00, 02, 10

(1) レジスタ設定

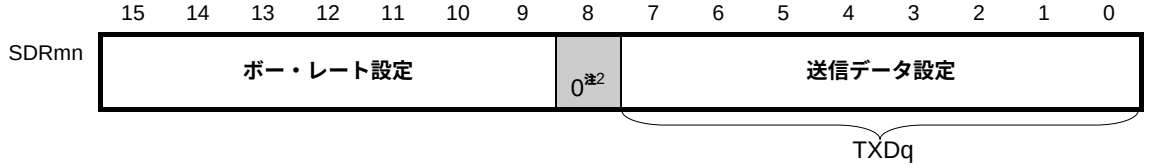
図11－78 UART（UART0-UART2）の送信時のレジスタ設定内容例（1/2）

(a) シリアル・モード・レジスタmn（SMRmn）

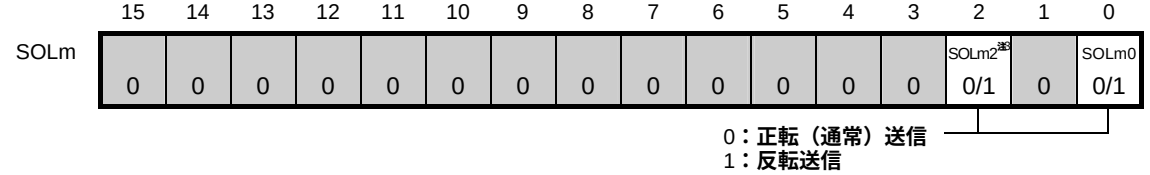
(b) シリアル通信動作設定レジスタmn（SCRmn）



(c) シリアル・データ・レジスタmn（SDRmn）**（下位8ビット：**TXDq**）**



(d) シリアル出力レベル・レジスタm（SOLm） **・・・対象チャネルのビットのみ設定する**



★ **注**1. SCR00**レジスタ（**UART0**）のみ。**SCR02**レジスタ**, SCR10**レジスタでは**1**固定。**

2. UART0**が**9**ビット・データ長での通信（**SCR00**レジスタの**DLS001, DLS000 = 1, 1**）を行う場合は，**

★ SDR00**レジスタのビット**0-8**が送信データ設定領域になります。**9**ビット・データ長での通信が行えるのは，**UART0**のみです。**

3. **シリアル・アレイ・ユニット**0**のみ。**

★ **備考**1. q：UART**番号（**q = 0-2**），**mn = 00, 02, 10

2. □：UART**送信モードでは設定固定** ▒：**設定不可（初期値を設定）**

×：**このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）**

0/1：**ユーザの用途に応じて**0**または**1**に設定**

図11－78　UART（UART0-UART2）の送信時のレジスタ設定内容例（2/2）

（e）シリアル出力レジスタm（SOm）　・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm					CKOm3[注1]	CKOm2[注1]	CKOm1	CKOm0					SOm3[注1]	SOm2[注1]	SOm1	SOm0
	0	0	0	0	×	×	×	×	0	0	0	0	×	0/1[注2]	×	0/1[注2]

0：シリアル・データ出力値が“0”
1：シリアル・データ出力値が“1”

（f）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3[注1]	SOEm2[注1]	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	0/1	×	0/1

（g）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3[注1]	SSm2[注1]	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	0/1	×	0/1

注1.　**シリアル・アレイ・ユニット0のみ。**

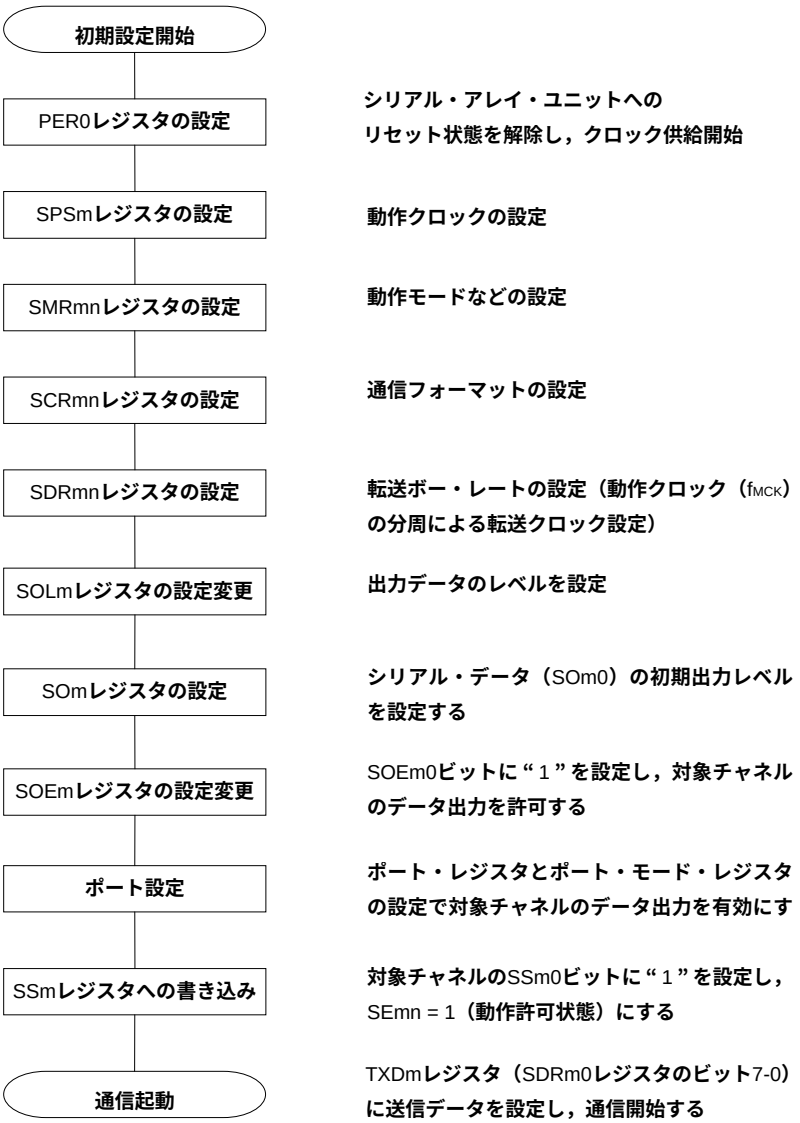
2.　**該当するチャネルのSOL00, 02ビットに0を設定している場合は“1”に，1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。**

★　**備考**1.　mn = 00, 02, 10

2.　□：**設定不可（初期値を設定）**
×：**このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）**
0/1：**ユーザの用途に応じて0または1に設定**

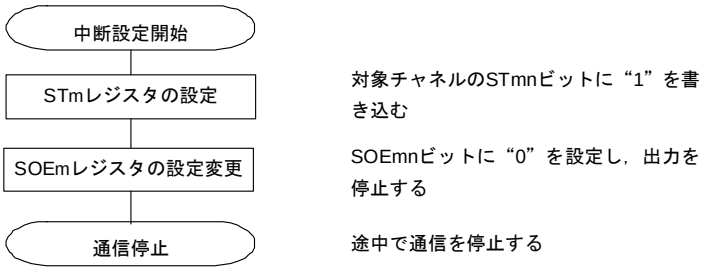
(2) 操作手順

図11－79　UART送信の初期設定手順



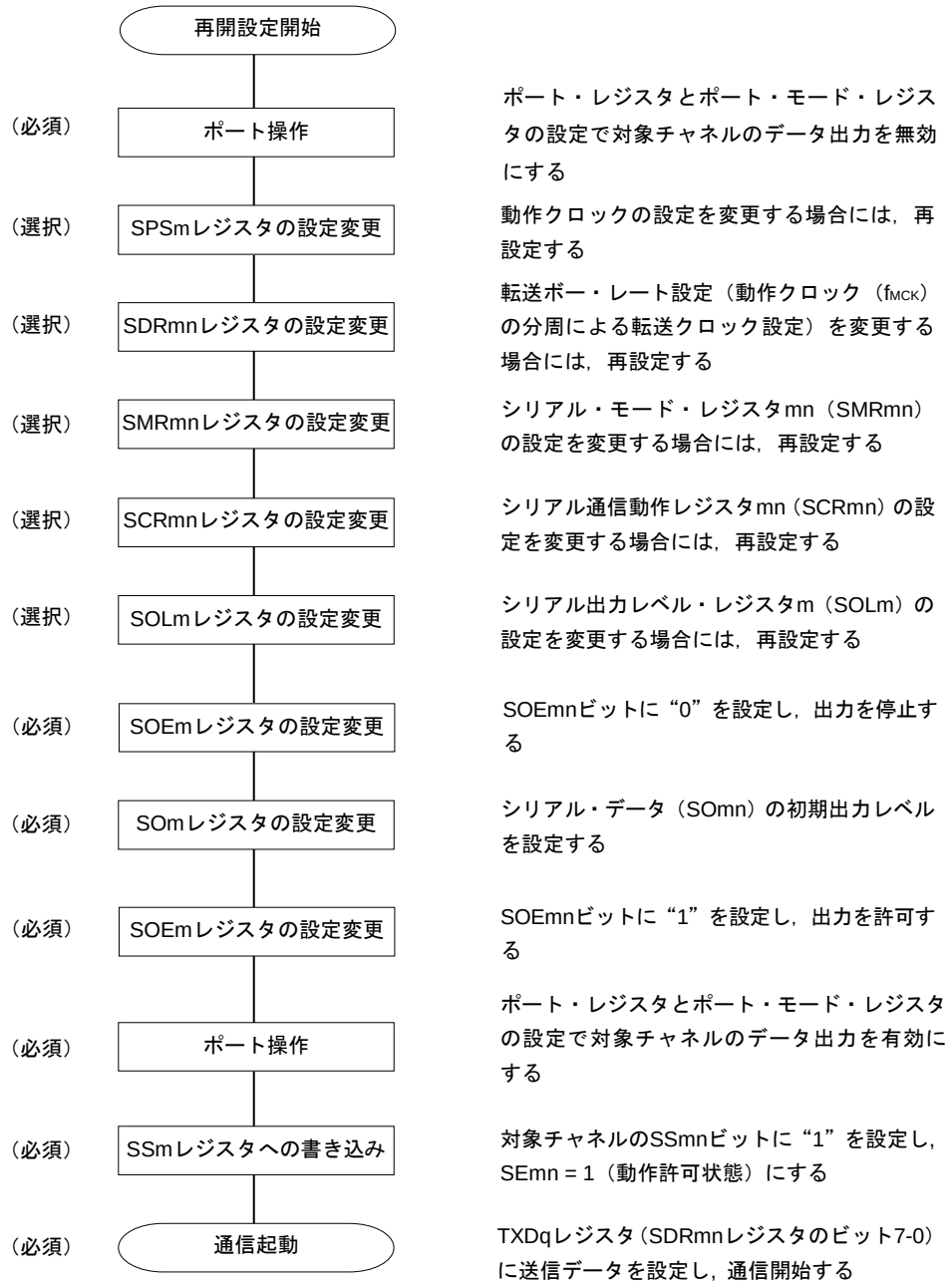
注意　周辺イネーブル・レジスタ0（PER0）のSAUmENビットを“1”に設定後に，fCLKの4クロック以上間隔をあけてからシリアル・クロック選択レジスタm（SPSm）を設定してください。

図11－80　UART送信の中断手順



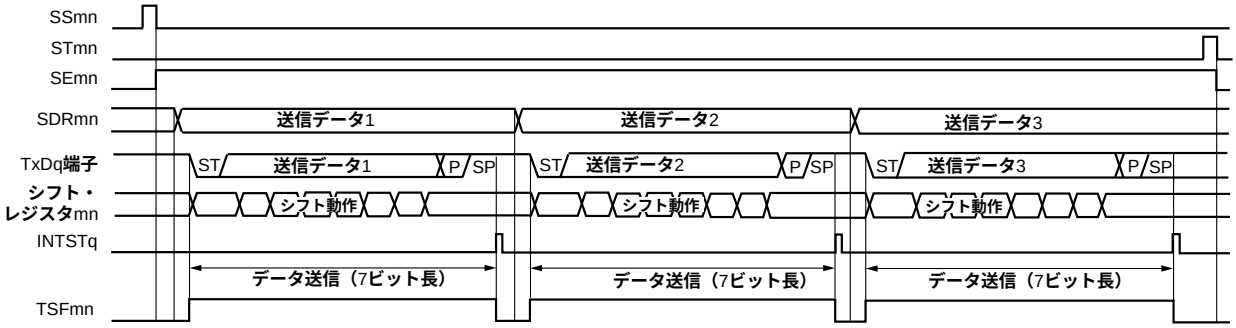
備考　中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタm（SOm）を再設定してください（図11－81　UART送信の再開設定手順参照）。

図11－81　UART送信の再開設定手順



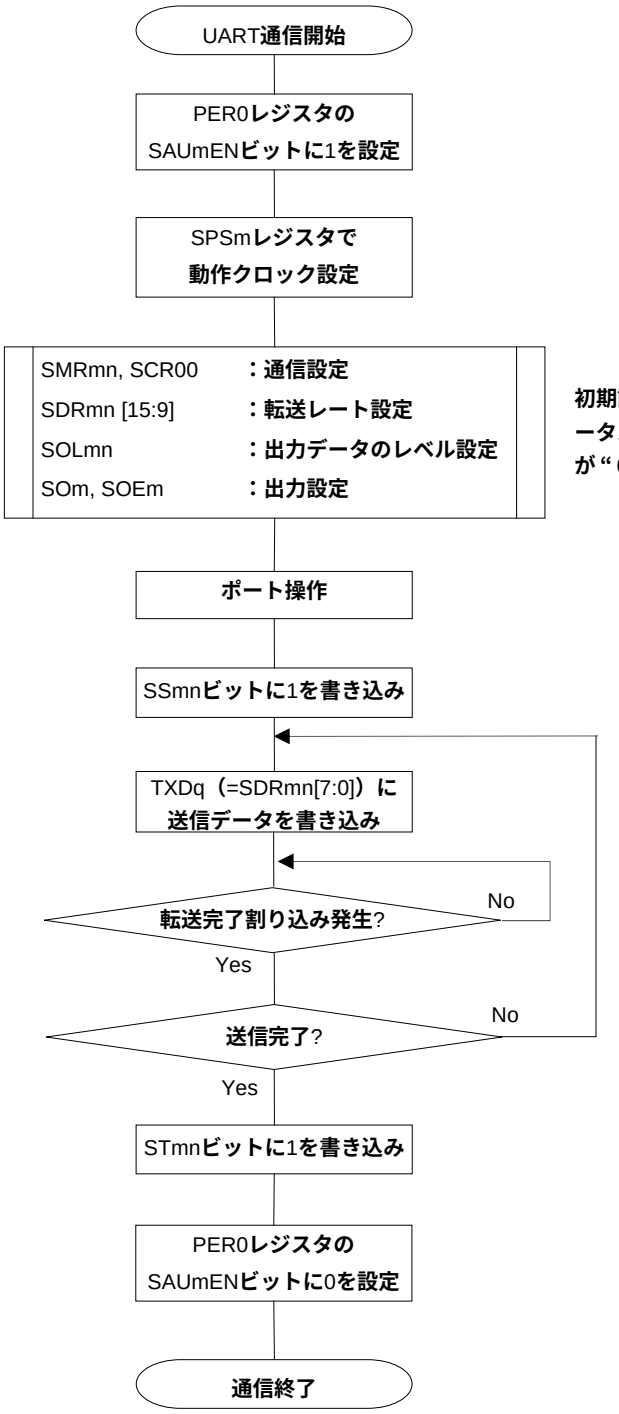
（3）処理フロー（シングル送信モード時）

図11－82　UART送信（シングル送信モード時）のタイミング・チャート



★　**備考**　q：UART番号（q = 0-2）　mn = 00, 02, 10

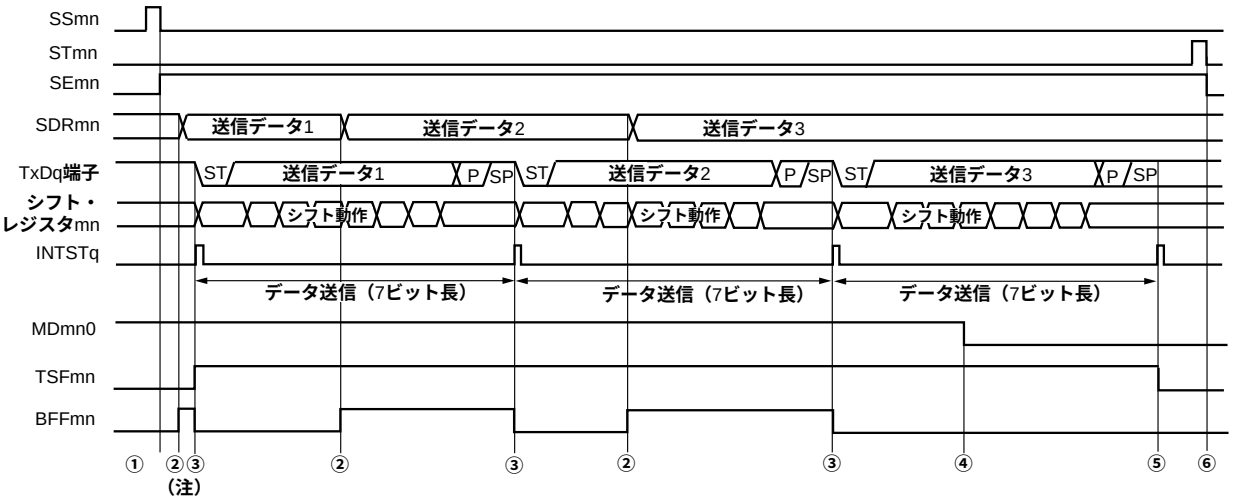
図11－83　UART送信（シングル送信モード時）のフロー・チャート



注意　周辺イネーブル・レジスタ0（PER0）のSAUmENビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm（SPSm）を設定してください。

(4) 処理フロー（連続送信モード時）

図11－84　UART送信（連続送信モード時）のタイミング・チャート

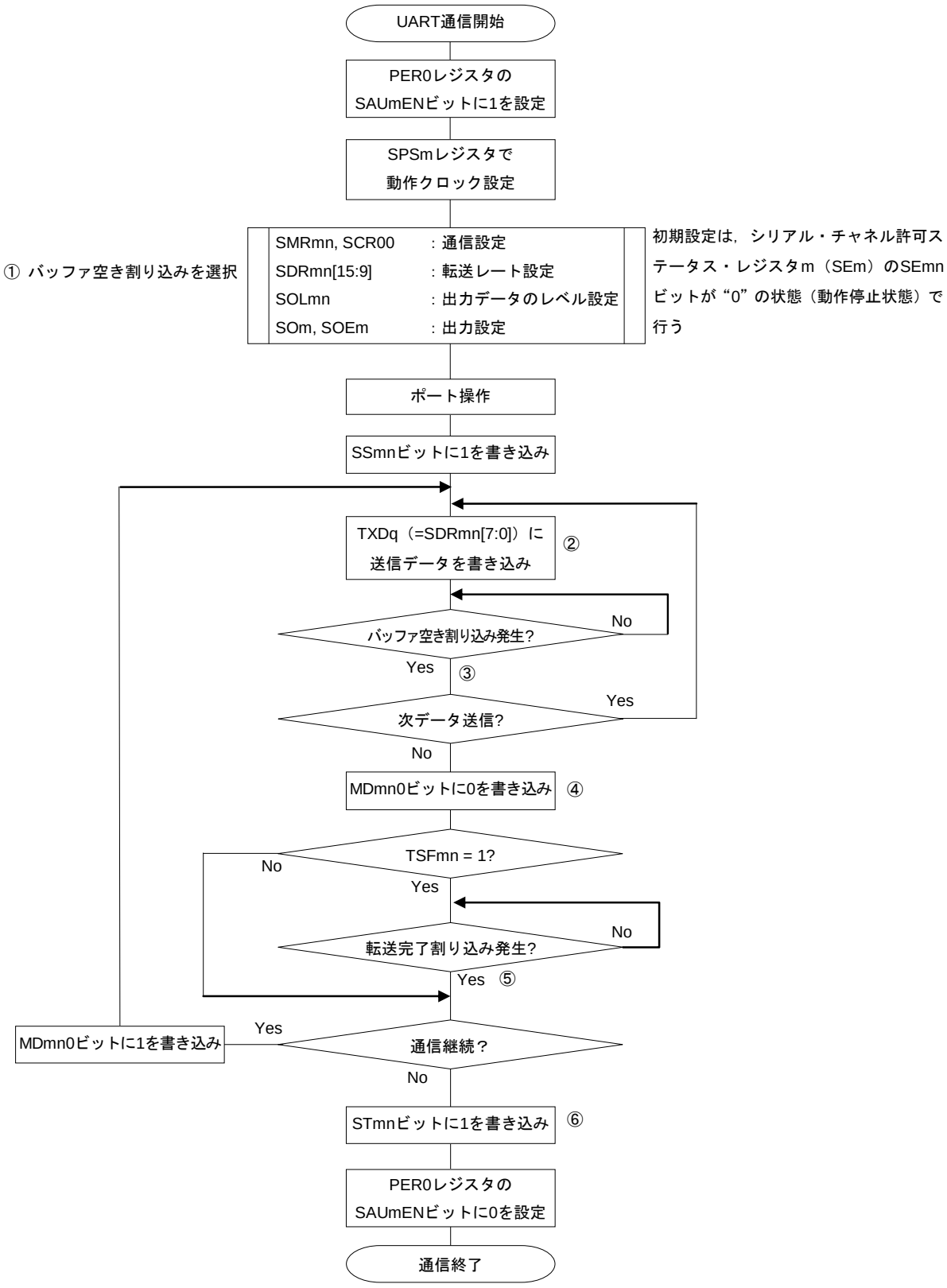


注　シリアル・ステータス・レジスタmn（SSR mn）のBFF mnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDR mn）に格納されているとき）にSDR mnレジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタmn（SMR mn）のMD mn 0ビットは，動作中でも書き換えることができます。
ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

★　**備考**　q：UART番号（q = 0-2）　mn = 00, 02, 10

図11－85　UART送信（連続送信モード時）のフロー・チャート



注意　周辺イネーブル・レジスタ0（PER0）のSAUmENビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm（SPSm）を設定してください。

備考　図中の①~⑥は，図11－84　UART送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています

11. 6. 2　UART受信

UART受信は，他デバイスからRL78/G12が非同期（調歩同期）でデータを受信する動作です。

★　UART受信では， そのUARTに使用する2チャネルのうち，奇数チャネルを使用します。ただし，SMRレジスタは，偶数チャネルと奇数チャネルの両方のレジスタを設定する必要があります。

★

UART	UART0	UART1	UART2
対象チャネル	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル1
使用端子	RxD0	RxD1	RxD2
割り込み	INTSR0	INTSR1	INTSR2
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）		
エラー割り込み	INTSRE0	INTSRE1	INTSRE2
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEFmn） ・パリティ・エラー検出フラグ（PEFmn） ・オーバラン・エラー検出フラグ（OVFmn）		
転送データ長	7ビットまたは8ビットまたは9ビット		
転送レート	Max. f_{MCK}/6 [bps]（SDRmn[15:9] = 3以上），Min. f_{CLK}/（2×2^{11}×128）[bps] 注		
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし（パリティ・チェックなし） ・0パリティ・ビット付加（パリティ・チェックなし） ・偶数パリティ・チェック ・奇数パリティ・チェック		
ストップ・ビット	1ビット付加		
データ方向	MSBファーストまたはLSBファースト		

注　この条件を満たし，かつ電気的特性のAC特性（第28章　電気的特性（ターゲット）参照）を満たす範囲内で使用してください。

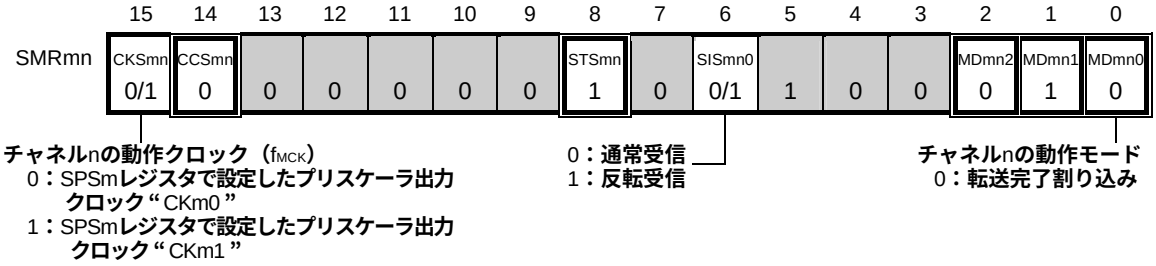
備考1.　f_{MCK}：対象チャネルの動作クロック周波数
　　f_{CLK}：システム・クロック周波数

★　2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 1, 3），mn = 01, 03, 11

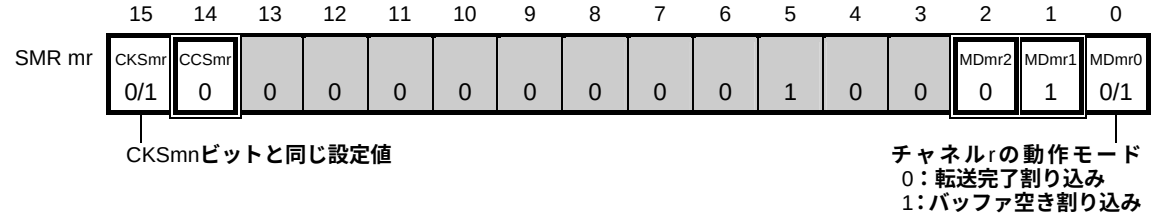
(1) レジスタ設定

図11－86 UART（UART0-UART2）の受信時のレジスタ設定内容例（1/2）

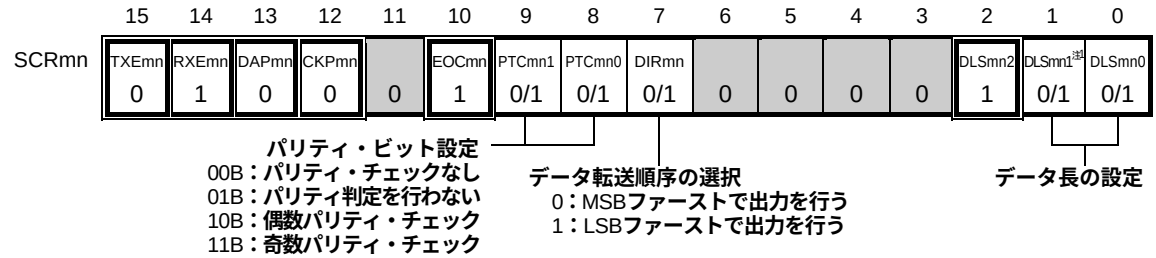
(a) シリアル・モード・レジスタmn（SMRmn）



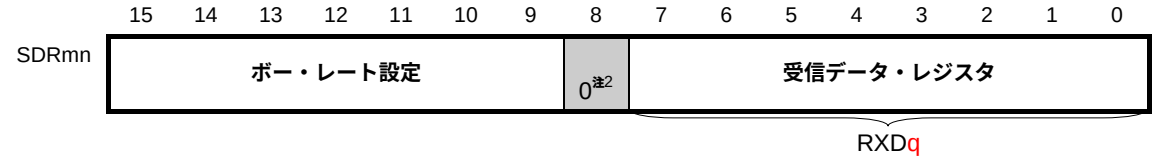
(b) シリアル・モード・レジスタmr（SMR mr）



(c) シリアル通信動作設定レジスタmn（SCRmn）



(d) シリアル・データ・レジスタmn（SDRmn）**（下位8ビット：**RXDq**）**



★ **注**1. SCR01**レジスタ（**UART0**）のみ。**SCR03**レジスタ**, SCR11**レジスタでは**1**固定。**

★ 2. UART0**が**9**ビット・データ長での通信（**SMR01**レジスタの**DLS011, DLS010 = 1, 1**）を行う場合は，**SDR01**レジスタのビット**0-8**が送信データ設定領域になります。**9**ビット・データ長での通信が行えるのは，**UART0**のみです。**

★ **注意** UART**受信時は，チャネル**n**とペアになるチャネル**r**の**SMRmr**レジスタも必ず設定してください。**

備考1. m：**ユニット番号（**m = 0, 1**）** n：**チャネル番号（**n = 1, 3**），**mn = 01, 03, 11

r：**チャネル番号（**r = n－1**）** q：UART**番号（**q = 0-2**）**

2. □：UART**受信モードでは設定固定** ▒：**設定不可（初期値を設定）**

×：**このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）**

0/1：**ユーザの用途に応じて**0**または**1**に設定**

図11－86　UART（UART0-UART2）の受信時のレジスタ設定内容例（2/2）

（e）シリアル出力レジスタm（SOm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm					CKOm3注	CKOm2注	CKOm1	CKOm0					SOm3注	SOm2注	SOm1	SOm0
	0	0	0	0	×	×	×	×	0	0	0	0	×	×	×	×

（f）シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3注	SOEm2注	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	×	×	×

（g）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3注	SSm2注	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	×	0/1	×

注　シリアル・アレイ・ユニット0のみ。

注意　UART**受信時は，チャネル**0**とペアになるチャネル**r**の**SMRmr**レジスタも必ず設定してください。**

★ **備考**1.　m：**ユニット番号**（m = 0, 1）　n：**チャネル番号**（n = 1, 3），mn = 01, 03, 11

r：**チャネル番号**（r = n－1）　q：UART**番号**（q = 0-2）

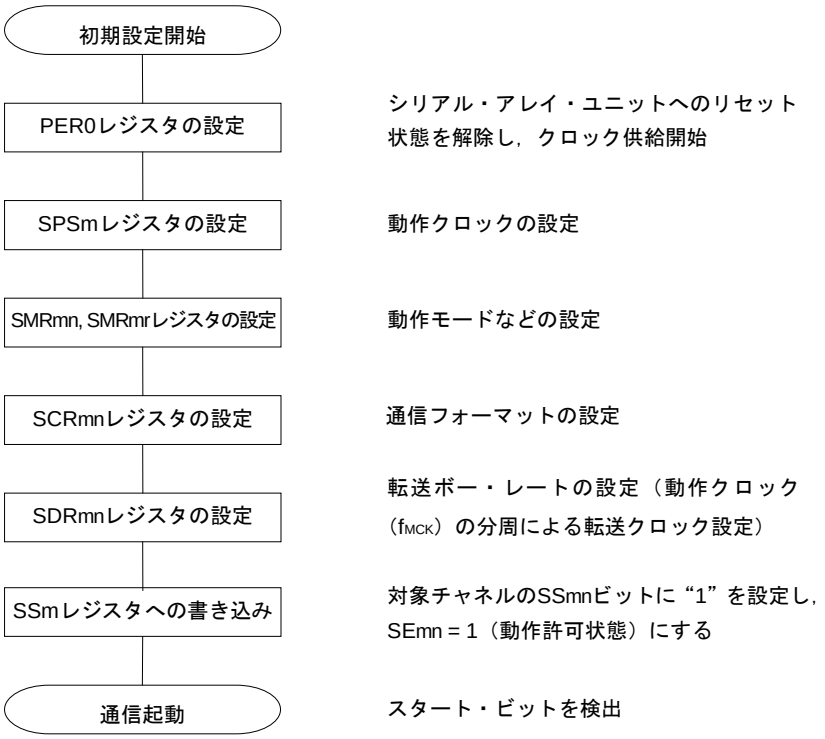
2.　□：**設定不可（初期値を設定）**

×：**このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）**

0/1：**ユーザの用途に応じて**0**または**1**に設定**

(2) 操作手順

図11－87　UART受信の初期設定手順



注意　周辺イネーブル・レジスタ0（PER0）のSAU0ENビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0（SPS0）を設定してください。

図11－88　UART受信の中断手順

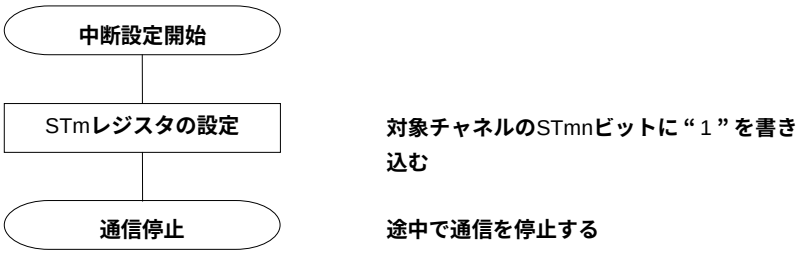
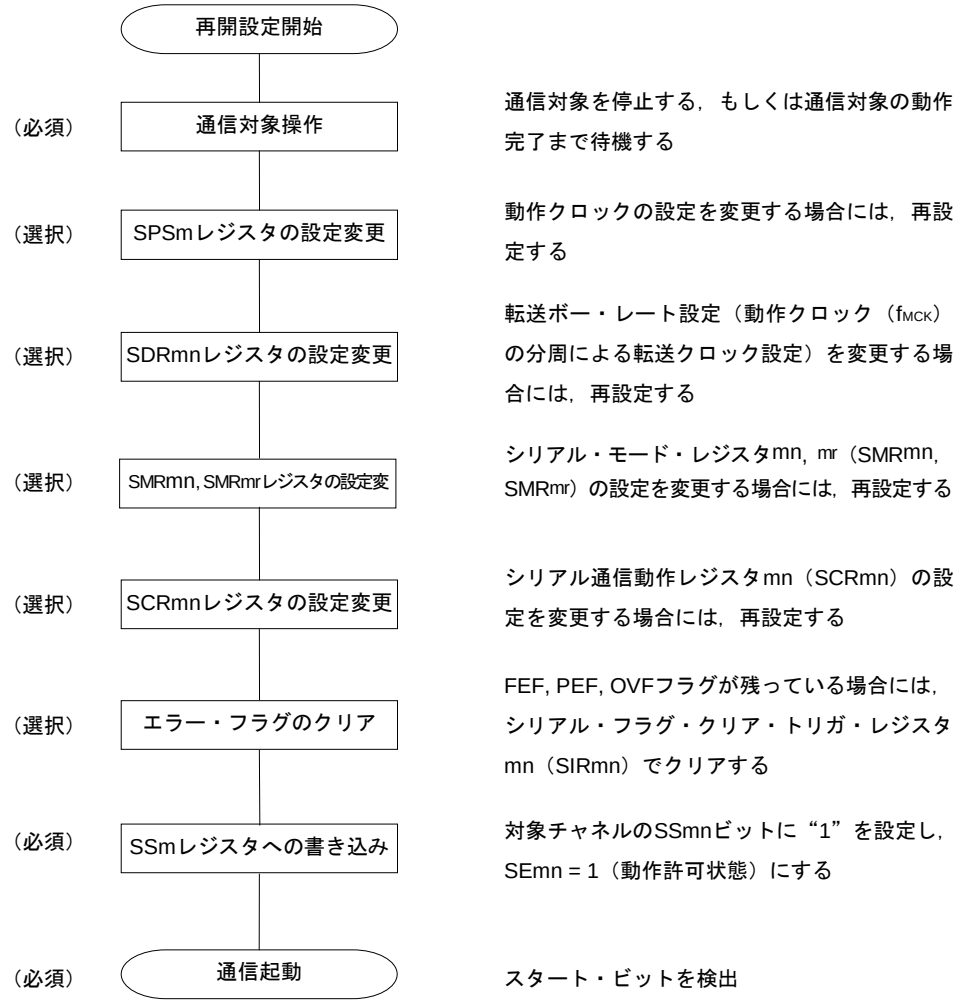
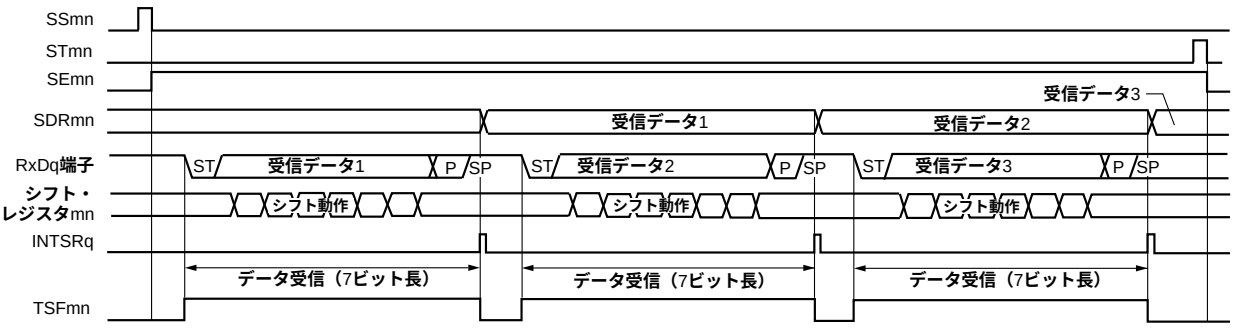


図11－89　UART受信の再開設定手順



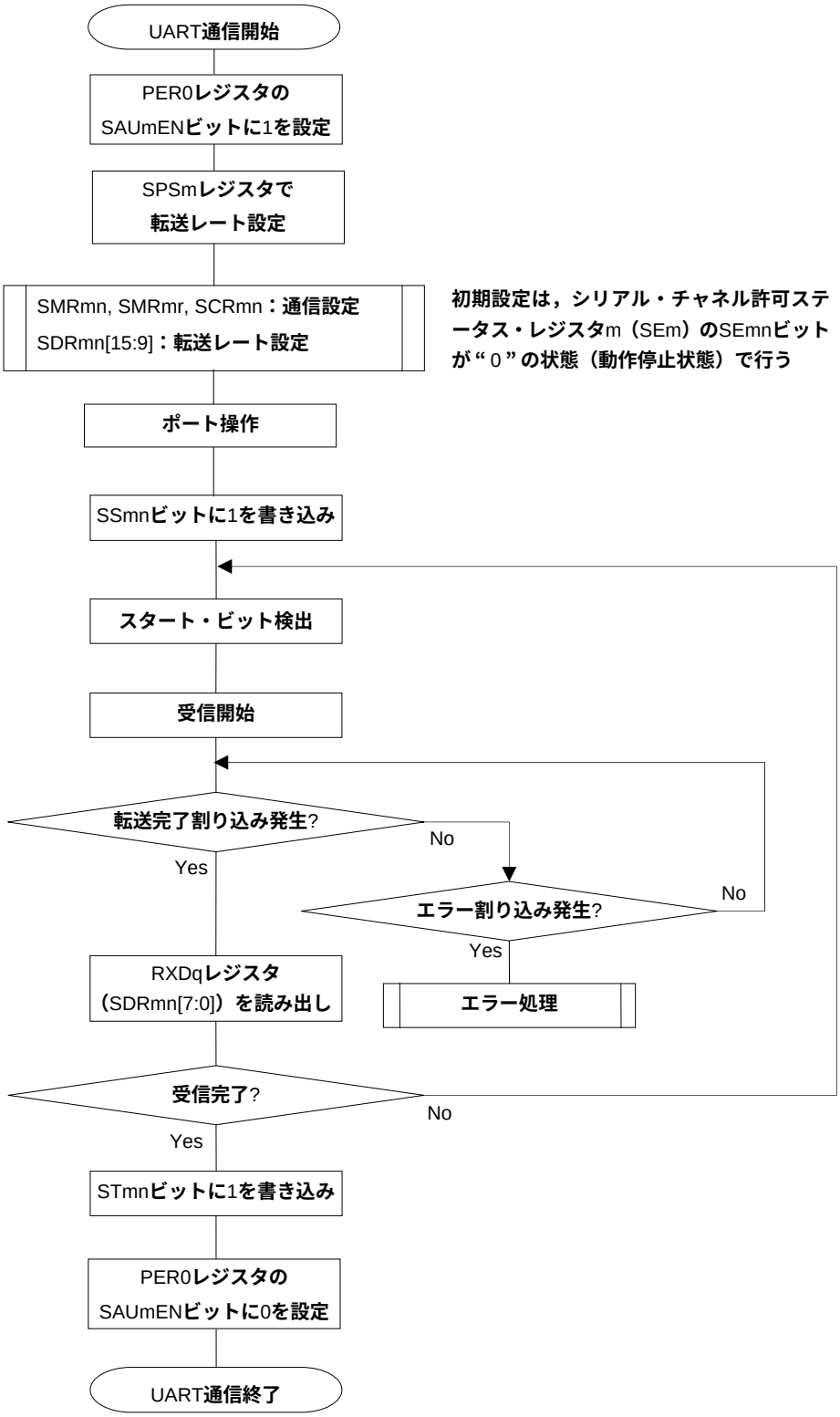
(3) 処理フロー

図11－90　UART受信のタイミング・チャート



★　**備考**　m：**ユニット番号**（m = 0, 1）　n：**チャネル番号**（n = 1, 3）　mn = 01, 03, 11
r：**チャネル番号**（r = n－1）　q：UART**番号**（q = 0-2）

図11－91　UART受信のフロー・チャート



注意　周辺イネーブル・レジスタ0（PER0）のSAUmENビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm（SPSm）を設定してください。

11. 6. 3　SNOOZEモード機能（UART0受信のみ）

UART0受信（ユニット0のチャネル1）は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でRxD0端子入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。受信時ボー・レート調整機能に対応している，UART0受信のみ設定可能です。

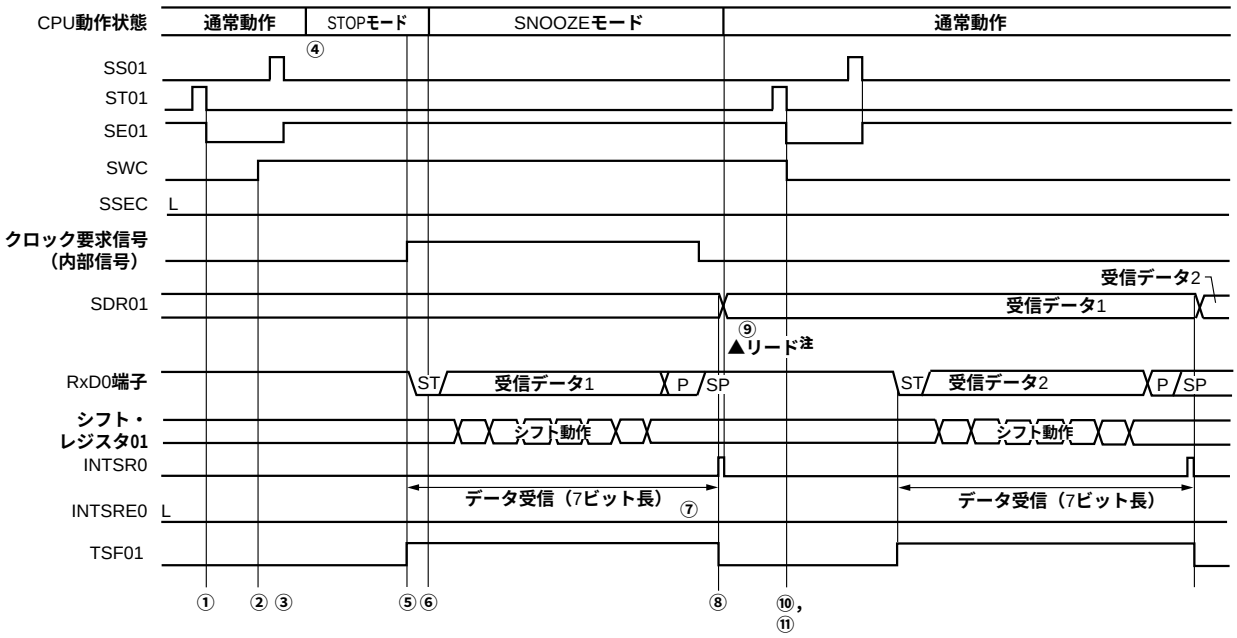
SNOOZEモード機能を使用する場合は，STOPモードに移行する前にシリアル・スタンバイ・コントロール・レジスタ0（SSC0）のSWCビットを1に設定しておきます。

★　**注意**1.　SNOOZEモードは，f_{CLK}にHOCOクロックを選択している場合のみ設定可能です。

2.　UART0をSNOOZEモードで使用するときの最大転送レートは9600 bps（ターゲット）です。

（1）SNOOZEモード動作（通常動作）

図11－92　SNOOZEモード動作（通常動作）時のタイミング・チャート



注　受信データの読み出しは，SWC = 1の状態，次のRxD00端子のエッジ検出前に行ってください。

注意　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずST01ビットを1に設定しSE01ビットをクリア（動作停止）させてください。

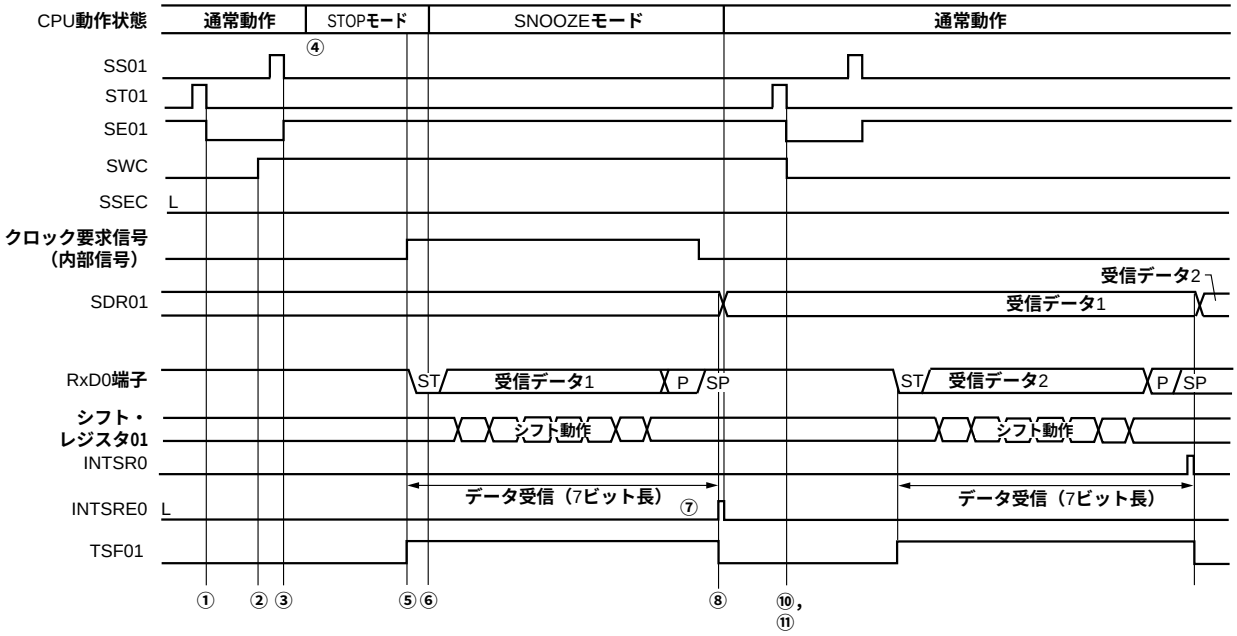
備考　図中の①~⑪は，図11－94　SNOOZEモード動作（通常動作／異常動作①）時のフロー・チャートの①~⑪に対応しています。

（2）SNOOZEモード動作（異常動作①）

異常動作①は，SSEC = 0設定時に通信エラーが発生した場合の動作です。

SSEC = 0のため，通信エラーが発生した場合にエラー割り込み（INTSRE0）を発生します。

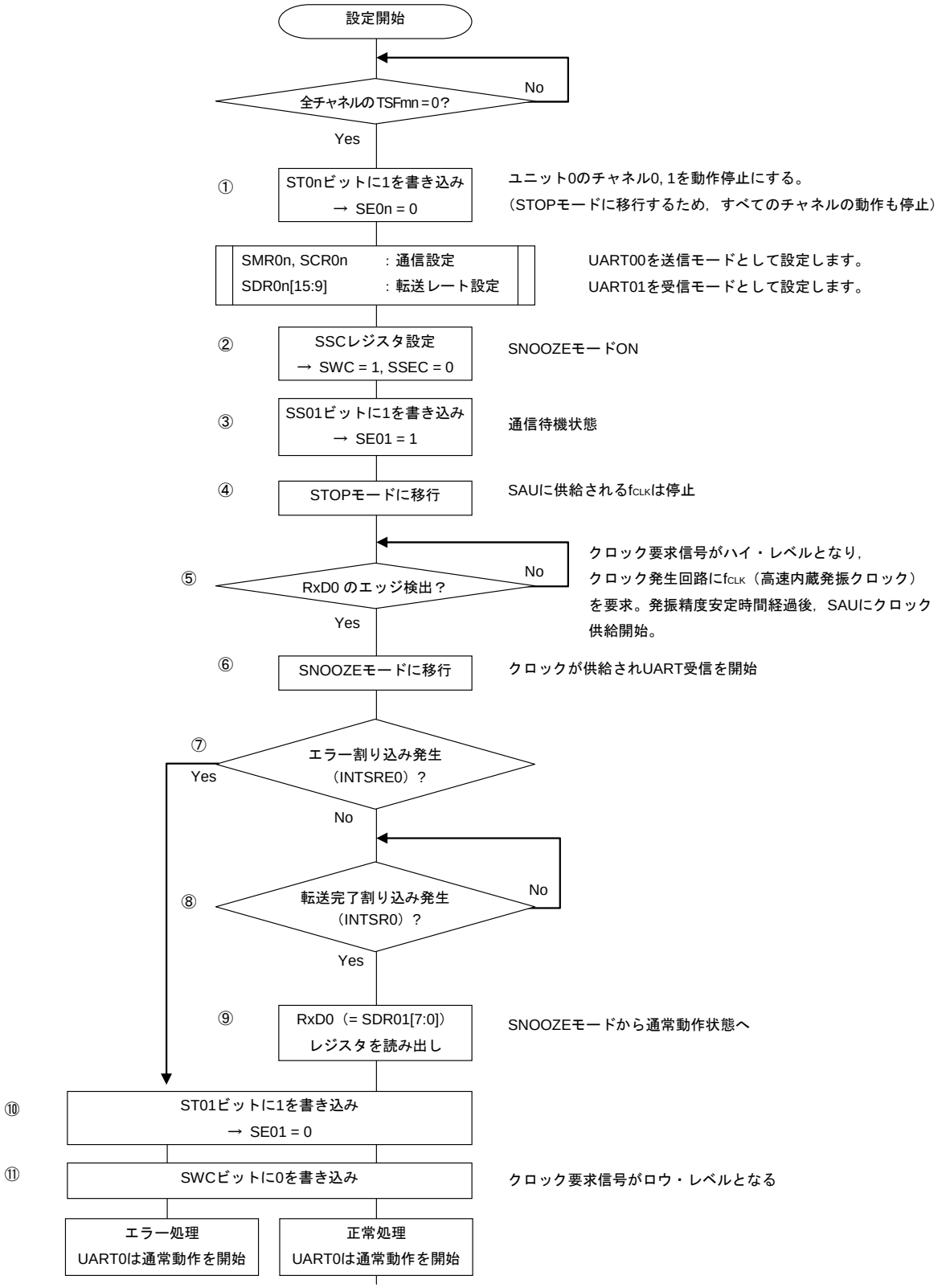
図11－93　SNOOZEモード動作（異常動作①）時のタイミング・チャート



注意　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずST01ビットを1に設定しSE01ビットをクリア（動作停止）させてください。

備考　図中の①~⑪は，図11－94　SNOOZEモード動作（通常動作／異常動作①）時のフロー・チャートの①~⑪に対応しています。

図11－94　SNOOZEモード動作（通常動作／異常動作①）時のフロー・チャート



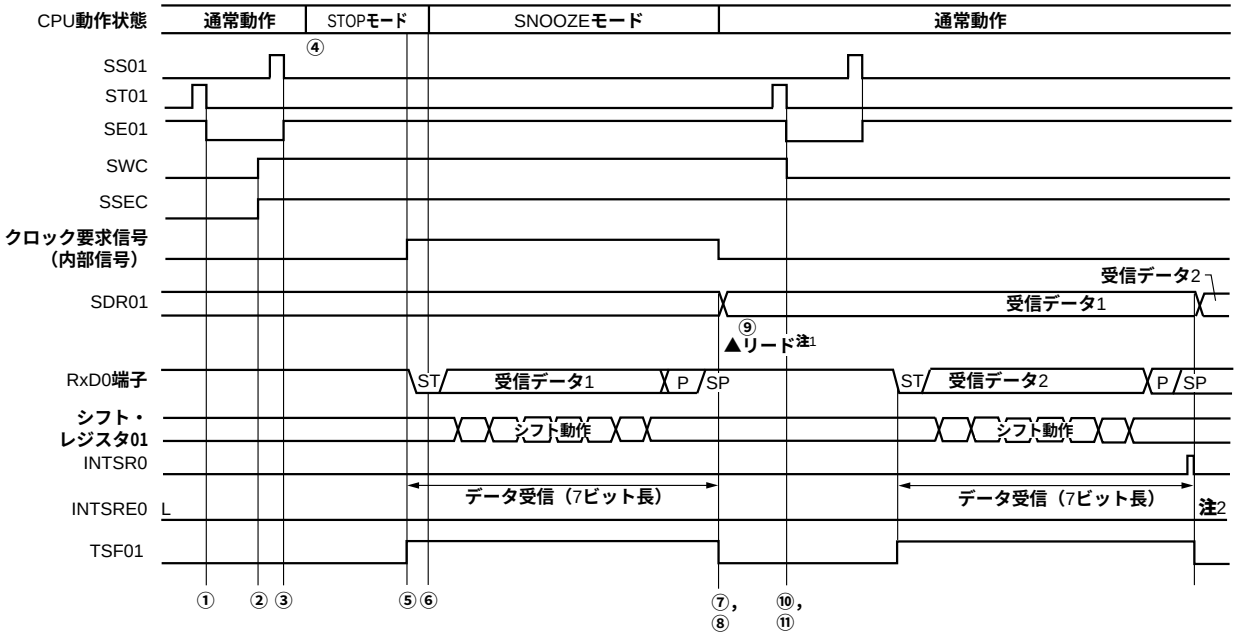
備考　図中の①~⑪は，図11－92　SNOOZEモード動作（通常動作）時のタイミング・チャート，図11－93　SNOOZEモード動作（異常動作①）時のタイミング・チャートの①~⑪に対応しています。

(3) SNOOZEモード動作（異常動作②）

異常動作②は，SSEC = 1設定時に通信エラーが発生した場合の動作です。

SSEC = 1のため，通信エラーが発生した場合にエラー割り込み（INTSRE0）を発生しません。

図11－95　SNOOZEモード動作（異常動作②）時のタイミング・チャート



注1.　受信データの読み出しは，SWC = 1の状態，次のRxD00端子のエッジ検出前に行ってください。

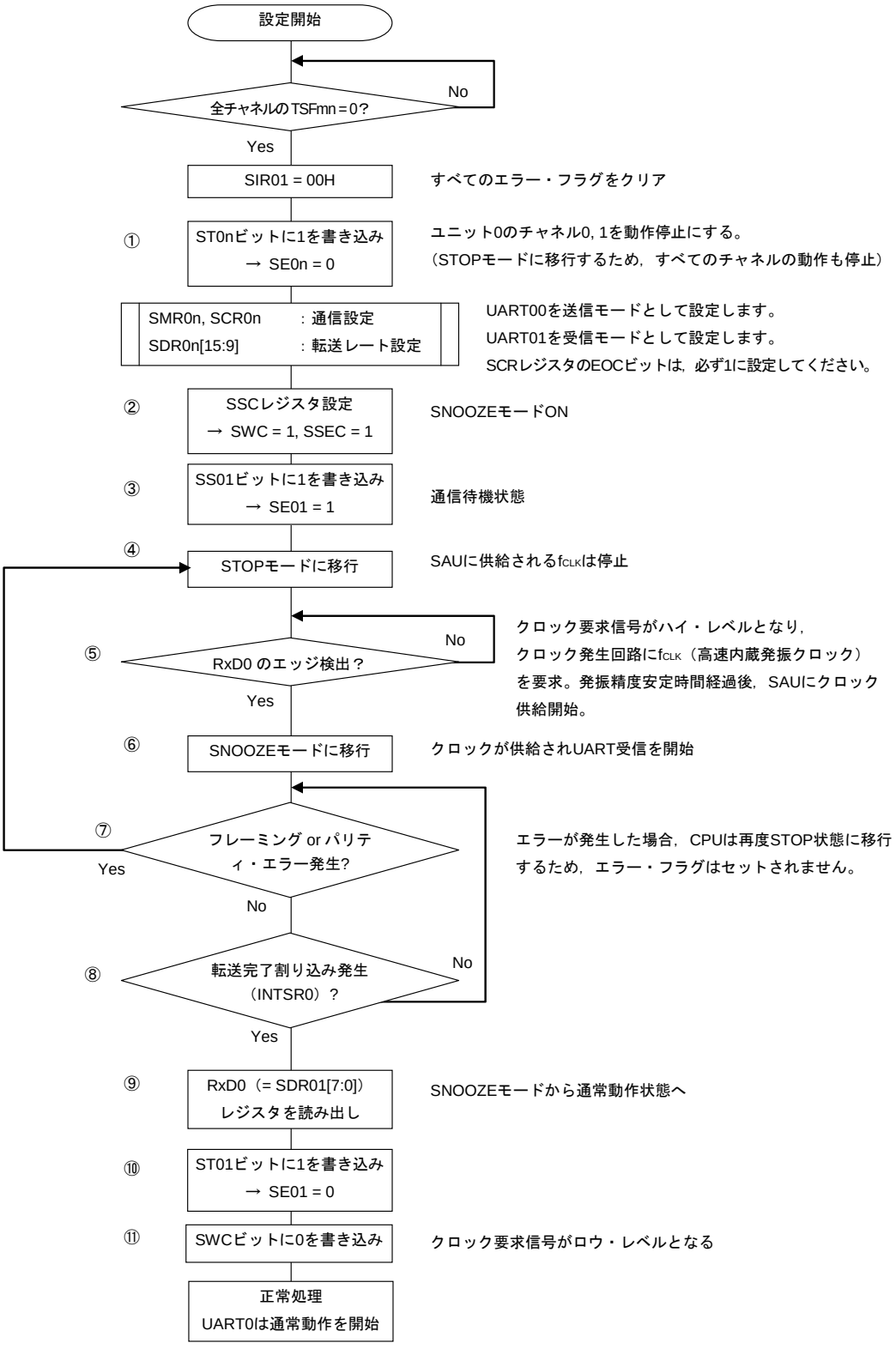
★　2.　UART01がSNOOZEモードで正常に受信完了したあとは，設定を変更せずに続けて通常の受信動作を実施できますが，SSEC = 1のため，フレーミング・エラーやパリティ・エラーが発生しても，FEF01, PEF01ビットはセットされません。また，エラー割り込み（INTSRE0）も発生しません。

注意1.　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずST01ビットを1に設定しSE01ビットをクリア（動作停止）させてください。

2.　SSEC = 1の設定でSNOOZEモードを使用した場合，オーバラン・エラーが発生しません。そのためSNOOZEモードを使用する場合は，STOPモード移行前にSDR01レジスタののビット7-0（RxD0）を読み出してください。

備考　図中の①~⑪は，図11－96　SNOOZEモード動作（異常動作②）時のフロー・チャートの①~⑪に対応しています。

図11－96　SNOOZEモード動作（異常動作②）時のフロー・チャート



注意　SSEC = 1**の設定で**SNOOZE**モードを使用した場合，オーバラン・エラーが発生しません。そのため**SNOOZE**モードを使用する場合は，**STOP**モード移行前に**SDR01**レジスタののビット**7-0（RxD0）を読み出してください。

備考　**図中の①~⑪は，図**11－95　SNOOZE**モード動作（異常動作②）時のタイミング・チャートの①~⑪に対応しています。**

11. 6. 4　ボー・レートの算出

（1）ボー・レート算出式

UART通信（UART0-UART2）でのボー・レートは，下記の計算式にて算出できます。

（ボー・レート） = {対象チャネルの動作クロック（f_{MCK}）周波数} ÷（SDRmn[15:9]＋1）÷ 2 [bps]

★ **注意　シリアル・データ・レジスタ**mn（SDR mn）SDRmn[15:9] =（0000000B, 0000001B）**は設定禁止です。**

備考1.　UART**使用時は，**SDRmn[15:9]**は**SDRmn**レジスタのビット**15-9**の値**（0000011B-1111111B）**なので，**3-127**になります。**

★ 2.　mn = 00-03, 10, 11

動作クロック（f_{MCK}）**は，シリアル・クロック選択レジスタ**m（SPSm）**とシリアル・モード・レジスタ**mn（SMRmn）**のビット**15（CKSmn**ビット**）**で決まります。**

表11－3　UART動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック（f_{MCK}）[注]	
CKSmn	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00		f_{CLK} = 20 MHz動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	20MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	10 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	5 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	2.5MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	1.25 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	625kHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	312.5 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	156.2 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	78.1 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	39.1 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	19.5 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	9.76 kHz
1	0	0	0	0	X	X	X	X	f_{CLK}	20MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	10 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	5 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	2.5MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	1.25 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	625kHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	312.5 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	156.2 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	78.1 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	39.1 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	19.5 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	9.76 kHz
上記以外									設定禁止	

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm） = 000FH）させてから変更してください。

備考1.　X：Don't care

★　2.　mn = 00-03, 10, 11

(2) 送信時のボー・レート誤差

★ UART通信（UART0-UART2）での，送信時のボー・レート誤差は，下記の計算式にて算出できます。送信側のボー・レートが，受信側の許容ボー・レート範囲内に収まるように設定してください。

（ボー・レート誤差） = （算出ボー・レート値）÷（目標ボー・レート値）× 100 − 100 [%]

f_{CLK} = 20 MHzの場合のUARTボー・レート設定例を示します。

UARTボー・レート（目標ボー・レート）	f_{CLK} = 20 MHz時			
	動作クロック（f_{MCK}）	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{CLK}/2^9$	64	300.48 bps	+0.16 %
600 bps	$f_{CLK}/2^8$	64	600.96 bps	+0.16 %
1200 bps	$f_{CLK}/2^7$	64	1201.92 bps	+0.16 %
2400 bps	$f_{CLK}/2^6$	64	2403.85 bps	+0.16 %
4800 bps	$f_{CLK}/2^5$	64	4807.69 bps	+0.16 %
9600 bps	$f_{CLK}/2^4$	64	9615.38 bps	+0.16 %
19200 bps	$f_{CLK}/2^3$	64	19230.8 bps	+0.16 %
31250 bps	$f_{CLK}/2^3$	39	31250.0 bps	±0.0 %
38400 bps	$f_{CLK}/2^2$	64	38461.5 bps	+0.16 %
76800 bps	$f_{CLK}/2$	64	76923.1 bps	+0.16 %
153600 bps	f_{CLK}	64	153846 bps	+0.16 %
312500 bps	f_{CLK}	31	±0.0 %	±0.0 %

★ **備考** mn = 00, 02, 10

(3) 受信時のボー・レート許容範囲

★ UART通信（UART0-UART2）での，受信時のボー・レート許容範囲は，下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$\text{（受信可能な最大ボー・レート）} = \frac{2 \times k \times Nfr}{2 \times k \times Nfr - k + 2} \times Brate$$

$$\text{（受信可能な最小ボー・レート）} = \frac{2 \times k \times (Nfr-1)}{2 \times k \times Nfr - k - 2} \times Brate$$

Brate ：受信側の算出ボー・レート値（11. 6. 4（1）ボー・レート算出式参照）

k ：SDRmn[15:9] ＋1

Nfr ：1データ・フレーム長［ビット］

=（スタート・ビット）＋（データ長）＋（パリティ・ビット）＋（ストップ・ビット）

★ **備考** mn = 01, 03, 11

図11－97 受信時の許容ボー・レート範囲（1データ・フレーム長 = 11ビットの場合）

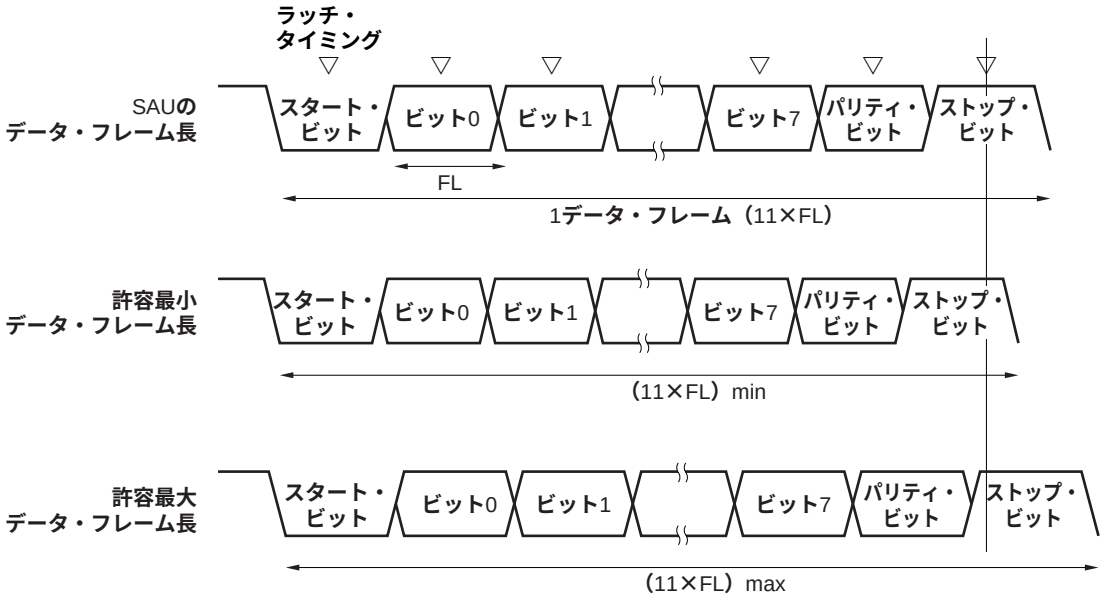


図11－97に示すように，スタート・ビット検出後はシリアル・データ・レジスタmn（SDRmn）のビット15-9で設定した分周比により，受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

★　11. 6. 5　UART（UART0-UART2）通信時におけるエラー発生時の処理手順

UART（UART0-UART2）通信時にエラーが発生した場合の処理手順を図11－97，図11－98に示します。

図11－98　パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする	→ SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に“1”をライトする	→ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

図11－99　フレーミング・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする	→ SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）をライトする	→ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタm（STm）のSTmnビットに“1”を設定する	→ シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“0”となり，チャネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため，通信相手との同期を取り直して通信を再開する
シリアル・チャネル開始レジスタm（SSm）のSSmnビットに“1”を設定する	→ シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“1”となり，チャネルnは動作許可状態になる	

★ 11. 7　LIN通信の動作

11. 7. 1　LIN送信

UART送信のうち，30ピン製品のUART2はLIN通信に対応しています。

LIN送信では，ユニット1のチャネル0を使用します。

UART	UART0	UART1	UART2
LIN通信対応	不可	不可	可
対象チャネル	−	−	SAU1のチャネル0
使用端子	−	−	TxD2
割り込み	−	−	INTST2
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	なし		
転送データ長	8ビット		
転送レート	Max. f_{MCK}/6 [bps]（SDR10[15:9] = 3以上），Min. f_{CLK}/（2×2^{11}×128）[bps] 注		
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加		
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加		
データ方向	MSBファーストまたはLSBファースト		

注　この条件を満たし，かつ電気的特性のAC特性（第28章　電気的特性（ターゲット）参照）を満たす範囲内で使用してください。

備考　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

LINとは，Local Interconnect Networkの略称で，車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で，1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは，スイッチ，アクチュエータ，センサなどの制御に使用され，これらがLINのネットワークを介してLINのマスタに接続されます。

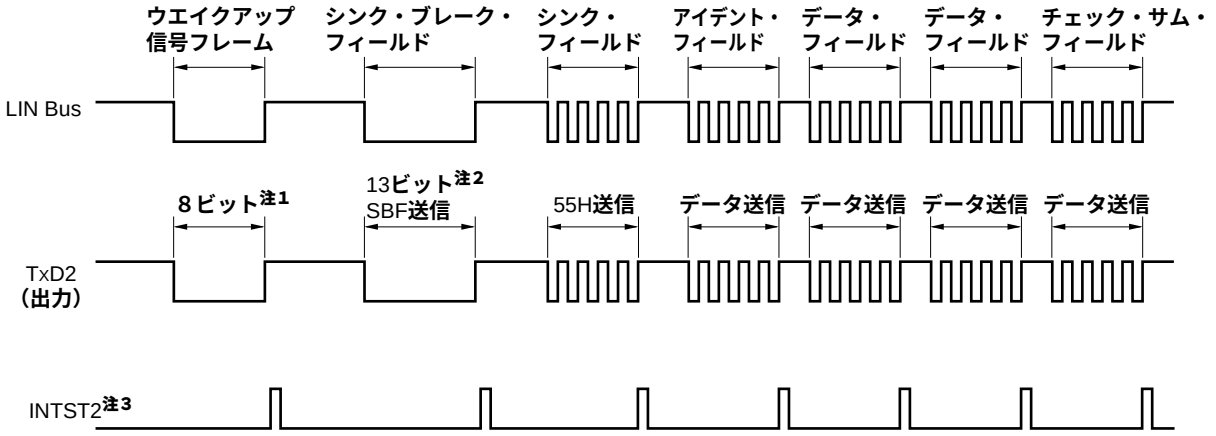
LINのマスタは通常，CAN（Controller Area Network）などのネットワークに接続されます。

また，LINバスはシングル・ワイヤ方式で，ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは，マスタはフレームにボー・レート情報をつけて送信し，スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため，スレーブのボー・レート誤差が±15 %以下であれば，通信可能です。

LINの送信操作の概略を，図11－99に示します。

図11－100　LINの送信操作



注1. ウエイクアップ信号の規定を満たせるようにボー・レートを設定し，00Hのデータ送信をすることで対応します。

2. シンク・ブレーク・フィールドは13ビット幅のロウ・レベル出力と規定されているので，メイン転送で使用するボー・レートをN [bps]とすると，シンク・ブレーク・フィールドで使用するボー・レートは次のようになります。

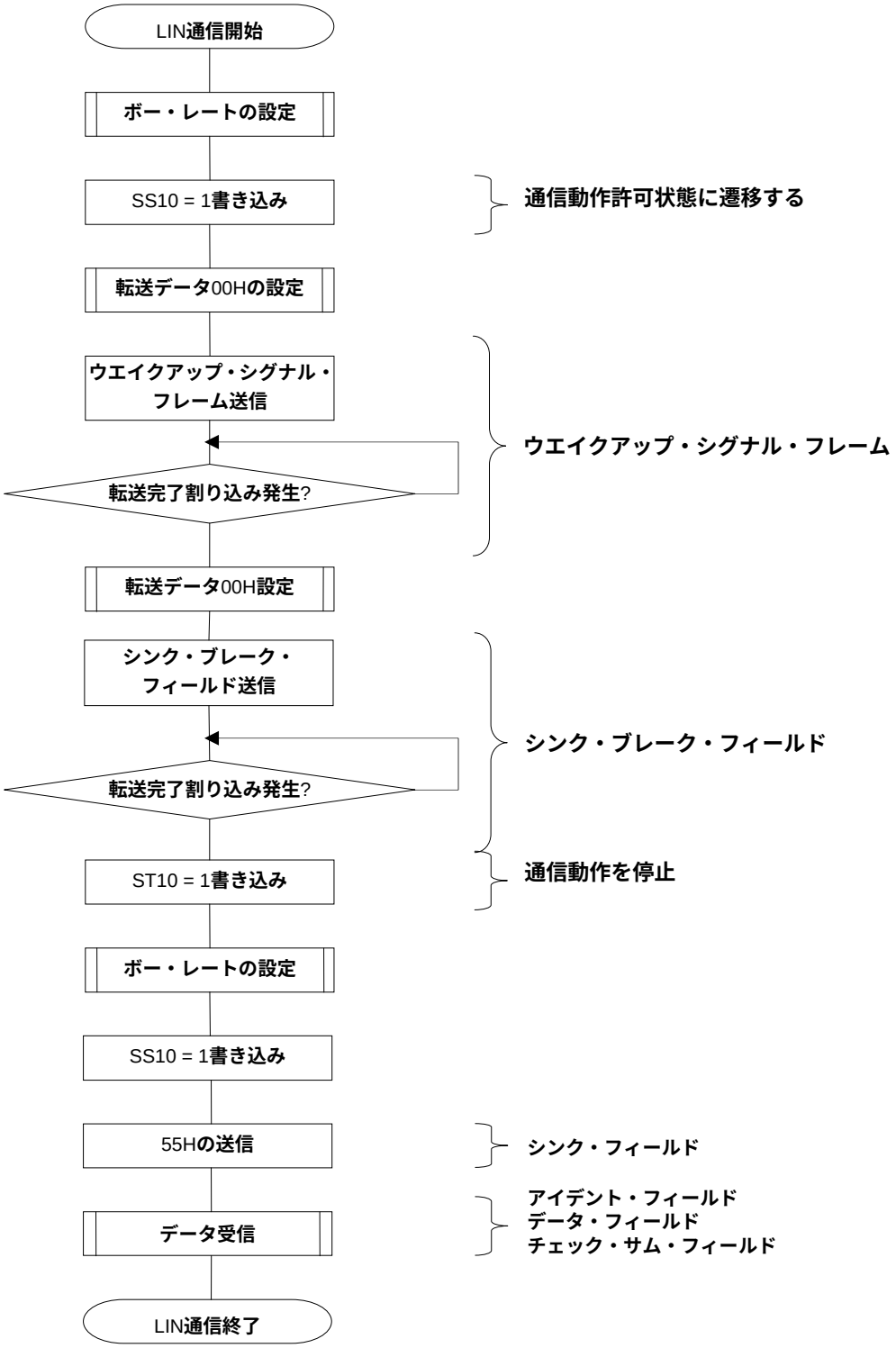
   （シンク・ブレーク・フィールド時のボー・レート） = 9/13×N

   このボー・レートで00Hのデータ送信をすることでシンク・ブレーク・フィールドを生成します。

3. 各送信終了時にはINTST2を出力します。またSBF送信時もINTST2を出力します。

備考　各フィールド間の間隔はソフトウエアで制御します。

図11－101　LIN送信のフロー・チャート



11. 7. 2　LIN受信

UART受信のうち，30ピン製品のUART2はLIN通信に対応しています。

LIN受信では，ユニット1のチャネル1を使用します。

UART	UART0	UART1	UART2
LIN通信対応	不可	不可	可
対象チャネル	−	−	SAU1のチャネル1
使用端子	−	−	RxD2
割り込み	−	−	INTSR2
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）		
エラー割り込み	−	−	INTSRE2
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEF11） ・パリティ・エラー検出フラグ（PEF11） ・オーバラン・エラー検出フラグ（OVF11）		
転送データ長	8ビット		
転送レート	Max. f_{MCK}/6 [bps]（SDR11[15:9] = 3以上），Min. f_{CLK}/（2×2^{11}×128）[bps] 注		
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし（パリティ・チェックしない） ・0パリティ・ビット付加（パリティ・チェックしない） ・偶数パリティ・チェック ・奇数パリティ・チェック		
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加		
データ方向	MSBファーストまたはLSBファースト		

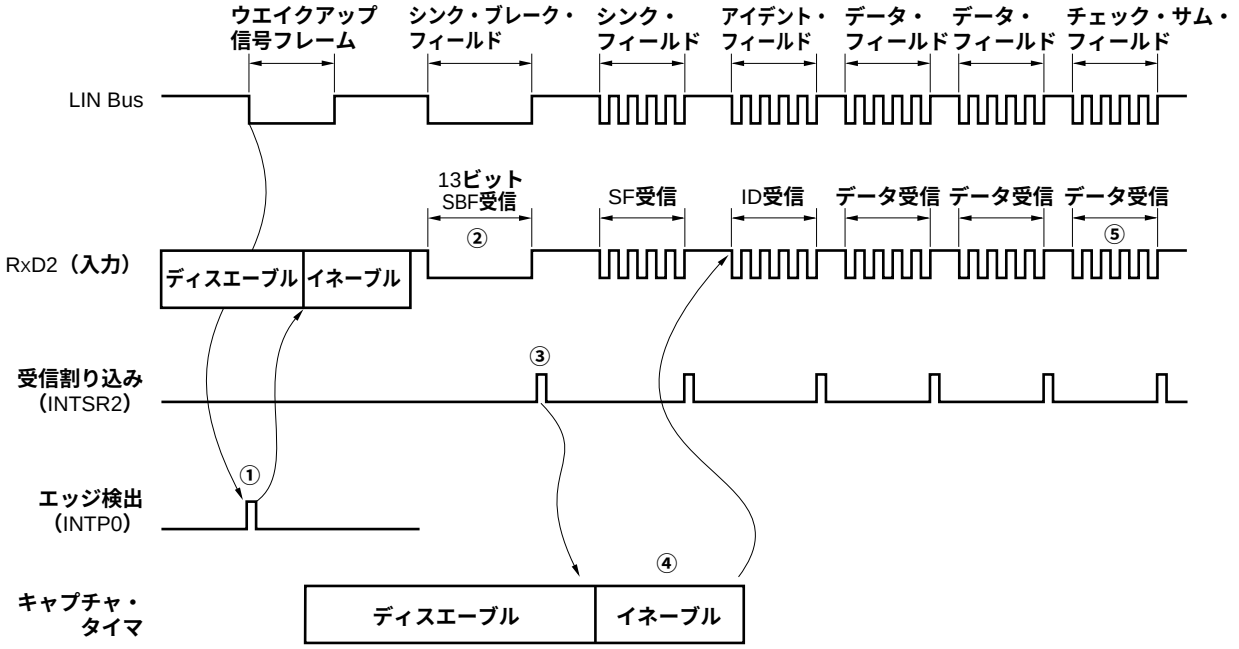
注　この条件を満たし，かつ電気的特性のAC特性（第28章　電気的特性（ターゲット）参照）を満たす範囲内で使用してください。

備考　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

LINの受信操作の概略を，図11－102に示します。

図11－102　LINの受信操作



受信処理の流れを次に示します。

① ウエイクアップ信号の検出は，端子の割り込みエッジ検出（INTP0）で行います。ウエイクアップ信号を検出したら，UART2の受信を許可（RXE11 = 1）し，SBF受信待ち状態にします。

② SBFのスタート・ビットが検出されたら，受信動作を開始し，設定されたボー・レートに合わせて，シリアル・データを順次，RXD2レジスタ（ = シリアル・データ・レジスタ11（SDR11）のビット7-0）に格納していきます。ストップ・ビットを受信したら，受信完了割り込み要求（INTSR2）を発生します。そして，SBFとして11ビット以上のロウ・レベルのデータを検出したら，SBF受信を正常終了したと判断します。SBFとして11ビット未満のロウ・レベルのデータを検出した場合は，SBF受信エラーと判断し，SBF受信待ち状態に戻ります。

③ SBF受信を正常終了した場合，タイマ・アレイ・ユニットのチャネル7を起動し，シンク・フィールドのビット間隔（パルス幅）を測定してください（6. 1. 1（6）**入力信号のハイ／ロウ・レベル幅測定**を参照）。

④ シンク・フィールド（SF）のビット間隔からボー・レート誤差を算出します。そして，いったんUART2を動作停止にしてからボー・レートを調整（再設定）してください。

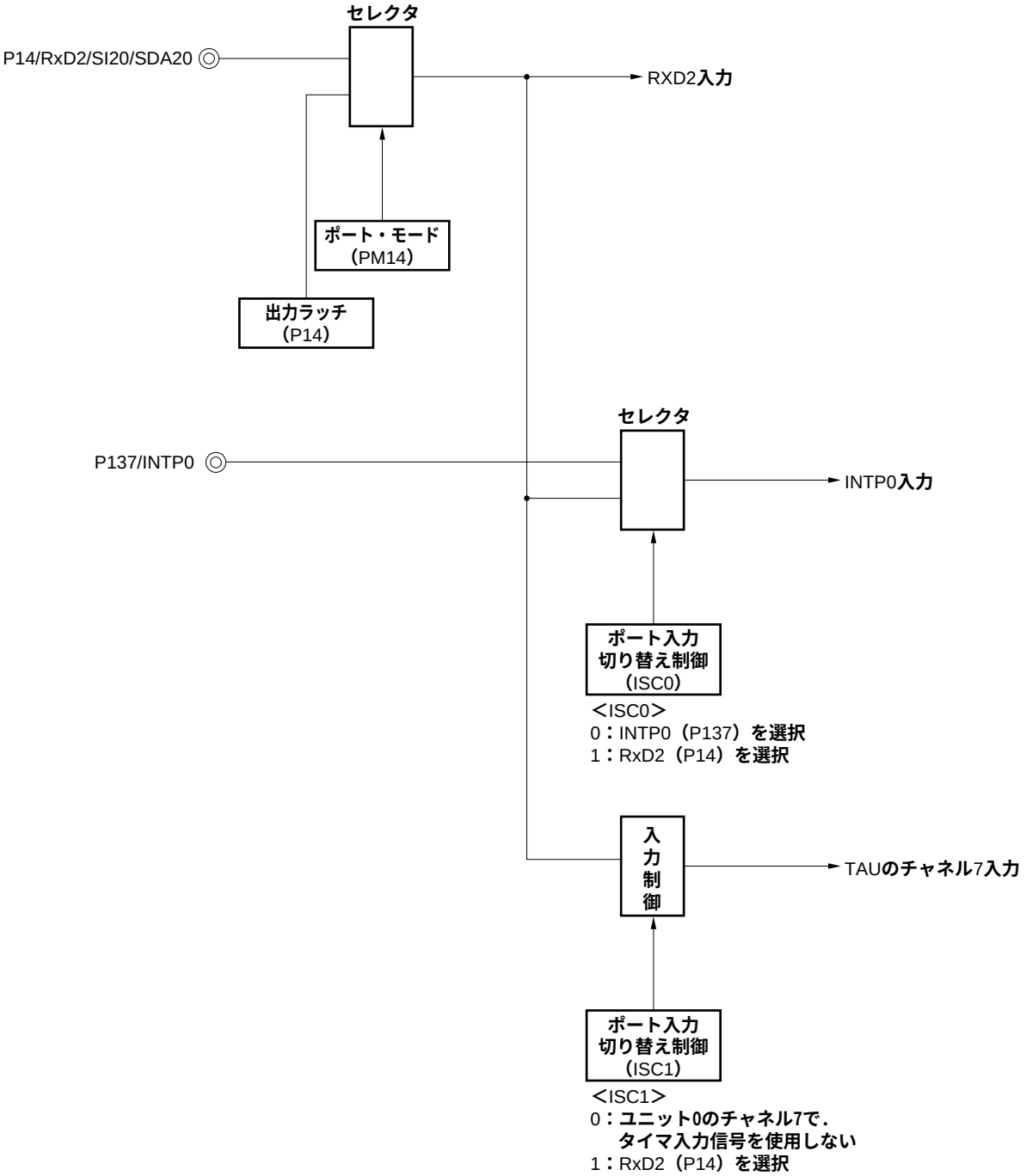
⑤ チェック・サム・フィールドの区別はソフトウエアで行ってください。チェック・サム・フィールド受信後にUART2を初期化し，再びSBF受信待ちに設定する処理もソフトウエアにて行ってください。

図11－103はLINの受信操作用のポート構成図です。

LINのマスタから送信されるウエイクアップ信号の受信を，外部割り込み（INTP0）のエッジ検出にて行います。また，LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット0の外部イベント・キャプチャ動作で計測し，ボー・レート誤差を算出することができます。

ポート入力切り替え制御（ISC0/ISC1）により，外部で結線をせずに，受信用ポート入力（RxD2）の入力ソースを外部割り込み（INTP0）およびタイマ・アレイ・ユニットへ入力することができます。

図11－103　LINの受信操作用のポート構成図



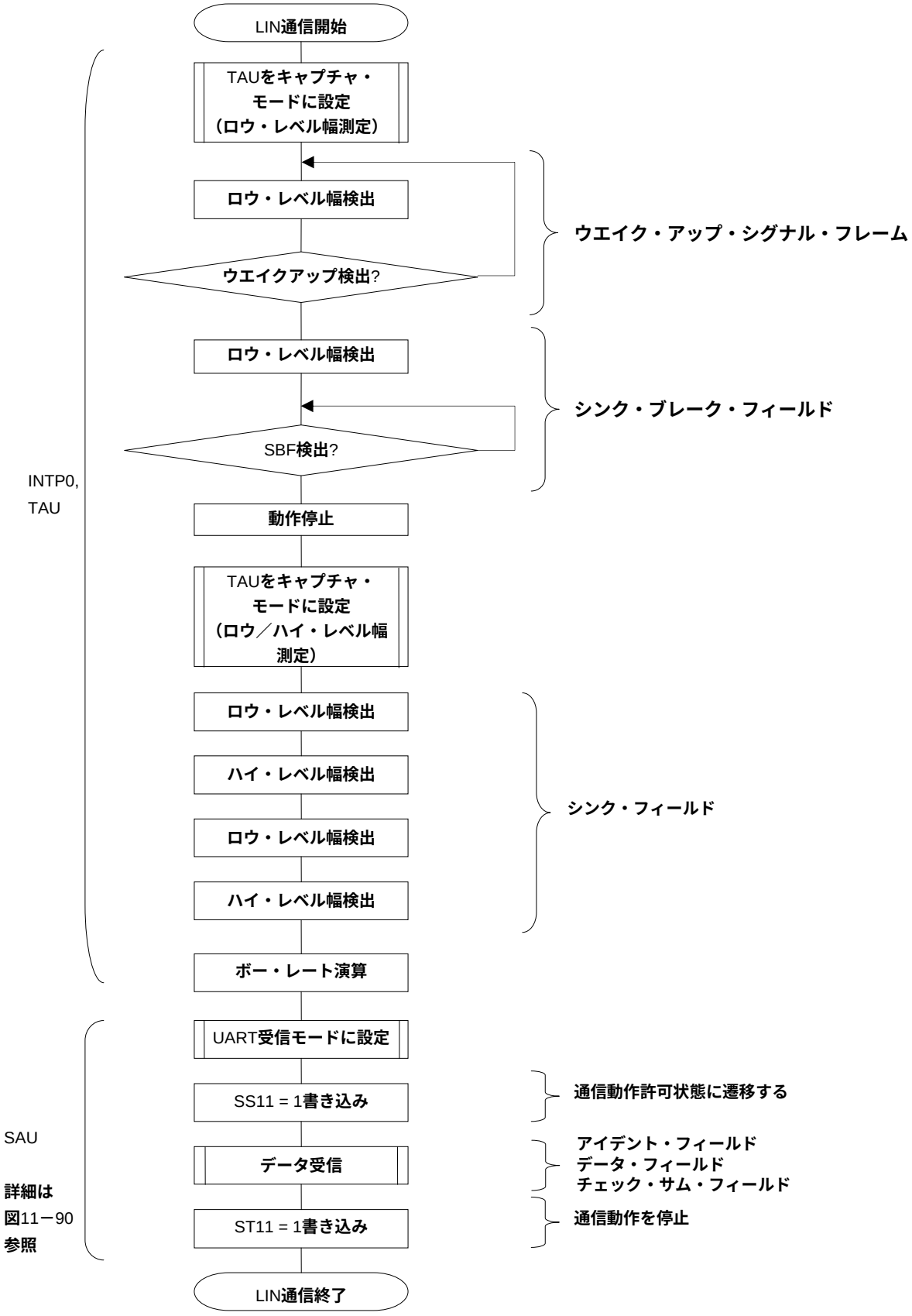
備考　ISC0, ISC1：入力切り替え制御レジスタ（ISC）のビット0, 1（図11－19参照）

LIN**通信動作で使用する周辺機能をまとめると，次のようになります。**

＜使用する周辺機能＞

- **外部割り込み（**INTP0**）；ウエイクアップ信号検出**
  用途：ウエイクアップ信号のエッジを検出し，通信開始を検出
- **タイマ・アレイ・ユニットのチャネル**7**；ボー・レート誤差検出**
  用途：シンク・フィールド（SF**）の長さを検出し，ビット数で割ることでボー・レート誤差を検出（**RxD2**入力エッジの間隔をキャプチャ・モードで測定）**
- **シリアル・アレイ・ユニット**1**（**SAU1**）のチャネル**0, 1**（**UART2**）**

図11－104　LIN受信のフロー・チャート



★ 11. 8　簡易I²C（IIC00, IIC01, IIC11, IIC20）通信の動作

シリアル・クロック（SCL）とシリアル・データ（SDA）の2本のラインによる，複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは，EEPROM, フラッシュ・メモリ，A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので，マスタとしてのみ機能します。

スタート・コンディション，ストップ・コンディションは，制御レジスタの操作とともに，ACスペックを守るようにソフトウエアで処理してください。

[データ送受信]

- マスタ送信，マスタ受信（シングル・マスタでのマスタ機能のみ）
- ACK出力機能[注]，ACK検出機能
- 8ビットのデータ長
  （アドレス送信時は，上位7ビットでアドレス指定し，最下位1ビットでR/W制御）
- スタート・コンディション，ストップ・コンディション手動発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- オーバラン・エラー
- パリティ・エラー（ACKエラー）

※ [簡易I²Cでサポートしていない機能]

- スレーブ送信，スレーブ受信
- アービトレーション負け検出機能
- ウエイト検出機能

注　最終データの受信時は，SOEmn（SOEmレジスタ）ビットに0を書き込み，シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は，11. 8. 3（2）処理フローを参照してください。

★ 備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1, 3），mn = 00, 01, 03, 10

★　**簡易**I²C（IIC00, IIC01, IIC11, IIC20）**に対応しているチャネルは，**SAU0**のチャネル**0, 1, 3**と**SAU1**のチャネル**0**です。**

20, 24**ピン製品**

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00[注]
	1	CSI01[注]		IIC01[注]

★　30**ピン製品**

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00[注]
	1	－		－
	2	－	UART1[注]	－
	3	CSI11[注]		IIC11[注]
1	0	CSI20[注]	UART2（LIN-bus**対応**）[注]	IIC20[注]
	1	－		－

注　データ・フラッシュ搭載品のみ

★　**簡易**I²C（IIC00, IIC0, IIC11, IIC20）**の通信動作は，以下の**4**種類があります。**

- **アドレス・フィールド送信**　（11. 8. 1**項を参照**）
- **データ送信**　（11. 8. 2**項を参照**）
- **データ受信**　（11. 8. 3**項を参照**）
- **ストップ・コンディション発生**　（11. 8. 4**項を参照**）

11. 8. 1　アドレス・フィールド送信

アドレス・フィールド送信は，転送対象（スレーブ）を特定するために，I²C通信で最初に行う送信動作です。スタート・コンディションを発生したあとに，アドレス（7ビット）と転送方向（1ビット）を1フレームとして送信します。

★

簡易I²C	IIC00	IIC01	IIC11	IIC20
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0
使用端子	SCL00, SDA00注	SCL01, SDA01注	SCL11, SDA11注	SCL20, SDA20注
割り込み	INTIIC00	INTIIC01	INTIIC11	INTIIC20
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）			
エラー検出フラグ	パリティ・エラー検出フラグ（PEFmn）			
転送データ長	8ビット（上位7ビットをアドレス，下位1ビットをR/W制御として送信）			
転送レート	Max.f_{MCK}/2 [Hz]（SDRmn[15:9] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし，I²Cの各モードにより，以下の条件を満たしてください。 ・Max. 400 kHz（ファースト・モード） ・Max. 100 kHz（標準モード）			
データ・レベル	正転出力（デフォルト：ハイ・レベル）			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加（ACK受信タイミング用）			
データ方向	MSBファースト			

★　**注**　簡易I²Cによる通信を行う場合は，ポート出力モード・レジスタ（POM1, POM4, POM5）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（20, 24ピン製品はPOM11, POM41 = 1，30ピン製品はPOM11, POM14, POM50 = 1）してください（詳細は4. 3　ポート機能を制御するレジスタを参照）。IIC00, IIC20は異電位外部デバイスと通信でき，この場合は，クロック入力／出力端子（SCL00, SCL20）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（20, 24ピン製品はPOM10 = 1，30ピン製品はPOM10, POM15 = 1）してください。

★　**備考**　mn = 00, 01, 03, 10

(1) レジスタ設定

図11－105 簡易I^2C（IIC00, IIC01, IIC11, IIC20）のアドレス・フィールド送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの動作モード
0：転送完了割り込み

(b) シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0		DLSmn2	DLSmn1	DLSmn0
	1	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1

パリティ・ビット設定
00B：パリティなし

ストップ・ビット設定
01B：1ビット付加（ACK）

(c) シリアル・データ・レジスタmn（SDRmn）**（下位8ビット：**SIOr**）**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定							0	送信データ設定（アドレス＋R/W）							

SIOr

(d) シリアル出力レジスタm（SOm）

★

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm					CKOm3注	CKOm2注	CKOm1	CKOm0					SOm3注	SOm2注	SOm1	SOm0
	0	0	0	0	0/1	0/1	0/1	0/1	0	0	0	0	0/1	0/1	0/1	0/1

SOmnビットを操作して，スタート・コンディションを発生する

(e) シリアル出力許可レジスタm（SOEm）

★

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3注	SOEm2注	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

スタート・コンディションを発生まではSOEmn = 0とし，
発生後はSOEmn = 1とする

(f) シリアル・チャネル開始レジスタm（SSm） ・・・対象チャネルのビットのみ1に設定する

★

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3注	SSm2注	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

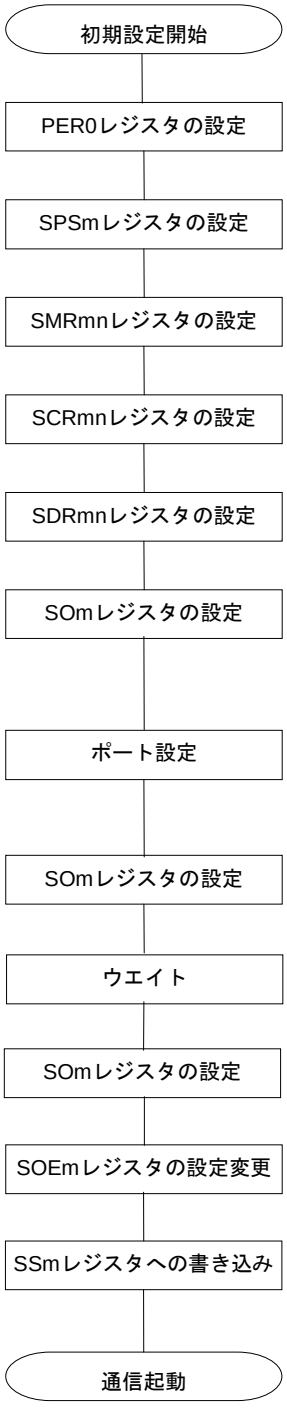
注 シリアル・アレイ・ユニット0のみ

★ **備考**1. mn = 00, 01, 03, 10 r：IIC番号（r = 00, 01, 11, 20）

2. □：IICモードでは設定固定 ▒：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

(2) 操作手順

図11－106　アドレス・フィールド送信の初期設定手順



シリアル・アレイ・ユニットへのリセット状態を解除し，クロック供給開始

動作クロックの設定

動作モードなどの設定

通信フォーマットの設定

転送ボー・レートの設定（動作クロック（f_{MCK}）の分周による転送クロックの設定）

シリアル・データ（SOmn），シリアル・クロック（CKOmn）の初期出力レベルを設定する

ポート・レジスタ，ポート・モード・レジスタ，ポート出力モード・レジスタの設定で対象チャネルのデータ出力，クロック出力，N-chオープン・ドレイン出力（V_{DD}耐圧）モードを有効にする。

SOmnビットに“0”を設定し，スタート・コンディションを発生する

スレーブ側のI^2Cの規格を満足するようにウエイトを確保します

CKOmnビットに“0”を設定し，クロック出力をロウ・レベルにする

SOEmnビットに“1”を設定し，対象チャネルのデータ出力を許可する

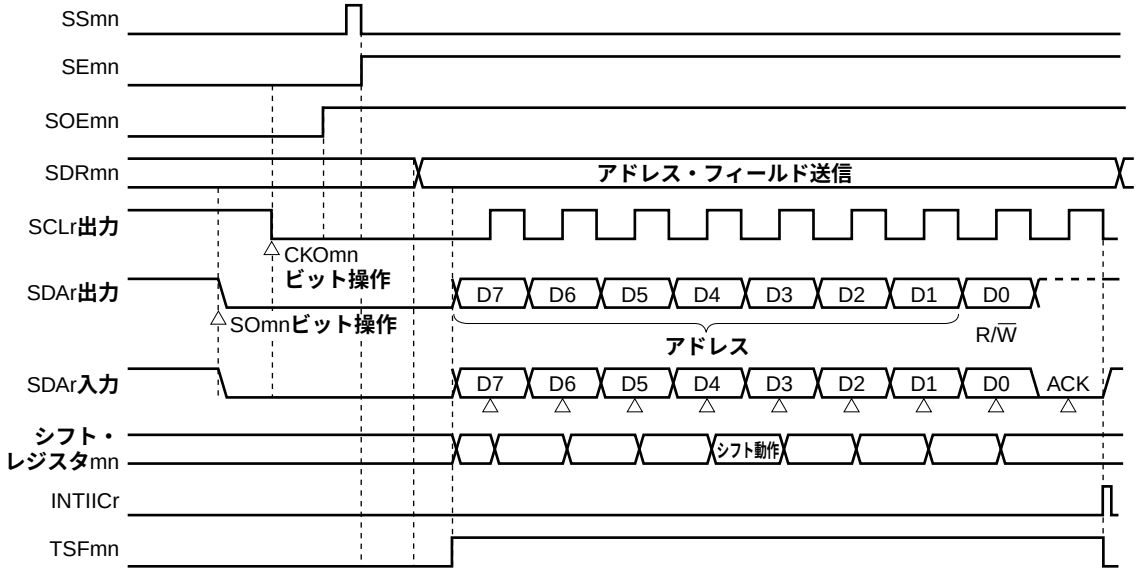
SSmnビットに“1”を設定し，SE0n = 1（動作許可状態）にする

SIOrレジスタ（SDRmnレジスタのビット7-0）にアドレスとR/Wを設定し，通信開始する

注意　周辺イネーブル・レジスタ0（PER0）のSAUmENビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm（SPSm）を設定してください。

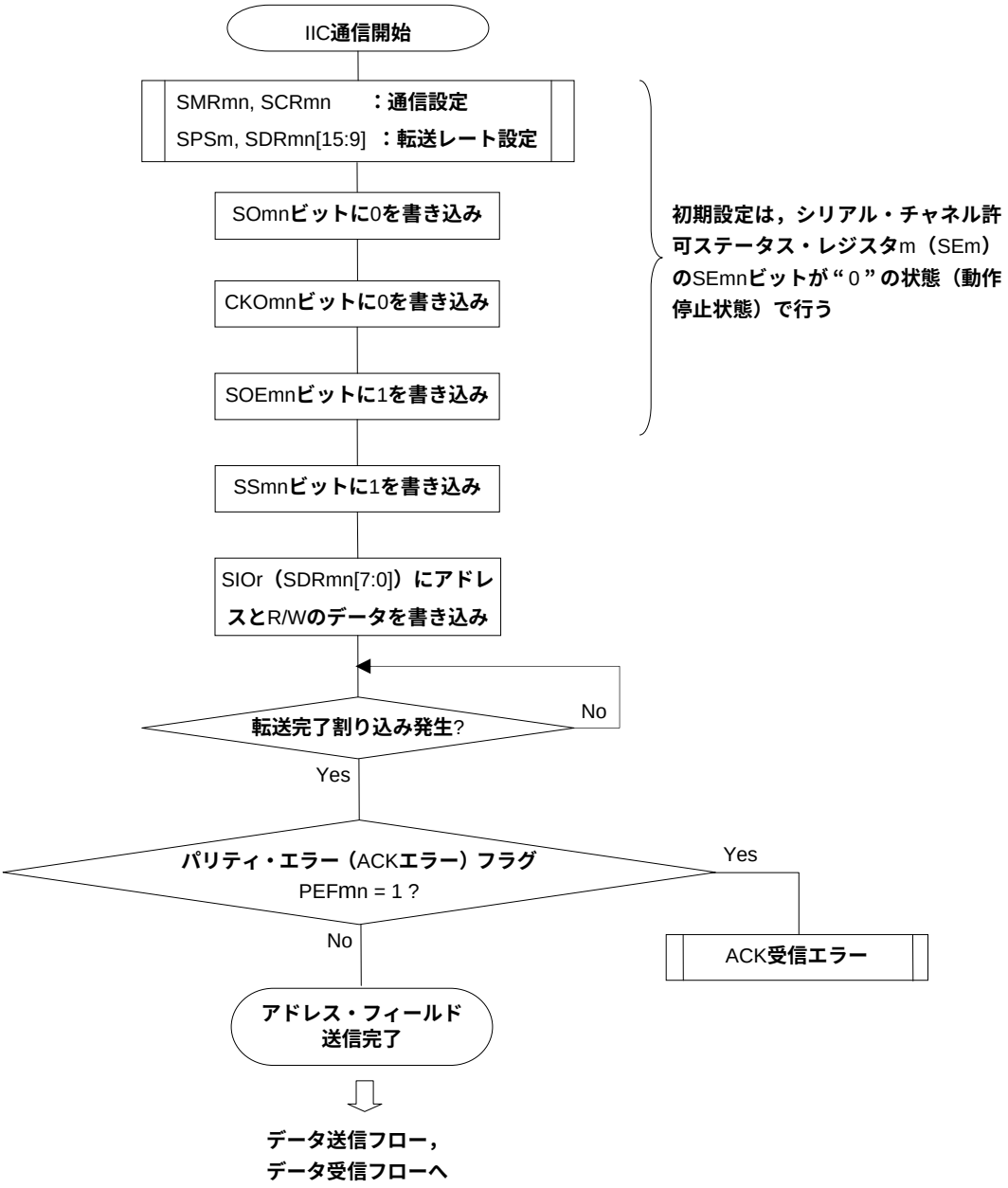
(3) 処理フロー

図11－107　アドレス・フィールド送信のタイミング・チャート



★　**備考**　mn = 00, 01, 03, 10　r：IIC番号（r = 00, 01, 11, 20）

図11－108　アドレス・フィールド送信のフロー・チャート



11. 8. 2　データ送信

データ送信は，アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は，ストップ・コンディションを発生し，バスを開放します。

★

簡易I^2C	IIC00	IIC01	IIC11	IIC20
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0
使用端子	SCL00, SDA00注	SCL01, SDA01注	SCL11, SDA11注	SCL20, SDA20注
割り込み	INTIIC00	INTIIC01	INTIIC11	INTIIC20
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）			
エラー検出フラグ	パリティ・エラー検出フラグ（PEFmn）			
転送データ長	8ビット			
転送レート	Max.f_{MCK}/2 [Hz]（SDRmn[15:9] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし，I^2Cの各モードにより，以下の条件を満たしてください。 ・Max. 400 kHz（ファースト・モード） ・Max. 100 kHz（標準モード）			
データ・レベル	正転出力（デフォルト：ハイ・レベル）			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加（ACK受信タイミング用）			
データ方向	MSBファースト			

★　注　簡易I^2Cによる通信を行う場合は，ポート出力モード・レジスタ（POM1, POM4, POM5）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（20, 24ピン製品はPOM11, POM41 = 1，30ピン製品はPOM11, POM14, POM50 = 1）してください（詳細は4. 3　ポート機能を制御するレジスタを参照）。IIC00, IIC20は異電位外部デバイスと通信でき，この場合は，クロック入力／出力端子（SCL00, SCL20）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（20, 24ピン製品はPOM10 = 1，30ピン製品はPOM10, POM15 = 1）してください。

★　備考　mn = 00, 01, 03, 10

(1) レジスタ設定

図11－109 簡易I^2C（IIC00, IIC01, IIC11, IIC20）のデータ送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn（SMRmn） ・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタmn（SCRmn）・・・TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0		DLSmn2	DLSmn1	DLSmn0
	1	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1

(c) シリアル・データ・レジスタmn（SDRmn）**（下位8ビット：**SIOr**）**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定							0	送信データ設定							
									SIOr							

(d) シリアル出力レジスタm（SOm） ・・・データ送受信中は操作しない

★

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm					CKOm3注1	CKOm2注1	CKOm1	CKOm0					SOm3注1	SOm2注1	SOm1	SOm0
	0	0	0	0	0/1注2	0/1注2	0/1注2	0/1注2	0	0	0	0	0/1注2	0/1注2	0/1注2	0/1注2

(e) シリアル出力許可レジスタm（SOEm） ・・・データ送受信中は操作しない

★

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3注1	SOEm2注1	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

(f) シリアル・チャネル開始レジスタm（SSm） ・・・データ送受信中は操作しない

★

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3注1	SSm2注1	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

注1. **シリアル・アレイ・ユニット0のみ**

2. **通信動作中は通信データにより値が変わります。**

★ **備考**1. mn = 00, 01, 03, 10 r：**IIC番号**（r = 00, 01, 11, 20）

2. □：**IICモードでは設定固定** ▒：**設定不可（初期値を設定）**
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：**ユーザの用途に応じて0または1に設定**

(2) 処理フロー

図11－110　データ送信のタイミング・チャート

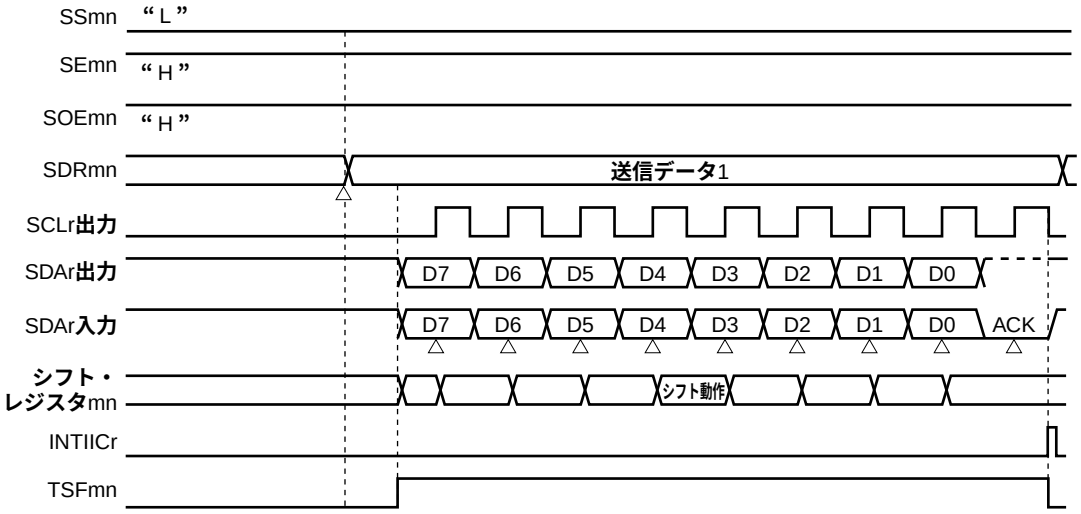
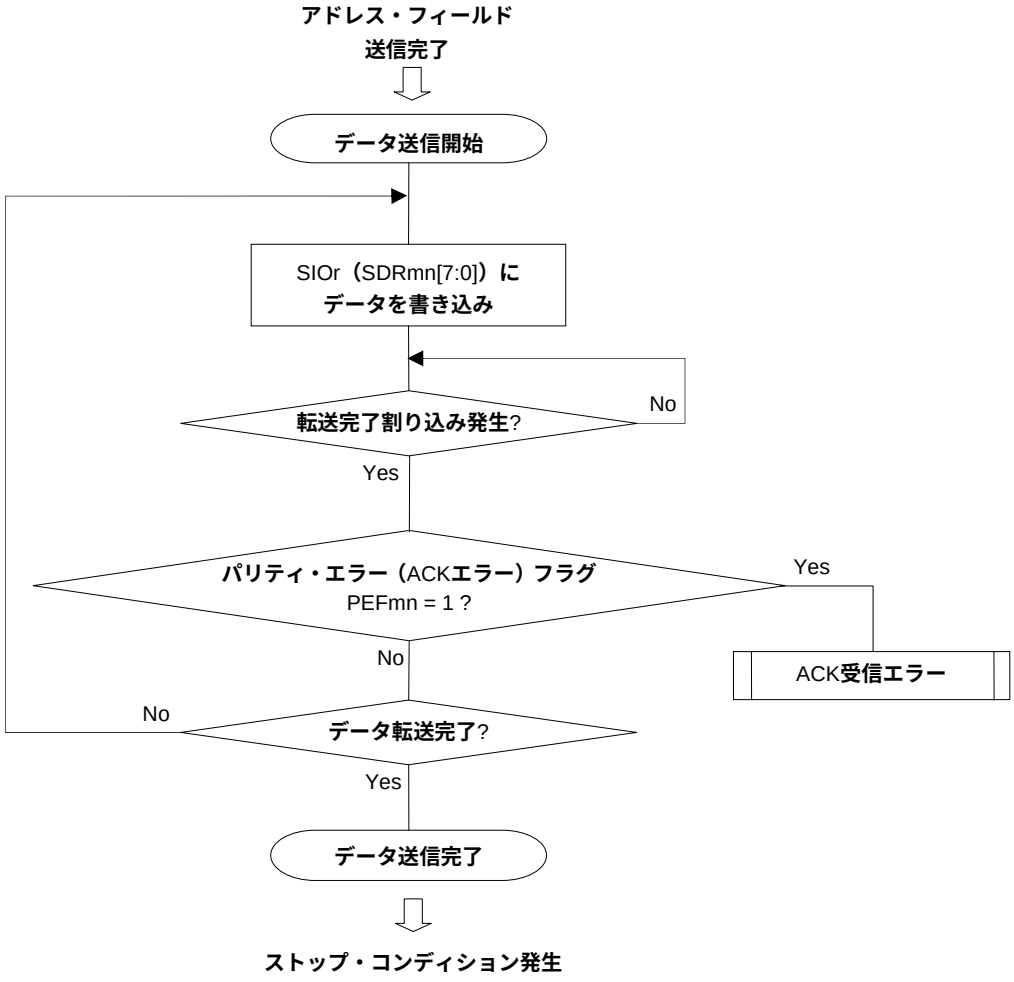


図11－111　データ送信のフロー・チャート



11. 8. 3　データ受信

データ受信は，アドレス・フィールド送信後にその転送対象（スレーブ）にデータを受信する動作です。対象スレーブにすべてのデータを受信した後は，ストップ・コンディションを発生し，バスを開放します。

★

簡易I^2C	IIC00	IIC01	IIC11	IIC20
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0
使用端子	SCL00, SDA00注	SCL01, SDA01注	SCL11, SDA11注	SCL20, SDA20注
割り込み	INTIIC00	INTIIC01	INTIIC11	INTIIC20
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	8ビット			
転送レート	Max.f_{MCK}/2 [Hz]（SDRmn[15:9] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし，I^2Cの各モードにより，以下の条件を満たしてください。 ・Max. 400 kHz（ファースト・モード） ・Max. 100 kHz（標準モード）			
データ・レベル	正転出力（デフォルト：ハイ・レベル）			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加（ACK送信）			
データ方向	MSBファースト			

★　注　簡易I^2Cによる通信を行う場合は，ポート出力モード・レジスタ（POM1, POM4, POM5）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（20, 24ピン製品はPOM11, POM41 = 1，30ピン製品はPOM11, POM14, POM50 = 1）してください（詳細は4. 3　ポート機能を制御するレジスタを参照）。IIC00, IIC20は異電位外部デバイスと通信でき，この場合は，クロック入力／出力端子（SCL00, SCL20）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（20, 24ピン製品はPOM10 = 1，30ピン製品はPOM10, POM15 = 1）してください。

★　備考　mn = 00, 01, 03, 10

(1) レジスタ設定

図11－112 簡易I^2C（IIC00, IIC01, IIC11, IIC20）のデータ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn（SMRmn） ・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタmn（SCRmn）・・・TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0		DLSmn2	DLSmn1	DLSmn0
	0	1	0	0	0	0	0	0	0	0	0	1	0	1	1	1

(c) シリアル・データ・レジスタmn（SDRmn）**（下位8ビット：**SIOr）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定							0	ダミー送信データ設定（FFH）							

SIOr

(d) シリアル出力レジスタm（SOm） ・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
★ SOm					CKOm3注1	CKOm2注1	CKOm1	CKOm0					SOm3注1	SOm2注1	SOm1	SOm0
	0	0	0	0	0/1注2	0/1注2	0/1注2	0/1注2	0	0	0	0	0/1注2	0/1注2	0/1注2	0/1注2

(e) シリアル出力許可レジスタm（SOEm） ・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
★ SOEm													SOEm3注1	SOEm2注1	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

(f) シリアル・チャネル開始レジスタm（SSm） ・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
★ SSm													SSm3注1	SSm2注1	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

注1. **シリアル・アレイ・ユニット0のみ。**

2. **通信動作中は通信データにより値が変わります。**

★ **備考**1. mn = 00, 01, 03, 10 r：**IIC番号**（r = 00, 01, 11, 20）

2. □：**IICモードでは設定固定** ▒：**設定不可（初期値を設定）**

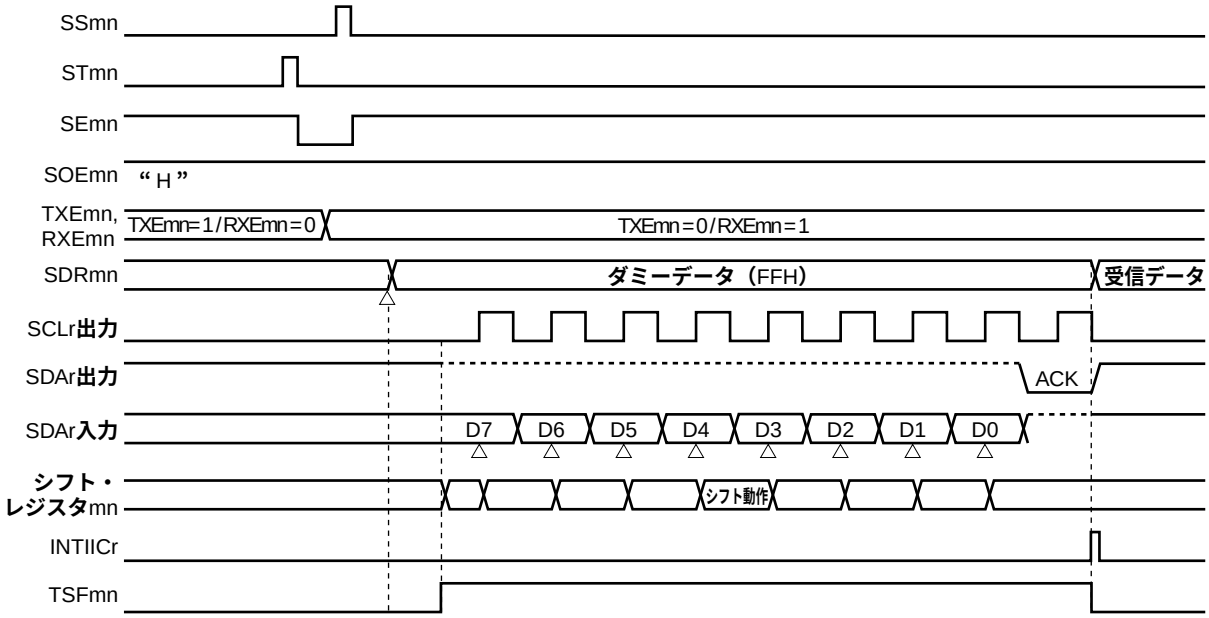
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：**ユーザの用途に応じて0または1に設定**

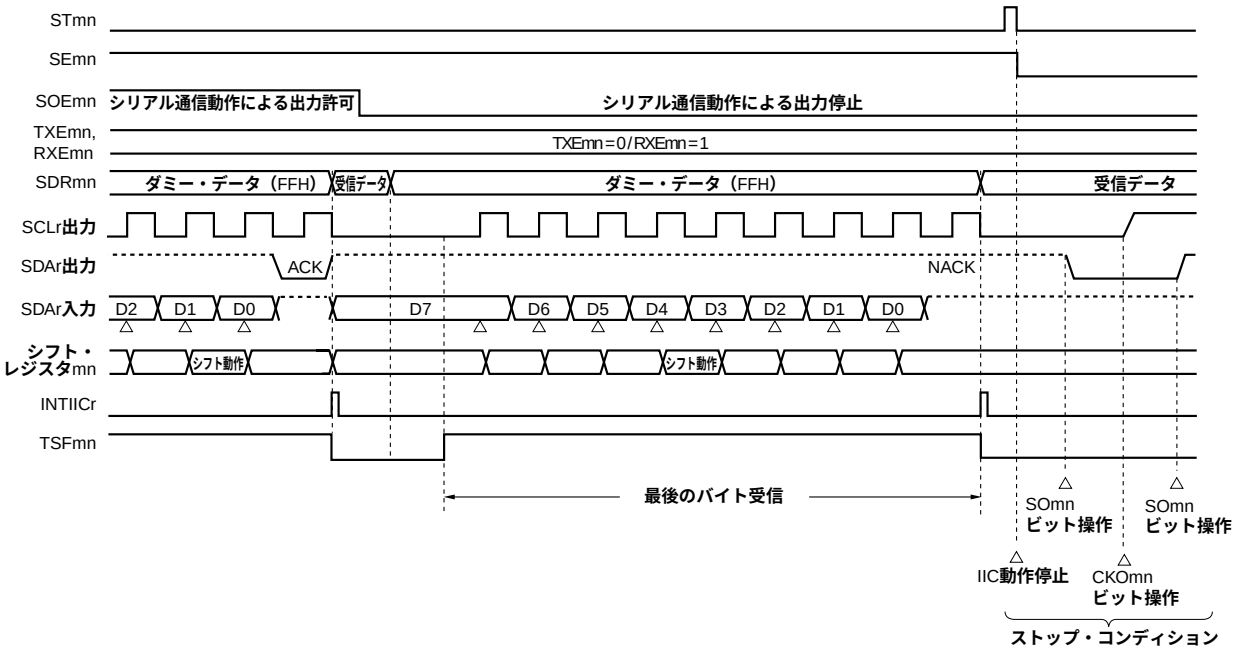
(2) 処理フロー

図11－113　データ受信のタイミング・チャート

(a) データ受信開始時

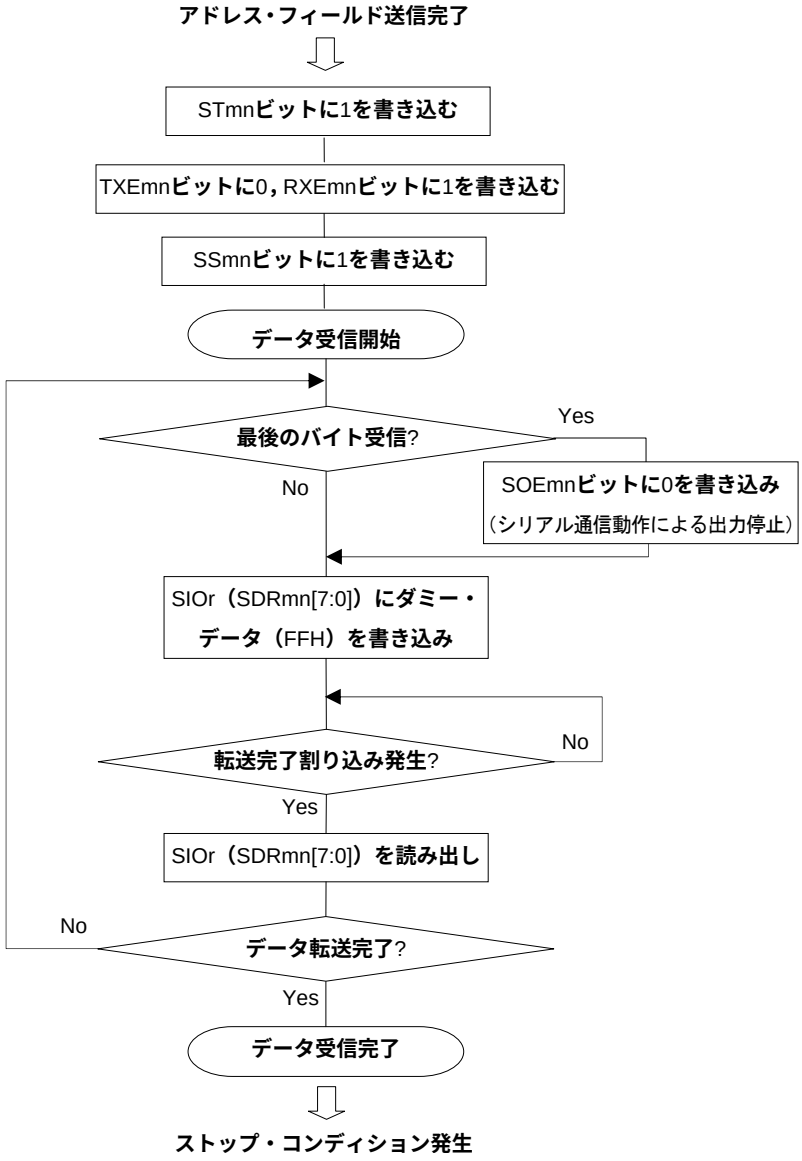


(b) 最終データ受信時



★　**備考**　mn = 00, 01, 03, 10　r：IIC番号（r = 00, 01, 11, 20）

図11－114　データ受信のフロー・チャート



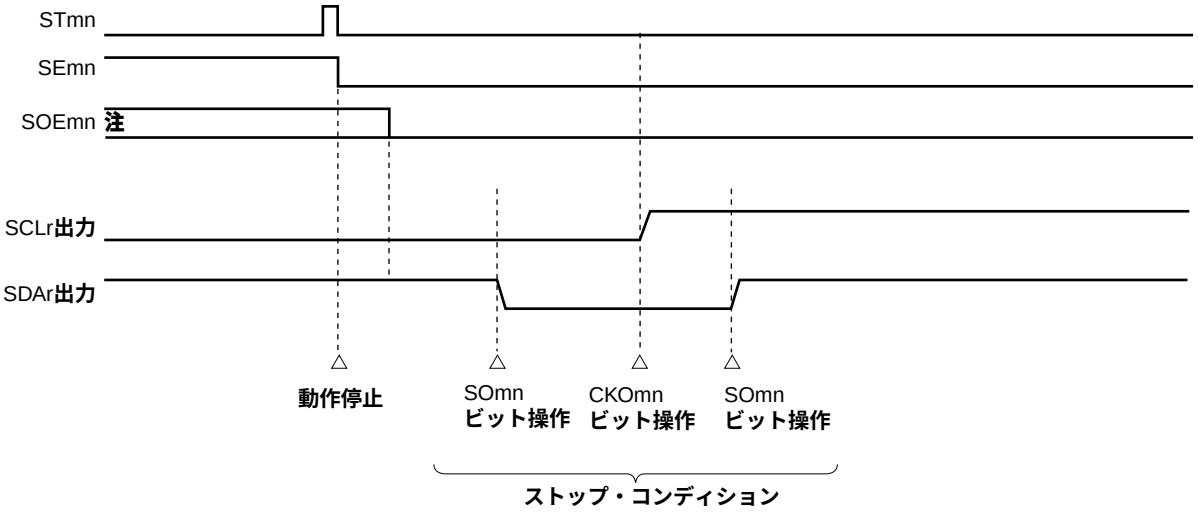
注意　最終データの受信時はACKを出力しません（NACK）。その後，シリアル・チャネル停止レジスタm（STm）のSTmnビットに“1”を設定して動作停止としてから，ストップ・コンディションを発生することにより通信完了します。

11. 8. 4　ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は，ストップ・コンディションを発生し，バスを開放します。

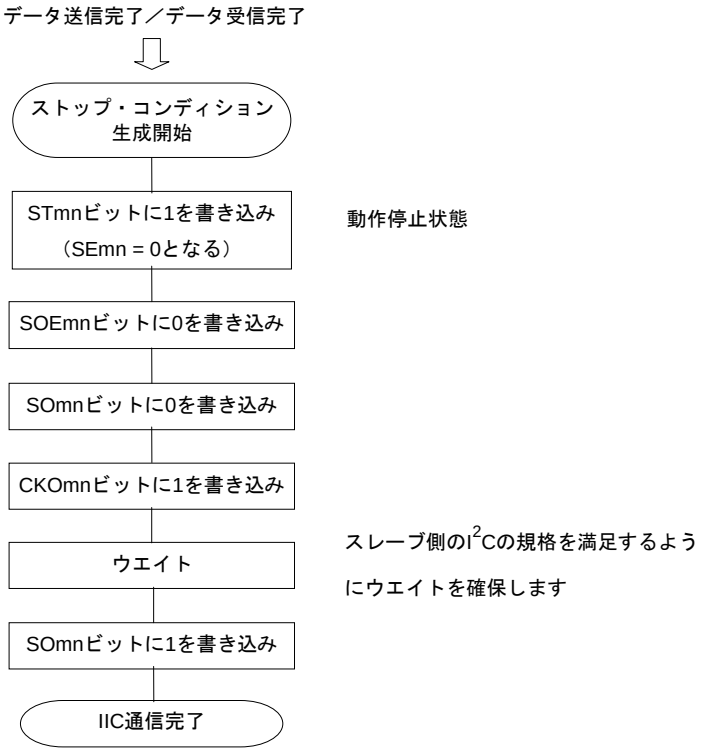
(1) 処理フロー

図11－115　ストップ・コンディション発生のタイミング・チャート



注　受信動作時は最終データを受信する前に，シリアル出力許可レジスタm（SOEm）のSOEmnビットを“0”に設定しています。

図11－116　ストップ・コンディション発生のフロー・チャート



11. 8. 5　転送レートの算出

★　簡易I^2C（IIC00, IIC01, IIC11, IIC20）通信での転送レートは下記の計算式にて算出できます。

（転送レート）＝ {対象チャネルの動作クロック（f_{MCK}）周波数} ÷（SDRmn[15:9]＋1）÷ 2

注意　SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

備考1.　（SDRmn[15:9]）は，シリアル・データ・レジスタmn（SDRmn）のビット15-9の値（0000001B-1111111B）なので，1-127になります。

★　2.　mn = 00, 01, 03, 10

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmnビット）で決まります。

表11－4 簡易I^2C動作クロックの選択

SMRmn レジスタ	SPS0レジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 20 MHz動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	20MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	10 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	5 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	2.5MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	1.25 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	625kHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	312.5 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	156.2 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	78.1 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	39.1 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	19.5 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	9.76 kHz
1	0	0	0	0	X	X	X	X	f_{CLK}	20MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	10 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	5 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	2.5MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	1.25 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	625kHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	312.5 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	156.2 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	78.1 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	39.1 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	19.5 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	9.76 kHz
上記以外									設定禁止	

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm） = 000FH）させてから変更してください。

備考1. X：Don’t care

★ 2. mn = 00, 01, 03, 10

f_{MCK} = f_{CLK} = 20 MHzの場合のIIC転送レート設定例を示します。

IIC転送モード（希望転送レート）	f_{CLK} = 20 MHz時			
	動作クロック（f_{MCK}）	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	$f_{CLK}/2$	49	100 kHz	0.0%
400 kHz	f_{CLK}	24	400 kHz	0.0%

★ 11. 8. 6 簡易I²C（IIC00, IIC01, IIC11, IIC20）通信時におけるエラー発生時の処理手順

簡易I²C（IIC00, IIC01, IIC11, IIC20）通信時にエラーが発生した場合の処理手順を図11－116，図11－117に示します。

図11－117　オーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に“1”をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

図11－118　簡易I²Cモード時のパリティ・エラー（ACKエラー）発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ0n（SIRmn）をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタm（STm）のSTmnビットに“1”を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“0”となり，チャネルnは動作停止状態になる	ACKが返信されていないので，スレーブの受信準備ができていない。そのため，ストップ・コンディションを作成してバスを開放し，再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し，アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャネル開始レジスタm（SSm）のSSmnビットに“1”を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“1”となり，チャネルnは動作許可状態になる	

★ **備考**　mn = 00, 01, 03, 10　r：IIC番号（r = 00, 01, 11, 20）

第12章　シリアル・インタフェースIICA

12. 1　シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには，次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I^2Cバス・モード（マルチマスタ対応）

シリアル・クロック（SCLA0）とシリアル・データ・バス（SDAA0）の2本のラインより，複数のデバイスと8ビット・データ転送を行うモードです。

I^2Cバス・フォーマットに準拠しており，マスタはスレーブに対して，シリアル・データ・バス上に“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ”および“ストップ・コンディション”を生成できます。スレーブは，受信したこれらの状態およびデータをハードウエアにより自動的に検出します。この機能により応用プログラムのI^2Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは，SCLA0端子とSDAA0端子はオープン・ドレイン出力で使用するため，シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウエイクアップ・モード

STOPモード状態で，マスタからの拡張コードもしくは自局アドレスを受信した場合に，割り込み要求信号（INTIICA0）を発生しSTOPモードを解除することができます。IICAコントロール・レジスタ01（IICCTL01）のWUP0ビットにより設定します。

図12－1に，シリアル・インタフェースIICAのブロック図を示します。

図12－1　シリアル・インタフェースIICAのブロック図

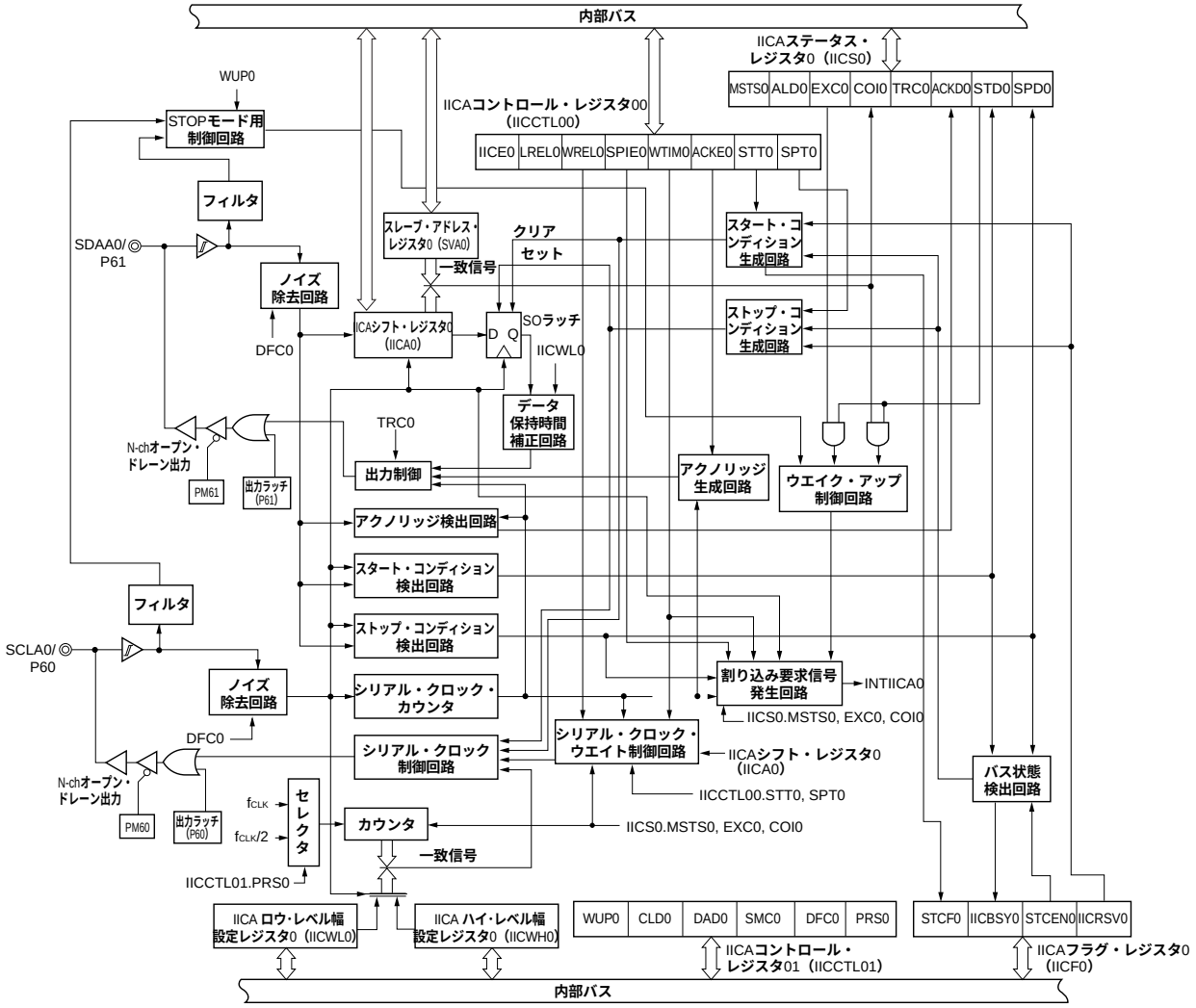
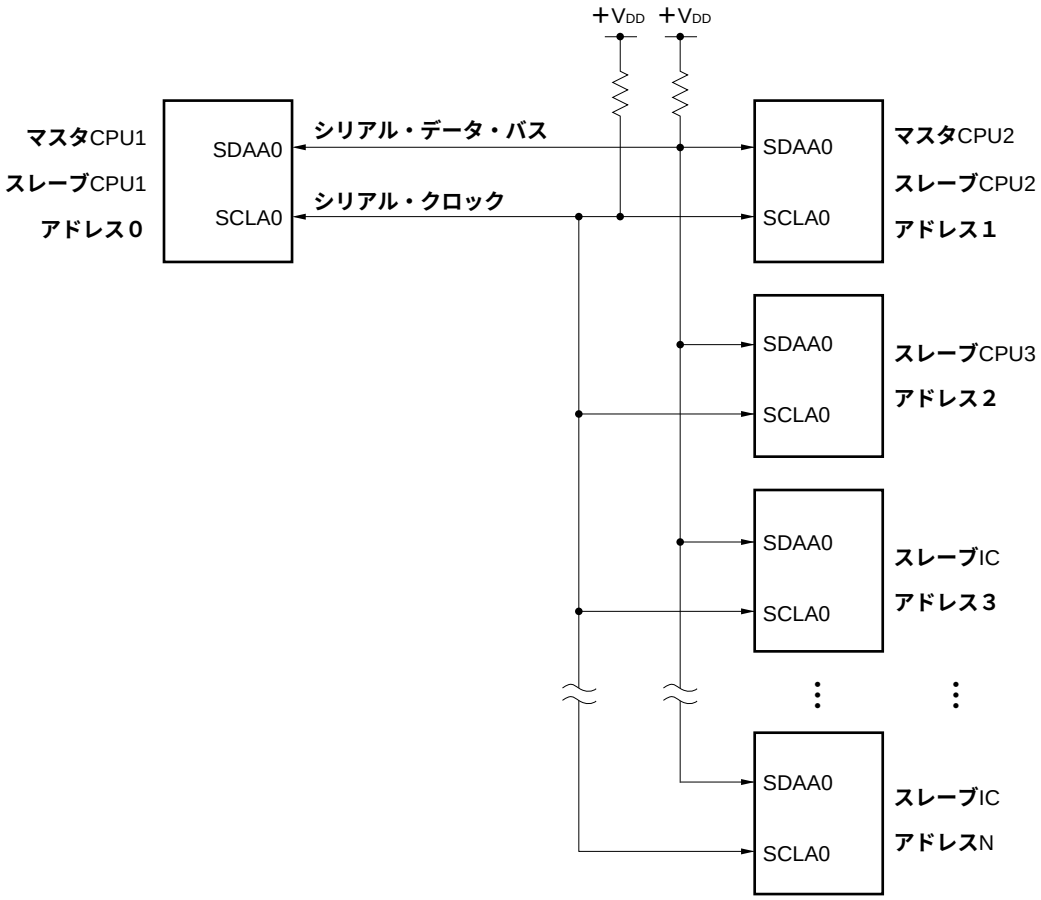


図12－2**にシリアル・バス構成例を示します。**

図12－2　I^2C**バスによるシリアル・バス構成例**



12. 2 シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは，次のハードウエアで構成されています。

表12－1 シリアル・インタフェースIICAの構成

項 目	構 成
レジスタ	IICAシフト・レジスタ0（IICA0） スレーブ・アドレス・レジスタ0（SVA0）
制御レジスタ	周辺イネーブル・レジスタ0（PER0） IICAコントロール・レジスタ00（IICCTL00） IICAステータス・レジスタ0（IICS0） IICAフラグ・レジスタ0（IICF0） IICAコントロール・レジスタ01（IICCTL01） IICAロウ·レベル幅設定レジスタ0（IICWL0） IICAハイ·レベル幅設定レジスタ0（IICWH0） ポート・モード・レジスタ6（PM6） ポート・レジスタ6（P6）

(1) IICAシフト・レジスタ0（IICA0）

IICA0レジスタは，シリアル・クロックに同期して，8ビットのシリアル・データを8ビットのパラレル・データに，8ビットのパラレル・データを8ビットのシリアル・データに変換するレジスタです。IICA0レジスタは送信および受信の両方に使用されます。

IICA0レジスタに対する書き込み／読み出しにより，実際の送受信動作が制御できます。

ウエイト期間中のIICA0レジスタへの書き込みにより，ウエイトを解除し，データ転送を開始します。

IICA0レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12－3 IICA0シフト・レジスタ0（IICA0）のフォーマット

アドレス：FFF50H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IICA0								

注意1. データ転送中はIICA0レジスタにデータを書き込まないでください。

2. IICA0レジスタには，ウエイト期間中にだけ，書き込み／読み出しをしてください。ウエイト期間中を除く通信状態でのIICA0レジスタへのアクセスは禁止です。ただし，マスタになる場合は，通信トリガ・ビット（STT0）をセット（1）したあと，1回書き込みできます。

3. 通信予約時は，ストップ・コンディションによる割り込み検出のあとにIICA0レジスタにデータを書き込んでください。

(2) スレーブ・アドレス・レジスタ0（SVA0）

スレーブとして使用する場合に，自局アドレスの7ビット｛A6, A5, A4, A3, A2, A1, A0｝を格納するレジスタです。

SVA0レジスタは，8ビット・メモリ操作命令で設定します。

ただし，STD0 = 1（スタート・コンディション検出）のときの書き換えは禁止です。

リセット信号の発生により，00Hになります。

図12－4　スレーブ・アドレス・レジスタ0（SVA0）のフォーマット

アドレス：F0234H　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SVA0	A6	A5	A4	A3	A2	A1	A0	0[注]

注　ビット0は0固定です。

(3) SOラッチ

SOラッチは，SDAA0端子出力レベルを保持するラッチです。

(4) ウエイク・アップ制御回路

スレーブ・アドレス・レジスタ0（SVA0）に設定したアドレス値と受信アドレスが一致した場合，または拡張コードを受信した場合に割り込み要求（INTIICA0）を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号（INTIICA0）の発生を制御します。

I^2C割り込み要求は，次の2つのトリガで発生します。

- シリアル・クロックの8クロック目または9クロック目の立ち下がり（WTIM0ビットで設定）
- ストップ・コンディション検出による割り込み要求発生（SPIE0ビットで設定）

備考　WTIM0ビット　：IICAコントロール・レジスタ00（IICCTL00）のビット3
SPIE0ビット　：　〃　のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に，SCLA0端子に出力するクロックをサンプリング・クロックから生成します。

(8) シリアル・クロック・ウエイト制御回路

ウエイト・タイミングを制御します。

(9) アクノリッジ生成回路，ストップ・コンディション検出回路，スタート・コンディション検出回路，アクノリッジ検出回路

各状態の生成および検出を行います。

(10) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(11) スタート・コンディション生成回路

STT0ビットがセット（1）されるとスタート・コンディションを生成します。

ただし通信予約禁止状態（IICRSV0ビット = 1）で，かつバスが解放されていない（IICBSY0ビット = 1）場合には，スタート・コンディション要求は無視し，STCF0ビットをセット（1）します。

(12) ストップ・コンディション生成回路

SPT0ビットがセット（1）されるとストップ・コンディションを生成します。

(13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により，バスが解放されているか，解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため，STCEN0ビットにより，バス状態検出回路の初期状態を設定してください。

備考 STT0ビット　：IICAコントロール・レジスタ00（IICCTL00）のビット1
SPT0ビット　：〃　のビット0
IICRSV0ビット　：IICAフラグ・レジスタ0（IICF0）のビット0
IICBSY0ビット　：〃　のビット6
STCF0ビット　：〃　のビット7
STCEN0ビット　：〃　のビット1

12. 3　シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは，次の8種類のレジスタで制御します。

- 周辺イネーブル・レジスタ0（PER0）
- IICAコントロール・レジスタ00（IICCTL00）
- IICAフラグ・レジスタ0（IICF0）
- IICAステータス・レジスタ0（IICS0）
- IICAコントロール・レジスタ01（IICCTL01）
- IICAロウ・レベル幅設定レジスタ0（IICWL0）
- IICAハイ・レベル幅設定レジスタ0（IICWH0）
- ポート・モード・レジスタ6（PM6）
- ポート・レジスタ6（P6）

(1) 周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICAを使用するときは，必ずビット4（IICA0EN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12－5　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

★ 略号	7	6	5	4	3	2	1	0
PER0	TMKAE	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

IICA0EN	シリアル・インタフェースIICAの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可 ・シリアル・インタフェースIICAはリセット状態
1	入力クロック供給許可 ・シリアル・インタフェースIICAで使用するSFRへのリード／ライト可

注意1. シリアル・インタフェースIICAの設定をする際には，必ず最初にIICA0EN = 1の設定を行ってください。IICA0EN = 0の場合は，シリアル・インタフェースIICAの制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（ポート・モード・レジスタ6（PM6），ポート・レジスタ6（P6）は除く）。

2. 未定義のビットには必ず“0”を設定してください。

（2）IICA コントロール・レジスタ 00（IICCTL00）

I²C の動作許可／停止，ウエイト・タイミングの設定，その他 I²C の動作を設定するレジスタです。

IICCTL00 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし，SPIE0, WTIM0, ACKE0 ビットは，IICE0 = 0 のとき，またはウエイト期間中に設定してください。また IICE0 ビットを"0"から"1"に設定するときに，これらのビットを同時に設定できます。

リセット信号の発生により，00H になります。

図12－6 IICAコントロール・レジスタ00（IICCTL00）のフォーマット（1/4）

アドレス：F0230H **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
IICCTL00	IICE0	LREL0	WREL0	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	I^2Cの動作許可	
0	動作停止。IICAステータス・レジスタ0（IICS0）をリセット[注1]。内部動作も停止。	
1	動作許可。	
このビットのセット（1）は，必ずSCLA0, SDAA0ラインがハイ･レベルの状態で行ってください。		
クリアされる条件（IICE0 = 0）		セットされる条件（IICE0 = 1）
・命令によるクリア ・リセット時		・命令によるセット

LREL0[注2, 3]	通信退避
0	通常動作。
1	現在行っている通信から退避し，待機状態。実行後自動的にクリア（0）される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLA0, SDAA0ラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタ00（IICCTL00），IICAステータス・レジスタ0（IICS0）のうち，次のフラグがクリア（0）される。 ・STT0 ・SPT0 ・MSTS0 ・EXC0 ・COI0 ・TRC0 ・ACKD0 ・STD0
次の通信参加条件が満たされるまでは，通信から退避した待機状態となる。 ・ストップ・コンディション検出後，マスタとしての起動 ・スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件（LREL0 = 0）	セットされる条件（LREL0 = 1）
・実行後，自動的にクリア ・リセット時	・命令によるセット

WREL0[注2, 3]	ウエイト解除
0	ウエイトを解除しない。
1	ウエイトを解除する。ウエイト解除後，自動的にクリアされる。
送信状態（TRC0 = 1）で，9クロック目のウエイト期間中にWREL0ビットをセット（ウエイトを解除）した場合，SDAA0ラインをハイ・インピーダンス（TRC0 = 0）にします。	
クリアされる条件（WREL0 = 0）	セットされる条件（WREL0 = 1）
・実行後，自動的にクリア ・リセット時	・命令によるセット

注1. リセットされるのは，IICAステータス・レジスタ0（IICA0），IICAフラグ・レジスタ0（IICF0）のSTCF0，IICBSY0ビット，IICAコントロール・レジスタ01（IICCTL01）レジスタのCLD0，DAD0ビットです。

2. IICE0 = 0の状態では，このビットの信号は無効になります。

3. LREL0, WREL0ビットの読み出し値は常に0になります。

注意 SCLA0ラインがハイ･レベル，SDAA0ラインがロウ・レベルの状態かつ，デジタル・フィルタ・オン（IICCTL01レジスタのDFC0 = 1）のときにI^2Cを動作許可（IICE0 = 1）した場合，直後にスタート・コンディションを検出してしまいます。この場合は，I^2Cを動作許可（IICE0 = 1）したあと，連続して1ビット・メモリ操作命令により，LREL0ビットをセット（1）してください。

図12－6　IICA**コントロール・レジスタ**00（IICCTL00）**のフォーマット**（2/4）

SPIE0[注1]	ストップ・コンディション検出による割り込み要求発生の許可／禁止
0	**禁止**
1	**許可**
IICA**コントロール・レジスタ**01（IICCTL01）**の**WUP0 = 1**の場合には，**SPIE0 = 1**にしてもストップ・コンディション割り込みは発生しません。**	
クリアされる条件（SPIE0 = 0）	**セットされる条件**（SPIE0 = 1）
・命令によるクリア **・リセット時**	**・命令によるセット**

WTIM0[注1]	ウエイトおよび割り込み要求発生の制御
0	8**クロック目の立ち下がりで割り込み要求発生。** **マスタの場合　：**8**クロック出力後，クロック出力をロウ・レベルにしたままウエイト** **スレーブの場合：**8**クロック入力後，クロックをロウ・レベルにしてマスタをウエイト**
1	9**クロック目の立ち下がりで割り込み要求発生。** **マスタの場合　：**9**クロック出力後，クロック出力をロウ・レベルにしたままウエイト** **スレーブの場合：**9**クロック入力後，クロックをロウ・レベルにしてマスタをウエイト**
アドレス転送中はこのビットの設定にかかわらず，9**クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時，アドレス転送中は**9**クロックの立ち下がりにウエイトが入ります。自局アドレスを受信したスレーブは，アクノリッジ（**$\overline{\text{ACK}}$**）発生後の**9**クロック目の立ち下がりでウエイトに入ります。ただし拡張コードを受信したスレーブは，**8**クロック目の立ち下がりでウエイトに入ります。**	
クリアされる条件（WTIM0 = 0）	**セットされる条件**（WTIM0 = 1）
・命令によるクリア **・リセット時**	**・命令によるセット**

ACKE0 [注1,2]	アクノリッジ制御
0	**アクノリッジを禁止。**
1	**アクノリッジを許可。**9**クロック期間中に**SDAA0**ラインをロウ・レベルにする。**
クリアされる条件（ACKE0 = 0）	**セットされる条件**（ACKE0 = 1）
・命令によるクリア **・リセット時**	**・命令によるセット**

注1.　IICE0 = 0**の状態では，このビットの信号は無効になります。その期間にビットの設定を行ってください。**

2.　**アドレス転送中で，かつ拡張コードでない場合，設定値は無効です。**
スレーブかつアドレスが一致した場合は，設定値に関係なくアクノリッジを生成します。

図12－6 IICA**コントロール・レジスタ**00（IICCTL00）**のフォーマット**（3/4）

STT0[注]	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	バスが解放されているとき（待機状態，IICBSY0が0のとき）： セット（1）すると，スタート・コンディションを生成する（マスタとしての起動）。 第三者が通信中のとき： ・通信予約機能許可の場合（IICRSV0 = 0） スタート・コンディション予約フラグとして機能する。セット（1）すると，バスが解放されたあと自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSV0 = 1） セット（1）してもSTT0ビットはクリアされ，STT0クリア・フラグ（STCF0）がセット（1）される。スタート・コンディションは生成しない。 ウエイト状態（マスタ時）： ウエイトを解除してリスタート・コンディションを生成する。

セット・タイミングに関する注意

・マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0 = 0に設定し，受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。

・マスタ送信の場合：アクノリッジ期間中は，正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。

・ストップ・コンディション・トリガ（SPT0）と同時セット（1）することは禁止です。

・STT0ビットをセット（1）後，クリア（0）される前に再度セット（1）することは禁止です。

クリアされる条件（STT0 = 0）	セットされる条件（STT0 = 1）
・通信予約禁止状態でのSTT0ビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 0（動作停止）のとき ・リセット時	・命令によるセット

注 IICE0 = 0の状態では，このビットの信号は無効になります。

備考1. ビット1（STT0）は，データ設定後に読み出すと0になっています。

2. IICRSV0 ：IICフラグ・レジスタ0（IICF0）のビット0
STCF0 ： 〃 のビット7

図12ー6 IICA**コントロール・レジスタ**00（IICCTL00）**のフォーマット**（4/4）

SPT0	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する（マスタとしての転送終了）。

セット・タイミングに関する注意

- **マスタ受信の場合：転送中のセット**（1）**は禁止です。**
  ACKE0 = 0**に設定し，受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット**（1）**可能です。**
- **マスタ送信の場合：アクノリッジ期間中は，正常にストップ・コンディションが生成されないことがあります。**9**クロック出力後のウエイト期間中にセットしてください。**
- **スタート・コンディション・トリガ**（STT0）**と同時にセット**（1）**することは禁止です。**
- SPT0**ビットのセット**（1）**は，マスタのときのみ行ってください。**
- WTIM0 = 0**設定時に，**8**クロック出力後のウエイト期間中に**SPT0**ビットをセット**（1）**すると，ウエイト解除後，**9**クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。**8**クロック出力後のウエイト期間中に**WTIM0 = 0→1**に設定し，**9**クロック目出力後のウエイト期間中に**SPT0**ビットをセット**（1）**してください。**
- SPT0**ビットをセット**（1）**後，クリア**（0）**する前に，再度セット**（1）**することは禁止です。**

クリアされる条件（SPT0 = 0）	セットされる条件（SPT0 = 1）
・アービトレーションに負けたとき ・ストップ・コンディション検出後，自動的にクリア ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 0（動作停止）のとき ・リセット時	・命令によるセット

注意 IICA**ステータス・レジスタ**0（IICS0）**のビット**3（TRC0）= 1**（送信状態）のとき，9クロック目に**IICCTL00 **レジスタのビット**5（WREL0）**をセット（1）してウエイト解除すると，**TRC0**ビットをクリア（受信状態）して**SDAA0**ラインをハイ・インピーダンスにします。**TRC0 = 1**（送信状態）におけるウエイト解除は，**IICA**シフト・レジスタ**0**への書き込みで行ってください。**

備考 **ビット**0（SPT0）**は，データ設定後に読み出すと**0**になっています。**

(3) IICA ステータス・レジスタ 0（IICS0）

I²C のステータスを表すレジスタです。

IICS0 レジスタは，STT0 = 1 およびウエイト期間中のみ，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により，00H になります。

注意 STOP モード状態時のアドレス一致ウエイク・アップ機能動作許可（WUP0=1）状態での IICS0 レジスタの読み出しは禁止です。WUP0 = 1 の状態から，INTIICA0 割り込み要求と関係なく WUP0 ビットを 1→0（ウエイク・アップ動作停止）に変更した場合には，次のスタート・コンディション／ストップ・コンディション検出までは状態が反映されません。そのため，ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可（SPIE0 = 1）して割り込み検出後に IICS0 レジスタを読み出してください。

備考 STT0　：IICA コントロール・レジスタ 00（IICCTL00）のビット 1
WUP0　：IICA コントロール・レジスタ 01（IICCTL01）のビット 7

図 12－7　IICA ステータス・レジスタ 0（IICS0）のフォーマット（1/3）

アドレス：FFF51H　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
IICS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	マスタ状態確認フラグ
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。

クリアされる条件（MSTS0 = 0）	セットされる条件（MSTS0 = 1）
・ストップ・コンディション検出時 ・ALD0 = 1（アービトレーション負け）のとき ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・スタート・コンディション生成時

ALD0	アービトレーション負け検出
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTS0 ビットがクリアされる。

クリアされる条件（ALD0 = 0）	セットされる条件（ALD0 = 1）
・IICS0 レジスタ読み出し後，自動的にクリア[注] ・IICE0 = 1→0（動作停止）のとき ・リセット時	・アービトレーションに負けたとき

注 IICS0 レジスタのほかのビットに対し 1 ビット・メモリ操作命令を実行した場合もクリアされます。したがって，ALD0 ビット使用時は，ほかのビットよりも先にデータをリードしてください。

備考 LREL0　：IICA コントロール・レジスタ 00（IICCTL00）のビット 6
IICE0　：　〃　のビット 7

図12－7 IICAステータス・レジスタ0（IICS0）のフォーマット（2/3）

EXC0	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信している。

クリアされる条件（EXC0 = 0）	セットされる条件（EXC0 = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき（8クロック目の立ち上がりでセット）

COI0	アドレス一致検出
0	アドレスが一致していない。
1	アドレスが一致している。

クリアされる条件（COI0 = 0）	セットされる条件（COI0 = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・受信アドレスが自局アドレス（スレーブ・アドレス・レジスタ0（SVA0））と一致したとき（8クロック目の立ち上がりでセット）

TRC0	送信／受信状態検出
0	受信状態（送信状態以外）。SDAA0ラインをハイ・インピーダンスにする。
1	送信状態。SDAA0ラインにSO0ラッチの値が出力できるようにする（1バイト目の9クロック目の立ち下がり以降有効）。

クリアされる条件（TRC0 = 0）	セットされる条件（TRC0 = 1）
＜マスタ，スレーブ共通＞ ・ストップ・コンディション検出時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・WREL0 = 1（ウエイト解除）によるクリア[注] ・ALD0 = 0→1（アービトレーション負け）のとき ・リセット時 ・通信不参加の場合（MSTS0, EXC0, COI0 = 0） ＜マスタの場合＞ ・1バイト目のLSB（転送方向指定ビット）に“1”を出力したとき ＜スレーブの場合＞ ・スタート・コンディション検出時 ・1バイト目のLSB（転送方向指定ビット）に“0”を入力したとき	＜マスタの場合＞ ・スタート・コンディション生成時 ・1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に“0”（マスタ送信）を出力したとき ＜スレーブの場合＞ ・マスタからの1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に“1”（スレーブ送信）が入力されたとき

注 IICAステータス・レジスタ0（IICS0）のビット3（TRC0）= 1（送信状態）のとき，9クロック目にIICAコントロール・レジスタ00（IICCTL00）のビット5（WREL0）をセット（1）してウエイトを解除すると，TRC0ビットをクリア（受信状態）してSDAA0ラインをハイ・インピーダンスにします。TRC0 = 1（送信状態）におけるウエイト解除は，IICAシフト・レジスタ0への書き込みで行ってください。

備考 LREL0 ：IICAコントロール・レジスタ00（IICCTL00）のビット6
IICE0 ： 〃 のビット7

図12－7 IICAステータス・レジスタ0（IICS0）のフォーマット（3/3）

ACKD0	アクノリッジ（$\overline{ACK}$）検出
0	アクノリッジを検出していない。
1	アクノリッジを検出している。

クリアされる条件（ACKD0 = 0）	セットされる条件（ACKD0 = 1）
・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・SCLA0ラインの9クロック目の立ち上がり時にSDAA0ラインがロウ・レベルであったとき

STD0	スタート・コンディション検出
0	スタート・コンディションを検出していない。
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。

クリアされる条件（STD0 = 0）	セットされる条件（STD0 = 1）
・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・スタート・コンディション検出時

SPD0	ストップ・コンディション検出
0	ストップ・コンディションを検出していない。
1	ストップ・コンディションを検出している。マスタでの通信が終了し，バスが解放されている。

クリアされる条件（SPD0 = 0）	セットされる条件（SPD0 = 1）
・このビットのセット後で，スタート・コンディション検出後の，アドレス転送バイトの1クロック目の立ち上がり時 ・IICE0 = 1→0（動作停止）のとき ・リセット時	・ストップ・コンディション検出時

備考 LREL0 ：IICAコントロール・レジスタ00（IICCTL00）のビット6
IICE0 ： 〃 のビット7

（4）IICAフラグ・レジスタ0（IICF0）

I^2Cの動作モードの設定と，I^2Cバスの状態を表すレジスタです。

IICF0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，STT0クリア・フラグ（STCF0），I^2Cバス状態フラグ（IICBSY0）は読み出しのみ可能です。

IICRSV0ビットにより，通信予約機能の禁止／許可を設定します。

またSTCEN0ビットにより，IICBSY0ビットの初期値を設定します。

IICRSV0，STCEN0ビットはI^2Cが動作禁止（IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0） = 0）のときのみ書き込み可能です。動作許可後，IICF0レジスタは読み出しのみ可能となります。

リセット信号の発生により，00Hになります。

図12－8 IICAフラグ・レジスタ0（IICF0）のフォーマット

アドレス：FFF52H **リセット時：**00H R/W[注]

略号	7	6	5	4	3	2	1	0
IICF0	STCF0	IICBSY0	0	0	0	0	STCEN0	IICRSV0

STCF0	STT0クリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず，STT0フラグ・クリア。

クリアされる条件（STCF0 = 0）	セットされる条件（STCF0 = 1）
・STT0 = 1によるクリア ・IICE0 = 0（動作停止）のとき ・リセット時	・通信予約禁止（IICRSV0 = 1）設定時にスタート・コンディション発行できず，STT0ビットがクリア（0）されたとき

IICBSY0	I^2Cバス状態フラグ
0	バス解放状態（STCEN0 = 1時の通信初期状態）。
1	バス通信状態（STCEN0 = 0時の通信初期状態）。

クリアされる条件（IICBSY0 = 0）	セットされる条件（IICBSY0 = 1）
・ストップ・コンディション検出時 ・IICE0 = 0（動作停止）のとき ・リセット時	・スタート・コンディション検出時 ・STCEN0 = 0時のIICE0ビットのセット

STCEN0	初期スタート許可トリガ
0	動作許可（IICE0 = 1）後，ストップ・コンディションの検出により，スタート・コンディションを生成許可。
1	動作許可（IICE0 = 1）後，ストップ・コンディションを検出せずに，スタート・コンディションを生成許可。

クリアされる条件（STCEN0 = 0）	セットされる条件（STCEN0 = 1）
・命令によるクリア ・スタート・コンディション検出時 ・リセット時	・命令によるセット

IICRSV0	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。

クリアされる条件（IICRSV0 = 0）	セットされる条件（IICRSV0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

注 ビット6, 7はRead onlyです。

注意1. STCEN0ビットへの書き込みは動作停止（IICE0 = 0）時のみ行ってください。

2. STCEN0 = 1とした場合，実際のバス状態にかかわらずバス解放状態（IICBSY0 = 0）と認識しますので，1回目のスタート・コンディションを発行（STT0 = 1）する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3. IICRSV0への書き込みは動作停止（IICE0 = 0）時のみ行ってください。

備考 STT0 ：IICAコントロール・レジスタ00（IICCTL00）のビット1
IICE0 ： 〃 のビット7

(5) IICA コントロール・レジスタ 01（IICCTL01）

I²C の動作モードの設定や SCLA0, SDAA0 端子状態を検出するためのレジスタです。

IICCTL01 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし，CLD0，DAD0 ビットは読み出しのみ可能です。

IICCTL01 レジスタは，WUP0 ビットを除き I²C が動作禁止（IICA コントロール・レジスタ 00（IICCTL00）のビット 7（IICE0） = 0）のときに設定してください。

リセット信号の発生により，00H になります。

図 12－9　IICA コントロール・レジスタ 01（IICCTL01）のフォーマット（1/2）

アドレス：F0231H　　リセット時：00H　R/W[注1]

略号	7	6	5	4	3	2	1	0
IICCTL01	WUP0	0	CLD0	DAD0	SMC0	DFC0	0	PRS0

WUP0	アドレス一致ウエイク・アップの制御
0	STOP モード状態時のアドレス一致ウエイク・アップ機能動作停止
1	STOP モード状態時のアドレス一致ウエイク・アップ機能動作許可
WUP0 = 1 で STOP モードに移行する場合は，WUP0 ビットをセット（1）して 3 クロック以上経過後に STOP 命令を実行してください（図 12－22　WUP0 = 1 を設定する場合のフロー参照）。 アドレス一致，または拡張コード受信後は WUP0 ビットをクリア（0）してください。WUP0 ビットをクリア（0）することで，その後の通信に参加する事ができます（ウエイト解除および送信データ書き込みは，WUP0 ビットをクリア（0）したあとに行う必要があります）。 WUP0 = 1 の状態における，アドレス一致および拡張コード受信時の割り込みタイミングは，WUP0 = 0 の場合の割り込みタイミングと同じです（クロックによるサンプリング誤差分の遅延差は生じます）。また，WUP0 = 1 の場合には，SPIE0 = 1 にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件（WUP0 = 0）	セットされる条件（WUP0 = 1）
・命令によるクリア（アドレス一致もしくは拡張コード受信後）	・命令によるセット（MSTS0, EXC0, COI0 = 0 であり，STD0 = 0（通信に不参加である事）のとき）[注2]

注 1.　ビット 4, 5 は Read Only です。

2.　次に示す期間に，IICA ステータス・レジスタ 0（IICS0）の状態を確認しセットする必要があります。

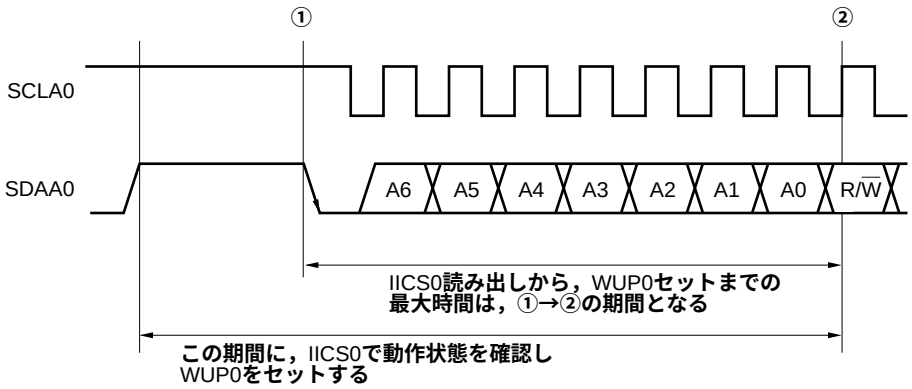


図12ー9 IICA**コントロール・レジスタ**01（IICCTL01）**のフォーマット**（2/2）

CLD0	SCLA0**端子のレベル検出**（IICE0 = 1**のときのみ有効**）
0	SCLA0**端子がロウ・レベルであることを検出**
1	SCLA0**端子がハイ・レベルであることを検出**

クリアされる条件（CLD0 = 0）	**セットされる条件**（CLD0 = 1）
・SCLA0**端子がロウ・レベルのとき** ・IICE0 = 0**（動作停止）のとき** ・**リセット時**	・SCLA0**端子がハイ・レベルのとき**

DAD0	SDAA0**端子のレベル検出**（IICE0 = 1**のときのみ有効**）
0	SDAA0**端子がロウ・レベルであることを検出**
1	SDAA0**端子がハイ・レベルであることを検出**

クリアされる条件（DAD0 = 0）	**セットされる条件**（DAD0 = 1）
・SDAA0**端子がロウ・レベルのとき** ・IICE0 = 0**（動作停止）のとき** ・**リセット時**	・SDAA0**端子がハイ・レベルのとき**

SMC0	**動作モードの切り替え**
0	**標準モードで動作（最大転送レート：**100 kbps**）**
1	**ファースト・モード（最大転送レート：**400 kbps**）またはファースト・モード・プラス（最大転送レート：**1 Mbps**）で動作**

DFC0	**デジタル・フィルタの動作の制御**
0	**デジタル・フィルタ・オフ**
1	**デジタル・フィルタ・オン**
デジタル・フィルタは，ファースト・モード時にのみ使用できます。 **ファースト・モード時は**DFC0**ビットのセット（**1**）／クリア（**0**）により，転送クロックが変化することはありません。** **デジタル・フィルタは，ファースト・モード時にノイズ除去のために使用します。**	

PRS0	**動作クロックの分周動作制御**
0	**動作クロックに**f_{CLK}**を選択**
1	**動作クロックに**$f_{CLK}/2$**を選択**

備考 IICE0：IICA**コントロール・レジスタ**00（IICCTL00）**のビット**7

(6) IICA**ロウ・レベル幅設定レジスタ**0**（**IICWL0**）**

シリアル・インタフェースIICA**が，出力する**SCLA0**端子信号のロウ・レベル幅を設定するレジスタです。**

IICWL0**レジスタは，**8**ビット・メモリ操作命令で設定します。**

IICWL0**レジスタは，**I^2C**が動作禁止（**IICA**コントロール・レジスタ**00**（**IICCTL00**）のビット**7**（**IICE0**）=** 0**）のときに設定してください。**

リセット信号の発生により，FFH**になります。**

図12－10　IICA**ロウ・レベル幅設定レジスタ**0**（**IICWL0**）のフォーマット**

アドレス：F0232H　**リセット時：**FFH　R/W

略号	7	6	5	4	3	2	1	0
IICWL0								

(7) IICA**ハイ・レベル幅設定レジスタ**0**（**IICWH0**）**

シリアル・インタフェースIICA**が，出力する**SCLA0**端子信号のハイ・レベル幅を設定するレジスタです。**

IICWH0**レジスタは，**8**ビット・メモリ操作命令で設定します。**

IICWH0**レジスタは，**I^2C**が動作禁止（**IICA**コントロール・レジスタ**00**（**IICCTL00**）のビット**7**（**IICE0**）** = 0**）のときに設定してください。**

リセット信号の発生により，FFH**になります。**

図12－11　IICA**ハイ・レベル幅設定レジスタ**0**（**IICWH0**）のフォーマット**

アドレス：F0233H　**リセット時：**FFH　R/W

略号	7	6	5	4	3	2	1	0
IICWH0								

備考　IICWL0, IICWH0**レジスタによる転送クロックの設定方法は，**12. 4. 2　IICWL0, IICWH0**レジスタによる転送クロック設定方法**を参照してください。

(8) ポート・モード・レジスタ6（PM6）

ポート6の入力／出力を1ビット単位で設定するレジスタです。

P60/SCLA0端子をクロック入出力，P61/SDAA0端子をシリアル・データ入出力として使用するとき，PM60, PM61およびP60, P61の出力ラッチに0を設定してください。

IICE0（IICAコントロール・レジスタ00（IICCTL00）のビット7）が0の場合，P60/SCLA0端子およびP61/SDAA0端子はロウ・レベル出力（固定）となるため，出力モードへの切り替えは，IICE0ビットに1を設定してから，行ってください。

PM6レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図12－12　ポート・モード・レジスタ6（PM6）のフォーマット

アドレス：FFF26H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	1	1	PM61	PM60

PM6n	P6n端子の入出力モードの選択（n = 0, 1）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

12. 4　I²Cバス・モードの機能

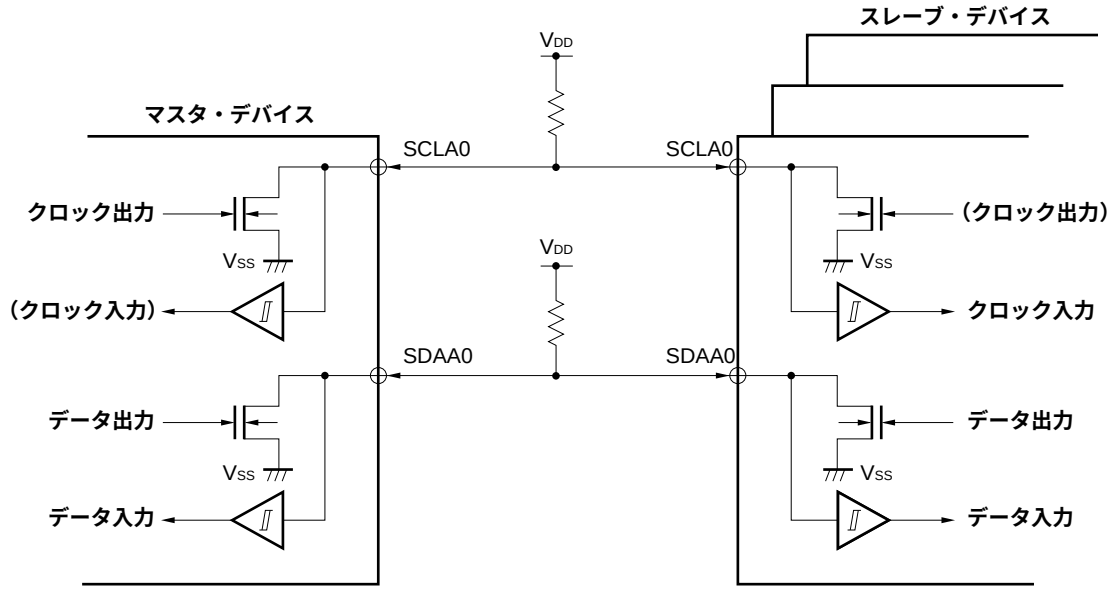
12. 4. 1　端子構成

シリアル・クロック端子（SCLA0）と，シリアル・データ・バス端子（SDAA0）の構成は，次のようになっています。

（1）SCLA0……シリアル・クロックを入出力するための端子。
　　マスタ，スレーブともに，出力はN-chオープン・ドレイン。入力はシュミット入力。
（2）SDAA0……シリアル・データの入出力兼用端子。
　　マスタ，スレーブともに，出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは，出力がN-chオープン・ドレインのため，外部にプルアップ抵抗が必要となります。

図12－13　端子構成図



12. 4. 2　IICWL0, IICWH0レジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{CLK}}{IICWL + IICWH + f_{CLK}(t_R + t_F)}$$

このとき，最適なIICWL0レジスタとIICWH0レジスタの設定値は次のようになります。
（設定値はすべて小数点以下切り上げ）

・ファースト･モード時

$$IICWL0 = \frac{0.52}{\text{転送クロック}} \times f_{CLK}$$

$$IICWH0 = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F\right) \times f_{CLK}$$

・標準モード時

$$IICWL0 = \frac{0.47}{\text{転送クロック}} \times f_{CLK}$$

$$IICWH0 = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F\right) \times f_{CLK}$$

(2) スレーブ側のIICWL0, IICWH0レジスタ設定方法

（設定値はすべて小数点以下切り上げ）

・ファースト･モード時

$IICWL0 = 1.3\ \mu s \times f_{CLK}$

$IICWH0 = (1.2\ \mu s - t_R - t_F) \times f_{CLK}$

・標準モード時

$IICWL0 = 4.7\ \mu s \times f_{CLK}$

$IICWH0 = (5.3\ \mu s - t_R - t_F) \times f_{CLK}$

注意　転送クロックを設定する場合は，f_{CLK}の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。

★ ファースト・モード時　：f_{CLK} = 3.5 MHz（Min.）
ファースト・モード・プラス時　：f_{CLK} = 10 MHz（Min.）
標準モード時　：f_{CLK} = 1 MHz（Min.）

備考1.　SDAA0, SCLA0信号の立ち上がり時間（t_R）と立ち下がり時間（t_F）は，プルアップ抵抗と配線容量によって異なるため，各自で算出してください。

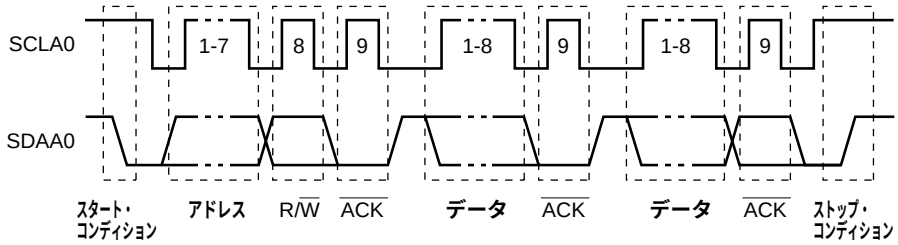
2.　IICWL0　：IICAロウ・レベル幅設定レジスタ0
IICWH0　：IICAハイ・レベル幅設定レジスタ0
t_F　：SDAA0, SCLA0信号の立ち下がり時間
t_R　：SDAA0, SCLA0信号の立ち上がり時間
f_{CLK}　：CPU／周辺ハードウエア・クロック周波数

12. 5 I^2Cバスの定義および制御方法

I^2Cバスのシリアル・データ通信フォーマットおよび，使用する信号の意味について次に説明します。

I^2Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”，“アドレス”，“データ”および“ストップ・コンディション”の各転送タイミングを図13－14に示します。

図12－14 I^2Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが生成します。

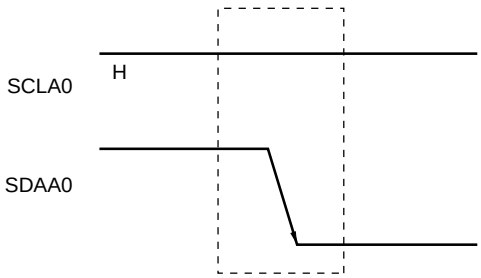
アクノリッジ（ACK）は，マスタ，スレーブのどちらでも生成できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック（SCLA0）は，マスタが出力し続けます。ただし，スレーブはSCLA0端子のロウ・レベル期間を延長し，ウエイトを挿入できます。

12. 5. 1 スタート・コンディション

SCLA0端子がハイ・レベルのときに，SDAA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLA0端子，SDAA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は，スタート・コンディションを検出できます。

図12－15 スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態（SPD0：IICAステータス・レジスタ0（IICS0）のビット0 = 1）のときにIICAコントロール・レジスタ00（IICCTL00）のビット1（STT0）をセット（1）すると出力されます。また，スタート・コンディションを検出すると，IICS0レジスタのビット1（STD0）がセット（1）されます。

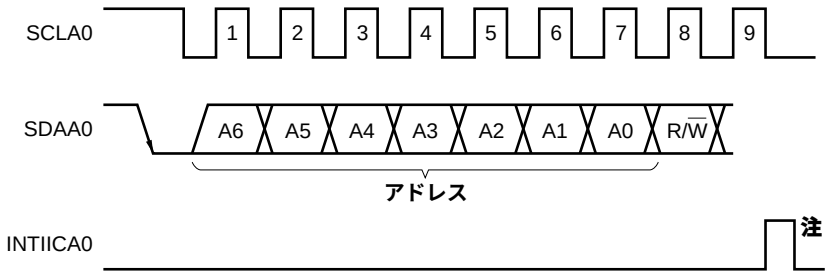
12. 5. 2　アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは，マスタがバス・ラインに接続されている複数のスレーブの中から，特定のスレーブを選択するために出力する7ビット・データです。したがって，バス・ライン上のスレーブは，すべて異なるアドレスにしておく必要があります。

スレーブは，ハードウエアでこの条件を検出し，さらに，7ビット・データがスレーブ・アドレス・レジスタ0（SVA0）と一致しているかを調べます。このとき，7ビット・データとSVA0レジスタの値が一致すると，そのスレーブが選択されたことになり，以後，マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図12－16　アドレス



注　スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICA0は発生しません。

アドレスは，スレーブのアドレスと13. 5. 3　**転送方向指定**に説明する転送方向を合わせて8ビットとしてIICシフト・レジスタ0（IICA0）に書き込むと出力します。また，受信したアドレスはIICA0レジスタに書き込まれます。

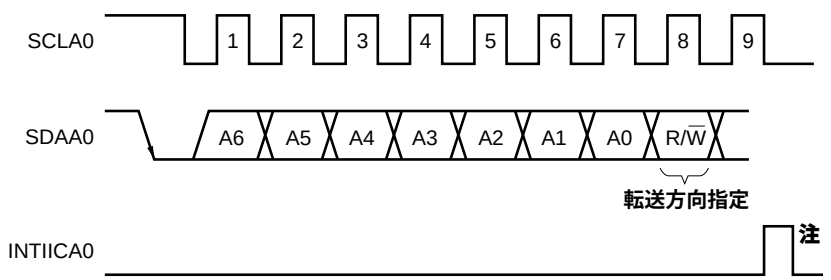
なお，スレーブのアドレスは，IICA0レジスタの上位7ビットに割り当てられます。

12. 5. 3　転送方向指定

マスタは，7ビットのアドレスに続いて，転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき，マスタがスレーブにデータを送信することを示します。また，転送方向指定ビットが1のとき，マスタがスレーブからデータを受信することを示します。

図12－17　転送方向指定



注　スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICA0は発生しません。

12. 5. 4　アクノリッジ（ACK）

アクノリッジ（ACK）によって，送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は，8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常，8ビット・データ送信後，アクノリッジを受信します。受信側からアクノリッジが返されたとき，受信が正しく行われたものとして処理を続けます。アクノリッジの検出は，IICAステータス・レジスタ0（IICS0）のビット2（ACKD0）で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず，ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき，マスタはストップ・コンディションまたはリスタート・コンディションを出力し，送信を中止します。アクノリッジが返らない場合，次の要因が考えられます。

① 受信が正しく行われていない。
② 最終データの受信が終わっている。
③ アドレス指定した受信側が存在しない。

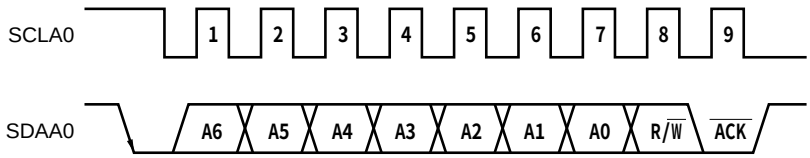
アクノリッジ生成は，受信側が9クロック目にSDAA0ラインをロウ・レベルにすることによって行われます（正常受信）。

IICAコントロール・レジスタ00（IICCTL00）のビット2（ACKE0）をセット（1）することによって，アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICS0レジスタのビット3（TRC0）が設定されます。受信（TRC0 = 0）の場合は，通常，ACKE0ビットをセット（1）してください。

スレーブ受信動作時（TRC0 = 0）にデータを受信できなくなったとき，または次のデータを必要としないときには，ACKE0ビットをクリア（0）し，マスタ側に受信ができないことを示してください。

マスタ受信動作時（TRC0 = 0）に，次のデータを必要としない場合，アクノリッジを生成しないようにACKE0ビットをクリア（0）してください。これによって，スレーブ送信側にデータの終わりを知らせます（送信停止）。

図12－18　アクノリッジ



自局アドレス受信時は，ACKE0ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は，アクノリッジを生成しません（NACK）。

拡張コード受信時は，あらかじめACKE0ビットをセット（1）しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は，ウエイト・タイミングの設定により次のように異なります。

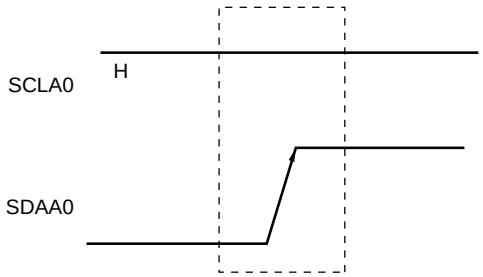
- 8クロック・ウエイト選択時（IICCTL00レジスタのビット3（WTIM0） = 0）：
  ウエイト解除を行う前にACKE0ビットをセット（1）することによって，SCLA0端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- 9クロック・ウエイト選択時（IICCTL00レジスタのビット3（WTIM0） = 1）：
  あらかじめACKE0ビットをセット（1）することによって，アクノリッジを生成します。

12. 5. 5　ストップ・コンディション

SCLA0端子がハイ・レベルのときに，SDAA0端子がロウ・レベルからハイ・レベルに変化すると，ストップ・コンディションとなります。

ストップ・コンディションは，マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は，ストップ・コンディションを検出できます。

図12－19　ストップ・コンディション



ストップ・コンディションは，IICAコントロール・レジスタ00（IICCTL00）のビット0（SPT0）をセット（1）すると発生します。また，ストップ・コンディションを検出するとIICAステータス・レジスタ0（IICS0）のビット0（SPD0）がセット（1）され，IICCTL00レジスタのビット4（SPIE0）がセット（1）されている場合にはINTIICA0が発生します。

12. 5. 6　ウエイト

ウエイトによっては，マスタまたはスレーブがデータの送受信のための準備中（ウエイト状態）であることを相手に知らせます。

SCLA0端子をロウ・レベルにすることにより，相手にウエイト状態を知らせます。マスタ，スレーブ両方のウエイト状態が解除されると，次の転送を開始できます。

図12－20　ウエイト（1/2）

（1）マスタは9クロック・ウエイト，スレーブは8クロック・ウエイト時

（マスタ：送信，スレーブ：受信，ACKE0 = 1）

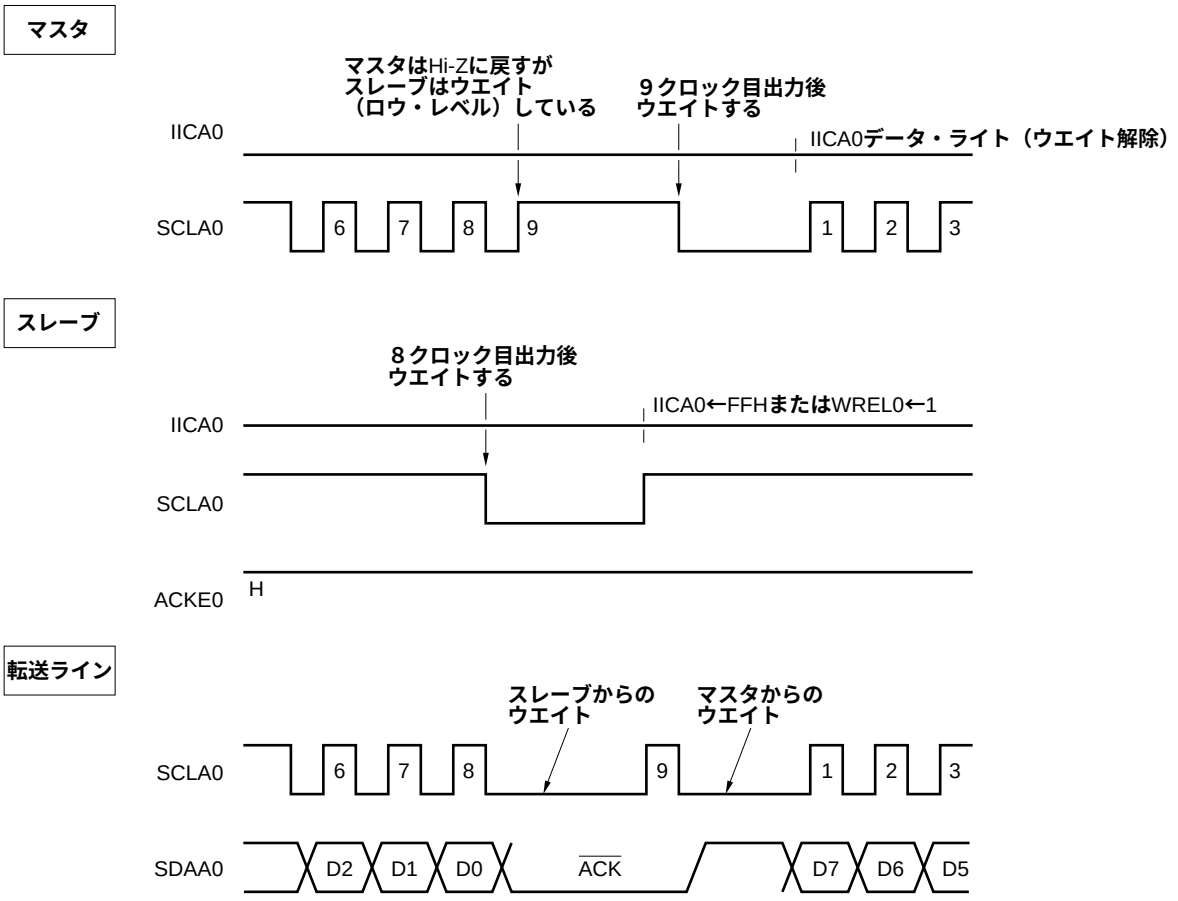
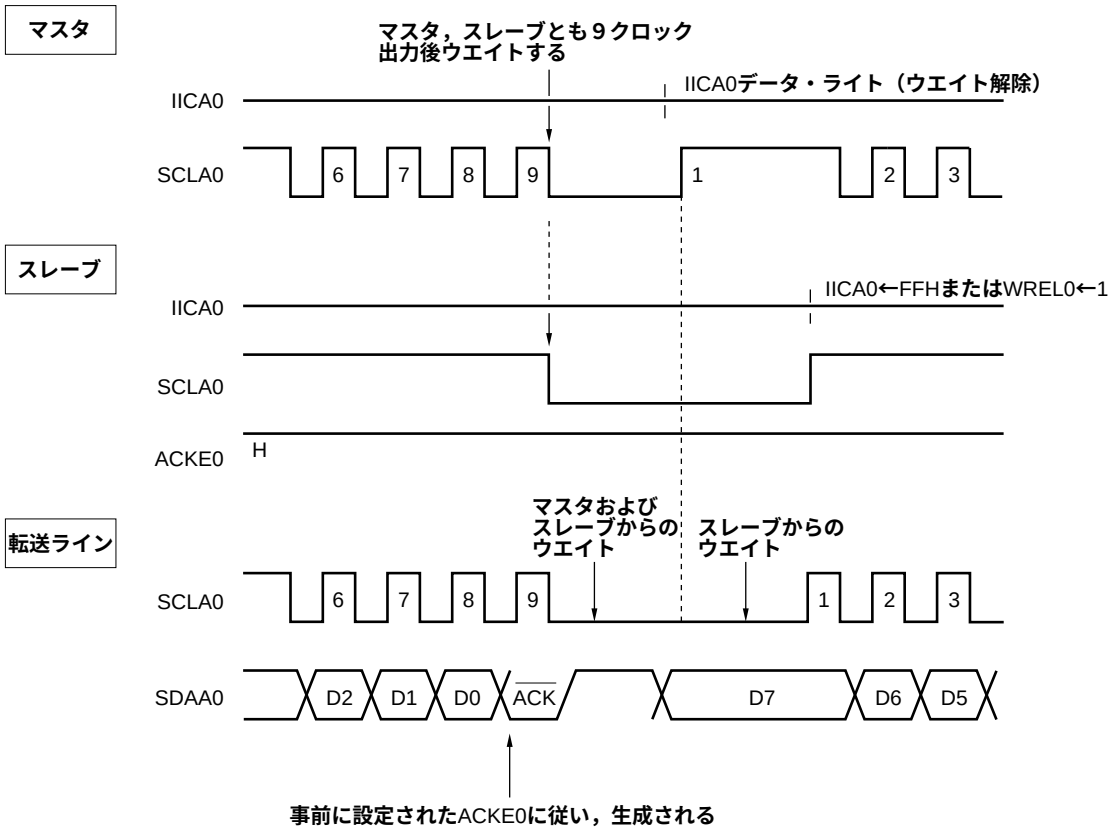


図12－20　ウエイト（2/2）

（2）マスタ，スレーブとも9クロック・ウエイト時

（マスタ：送信，スレーブ：受信，ACKE0 = 1**）**



備考　ACKE0 ：IICA**コントロール・レジスタ**00（IICCTL00）**のビット**2

WREL0 ：　　〃　　**のビット**5

ウエイトは，IICA**コントロール・レジスタ**00（IICCTL00）**のビット**3（WTIM0）**の設定により自動的に発生します。**

通常，受信側はIICCTL00**レジスタのビット**5（WREL0**ビット**）= 1**または**IICA**シフト・レジスタ**0（IICA0）**にFFHを書き込むとウエイトを解除し，送信側は**IICA0**レジスタにデータを書き込むとウエイトを解除します。**

マスタの場合は，次の方法でもウエイトを解除できます。

- IICCTL00**レジスタのビット**1（STT0）= 1
- IICCTL00**レジスタのビット**0（SPT0）= 1

12. 5. 7　ウエイト解除方法

I²Cでは，通常，次のような処理でウエイトを解除できます。

- IICAシフト・レジスタ0（IICA0）へのデータ書き込み
- IICAコントロール・レジスタ00（IICCTL00）のビット5（WREL0）のセット（ウエイト解除）
- IICCTL00レジスタのビット1（STT0）のセット（スタート・コンディションの生成）[注]
- IICCTL00レジスタのビット0（SPT0）のセット（ストップ・コンディションの生成）[注]

注　マスタのみ。

これらのウエイト解除処理を実行した場合，I²Cはウエイトを解除し，通信が再開されます。

ウエイトを解除してデータ（アドレスを含む）を送信する場合には，IICA0レジスタにデータを書き込んでください。

ウエイト解除後にデータを受信する場合，またはデータ送信を完了する場合には，IICCTL00レジスタのビット5（WREL0）をセット（1）してください。

ウエイト解除後にリスタート・コンディションを生成する場合には，IICCTL00レジスタのビット1（STT0）をセット（1）してください。

ウエイト解除後にストップ・コンディションを生成する場合には，IICCTL00レジスタのビット0（SPT0）をセット（1）してください。

1回のウエイト状態に対して1回だけ解除処理を実行してください。

たとえば，WREL0ビットにセット（1）によるウエイト解除後，IICA0レジスタへのデータ書き込みを実施した場合には，SDAA0ラインの変化タイミングとIICA0レジスタへの書き込みタイミングの競合により，SDAA0ラインへの出力データが間違った値になる可能性があります。

このような処理以外でも，通信を途中で中止した場合には，IICE0ビットをクリア（0）すると通信を停止するので，ウエイトを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には，IICCTL00レジスタのビット6（LREL0）をセット（1）すると通信から退避するので，ウエイトを解除できます。

注意　WUP0 = 1のときにウエイト解除処理を実行した場合，ウエイトは解除されません。

12. 5. 8　割り込み要求（INTIICA0）発生タイミングおよびウエイト制御

IICAコントロール・レジスタ00（IICCTL00）のビット3（WTIM0）の設定で，表12－2に示すタイミングでINTIICA0が発生し，また，ウエイト制御を行います。

表12－2　INTIICA0発生タイミングおよびウエイト制御

WTIM0	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9注1, 2	8注2	8注2	9	8	8
1	9注1, 2	9注2	9注2	9	9	9

注1. スレーブのINTIICA0信号およびウエイトは，スレーブ・アドレス・レジスタ0（SVA0）に設定しているアドレスと一致したときにのみ，9クロック目の立ち下がりで発生します。
また，このとき，IICCTL00レジスタのビット2（ACKE0）の設定にかかわらず，アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICA0を発生します。
ただし，リスタート後にアドレス不一致になった場合には，9クロック目の立ち下がりでINTIICA0を発生しますが，ウエイトは発生しません。

2. スレーブ・アドレス・レジスタ0（SVA0）と受信したアドレスが一致せず，かつ拡張コードを受信していない場合は，INTIICA0もウエイトも発生しません。

備考　表中の数字は，シリアル・クロックのクロック数を示しています。また，割り込み要求，ウエイト制御ともにシリアル・クロックの立ち下がりに同期します。

（1）アドレス送受信時

・スレーブ動作時：WTIM0ビットにかかわらず，上記の注1, 2の条件により，割り込みおよびウエイト・タイミングが決まります。
・マスタ動作時　：WTIM0ビットにかかわらず，割り込みおよびウエイト・タイミングは，9クロック目の立ち下がりで発生します。

（2）データ受信時

・マスタ／スレーブ動作時：WTIM0ビットにより，割り込みおよびウエイト・タイミングが決まります。

（3）データ送信時

・マスタ／スレーブ動作時：WTIM0ビットにより，割り込みおよびウエイト・タイミングが決まります。

(4) ウエイト解除方法

ウエイトの解除方法には次の4つがあります。

- IICAシフト・レジスタ0（IICA0）へのデータ書き込み
- IICAコントロール・レジスタ00（IICCTL00）のビット5（WREL0）のセット（ウエイト解除）
- IICCTL00レジスタのビット1（STT0）のセット（スタート・コンディションの生成）注
- IICCTL00レジスタのビット0（SPT0）のセット（ストップ・コンディションの生成）注

注　マスタのみ。

8クロック・ウエイト選択（WTIM0 = 0）時は，ウエイト解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICA0は，ストップ・コンディションを検出すると発生します（SPIE0 = 1のときのみ）。

12. 5. 9　アドレスの一致検出方法

I^2Cバス・モードでは，マスタがスレーブ・アドレスを送信することにより，特定のスレーブ・デバイスを選択できます。

アドレス一致は，ハードウエアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ0（SVA0）に設定したアドレスが一致したとき，または拡張コードを受信した場合だけ，INTIICA0割り込み要求が発生します。

12. 5. 10　エラーの検出

I^2Cバス・モードでは，送信中のシリアル・バス（SDAA0）の状態が，送信しているデバイスのIICAシフト・レジスタ0（IICA0）にも取り込まれるため，送信開始前と送信終了後のIICAデータを比較することにより，送信エラーを検出できます。この場合，2つのデータが異なっていれば送信エラーが発生したものと判断します。

12. 5. 11　拡張コード

(1) 受信アドレスの上位4ビットが“ 0000 ”と“ 1111 ”のときを拡張コード受信として，拡張コード受信フラグ（EXC0）をセット（1）し，8クロック目の立ち下がりで割り込み要求（INTIICA0）を発生します。
スレーブ・アドレス・レジスタ0（SVA0）に格納された自局アドレスは影響しません。

(2) SVA0レジスタに“ 11110xx0 ”を設定されているときに，10ビット・アドレス転送でマスタから“ 11110xx0 ”が転送されてきた場合は，次のようになります。ただし割り込み要求（INTIICA0）は，8クロック目の立ち下がりで発生します。

- 上位4ビット・データの一致：EXC0 = 1
- 7ビット・データの一致　　：COI0 = 1

備考　EXC0　　：IICAステータス・レジスタ0（IICS0）のビット5
　　COI0　　：　　〃　　のビット4

(3) 割り込み要求発生後の処理は，拡張コードに続くデータによって異なるため，ソフトウエアで行います。
スレーブ動作時に，拡張コードを受信した場合は，アドレス不一致でも通信に参加しています。
たとえば拡張コード受信後，スレーブとして動作したくない場合は，IICAコントロール・レジスタ00（IICCTL00）のビット6（LREL0） = 1に設定してください。次の通信待機状態にします。

表12－3　主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説　明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定（アドレス認証時）
1111 0xx	1	10ビット・スレーブ・アドレス指定（アドレス一致後、リード・コマンド発行時）

備考　上記以外の拡張コードについては，NXP社発行のI^2Cバスの仕様書を参照してください。

12. 5. 12　アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（STD0 = 1**になる前に**STT0 = 1**にしたとき），データが異なるまでクロックの調整をしながら，マスタ通信を行います。この動作をアービトレーションと呼びます。**

アービトレーションに負けたマスタは，アービトレーションに負けたタイミングで，IICA**ステータス・レジスタ**0（IICS0）**のアービトレーション負けフラグ（**ALD0**）をセット（**1**）し，**SCLA0, SDAA0**ラインともハイ・インピーダンス状態にしてバスを解放します。**

アービトレーションに負けたことは，次の割り込み要求発生タイミング（8**または**9**クロック目，ストップ・コンディション検出など）で，ソフトウエアで**ALD0 = 1**になっていることで検出します。**

割り込み要求発生タイミングについては，12. 5. 8　**割り込み要求（**INTIICA0**）の発生タイミングおよびウエイト制御を参照してください。**

備考　STD0　**：**IICA**ステータス・レジスタ**0（IICS0）**のビット**1
STT0　**：**IICA**コントロール・レジスタ**00（IICCTL00）**のビット**1

図12－21　**アービトレーション・タイミング例**

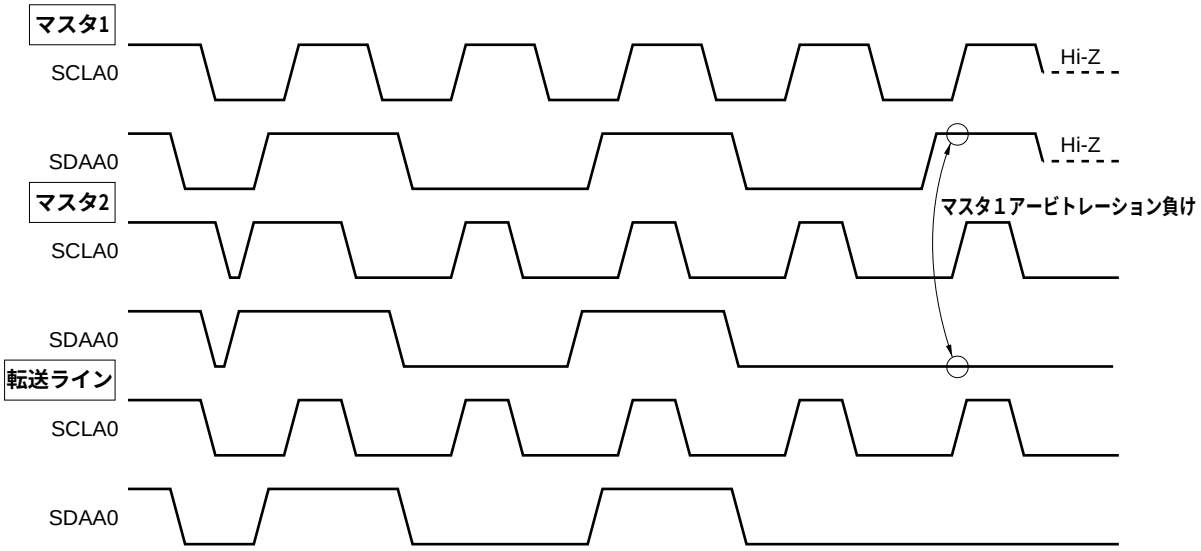


表12－4　アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり[注1]
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中，リスタート・コンディション検出	
データ転送中，ストップ・コンディション検出	ストップ・コンディション生成時（SPIE0 = 1時）[注2]
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり[注1]
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時（SPIE0 = 1時）[注2]
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり[注1]
リスタート・コンディションを生成しようとしたがSCLA0がロウ・レベル	

注1. WTIM0ビット（IICAコントロール・レジスタ00（IICCTL00）のビット3）= 1の場合には，9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM0 = 0および拡張コードのスレーブ・アドレス受信時には，8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2. アービトレーションが起こる可能性がある場合，マスタ動作ではSPIE0 = 1に設定してください。

備考　SPIE0：IICAコントロール・レジスタ00（IICCTL00）のビット 4

12. 5. 13　ウエイク・アップ機能

I²Cのスレーブ機能で，自局アドレスと拡張コードを受信したときに割り込み要求信号（INTIICA0）を発生する機能です。

アドレスが一致しないときは不要なINTIICA0信号を発生せず，効率よく処理できます。

スタート・コンディションを検出すると，ウエイク・アップ待機状態となります。マスタ（スタート・コンディションを生成した場合）でも，アービトレーション負けでスレーブになる可能性があるため，アドレスを送信しながらウエイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると，ウエイク・アップ機能に関係なく，IICAコントロール・レジスタ00（IICCTL00）のビット4（SPIE0）の設定によって，割り込み要求の発生許可／禁止が決定します。

STOPモード状態時にウエイク・アップ機能を使用する場合には，WUP0 = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も，自局アドレスおよび拡張コードを受信したときに割り込み要求信号（INTIICA0）を発生します。この割り込み発生後に命令でWUP0ビットをクリア（0）することで通常動作に戻ります。

WUP0 = 1に設定する場合のフローを図12－22に，アドレス一致によりWUP0 = 0に設定する場合のフローを図12－23に示します。

図12－22　WUP0 = 1を設定する場合のフロー

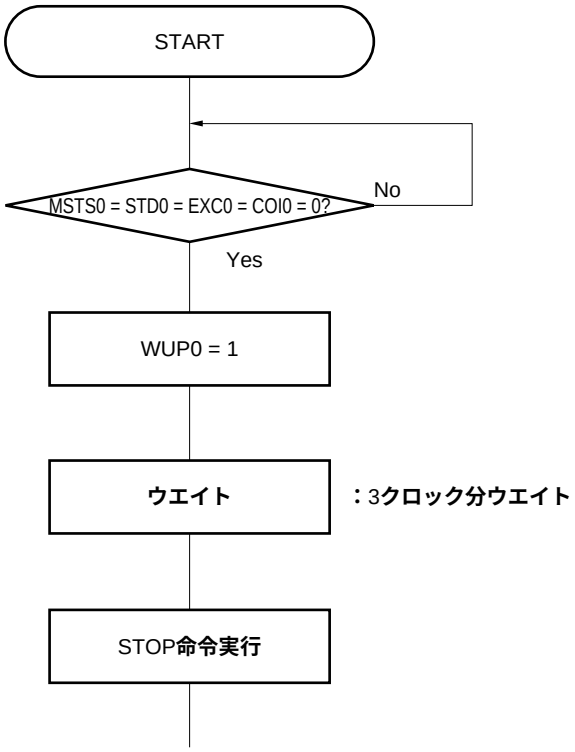
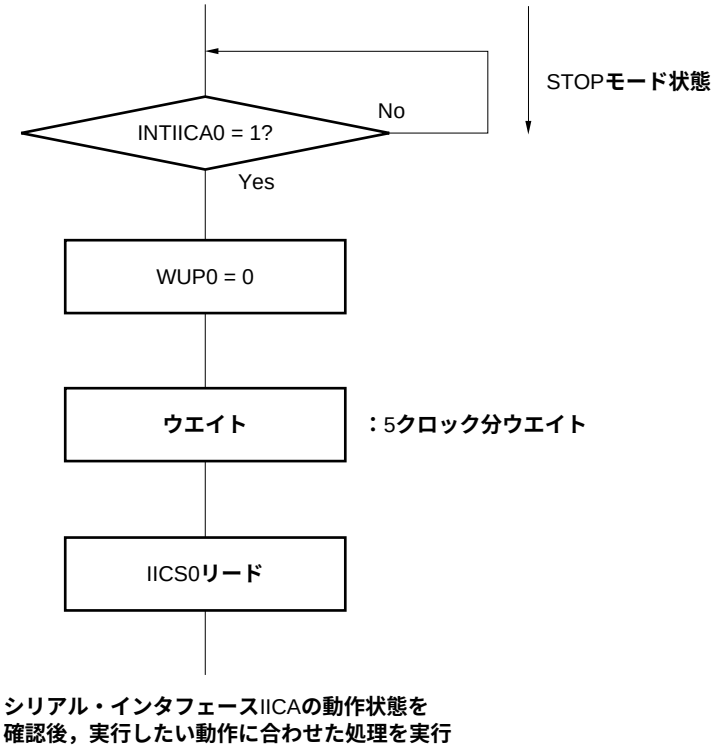


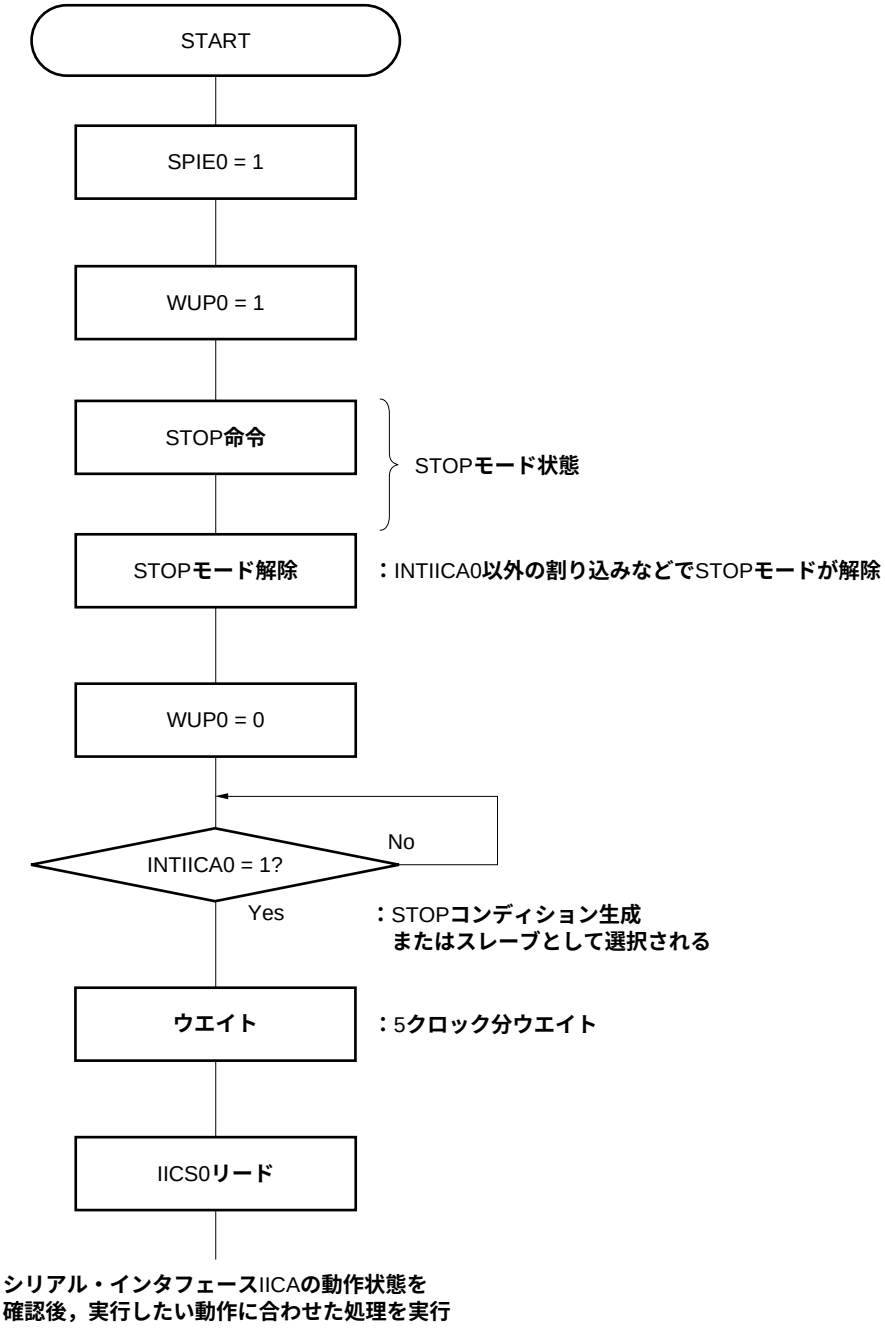
図12－23　**アドレス一致により**WUP0 = 0**に設定する場合のフロー（拡張コード受信含む）**



また，シリアル・インタフェースIICA**からの割り込み要求（**INTIICA0**）以外で**STOP**モードを解除する場合の処理は次のフローを行ってください。**

- **マスタとして動作させる場合　：図**12－24**のフロー**
- **スレーブとして動作させる場合：図**12－23**のフローと同じになります。**

図12ー24　INTIICA0以外でSTOPモードが解除後にマスタとして動作させる場合



12. 5. 14　通信予約

（1）通信予約機能許可の場合（IICAフラグ・レジスタ0（IICF0）のビット0（IICRSV0）　= 0）

バスに不参加の状態で，次にマスタ通信を行いたい場合は，通信予約を行うことにより，バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

・アービトレーションでマスタにもスレーブにもなれなかった場合
・拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICAコントロール・レジスタ00（IICCTL00）のビット6（LREL0）　= 1で通信退避してバスを解放した）とき

バスに不参加の状態で，IICCTL00レジスタのビット1（STT0）をセット（1）すると，バスが解放されたあと（ストップ・コンディション検出時）に，自動的にスタート・コンディションを生成し，ウエイト状態になります。

IICCTL00レジスタのビット4（SPIE0）をセット（1）し，割り込み要求信号（INTIICA0）発生でバスの解放を検出（ストップ・コンディション検出）したあと，IICAシフト・レジスタ0（IICA0）にアドレスを書き込むと，自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に，IICA0レジスタに書き込まれたデータは，無効です。

STT0ビットをセット（1）したとき，スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

・バスが解放されているとき……スタート・コンディション生成
・バスが解放されていないとき（待機状態）……通信予約

通信予約として動作するのかどうかは，STT0ビットをセット（1）し，ウエイト時間をとったあと，MSTS0ビット（IICAステータス・レジスタ0（IICS0）のビット7）で確認します。

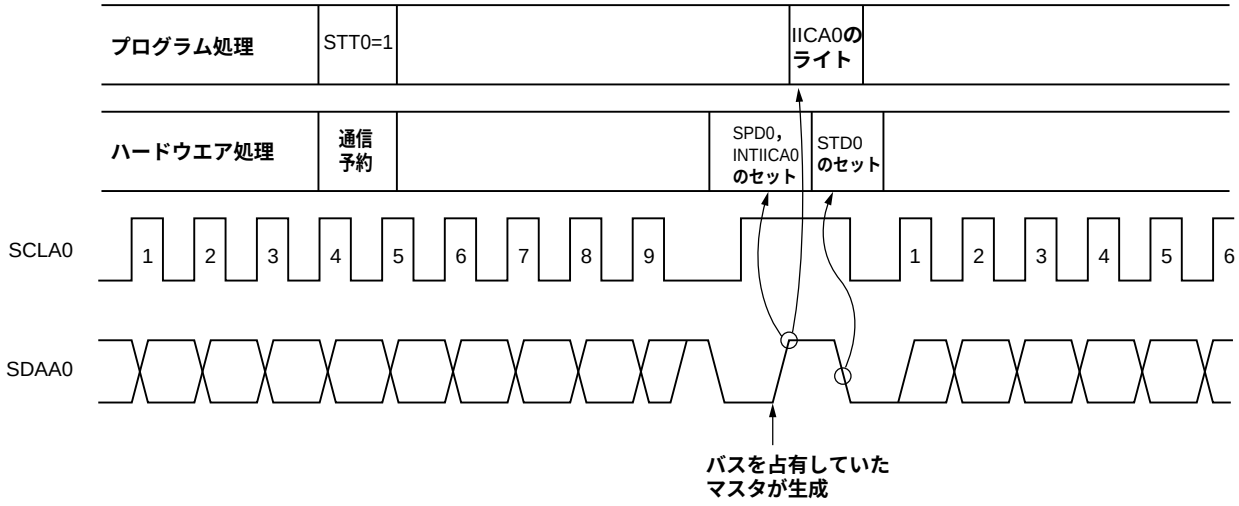
ウエイト時間は，次の式から算出した時間をソフトウエアにより確保してください。

STT0 = 1からMSTS0フラグ確認までのウエイト時間： （IICWL0の設定値＋IICWH0の設定値＋4）＋t_F×2×f_{CLK}［クロック］

備考　IICWL0　：IICAロウ・レベル幅設定レジスタ0
IICWH0　：IICAハイ・レベル幅設定レジスタ0
t_F　　：SDAA0, SCLA0信号の立ち下がり時間
f_{CLK}　：CPU／周辺ハードウエア・クロック周波数

通信予約のタイミングを図12－25に示します。

図12－25　通信予約のタイミング



備考　IICA0 ：IICAシフト・レジスタ0
STT0 ：IICAコントロール・レジスタ00（IICCTL00）のビット1
STD0 ：IICAステータス・レジスタ0（IICS0）のビット1
SPD0 ：　〃　のビット0

通信予約は図12－26に示すタイミングで受け付けられます。IICAステータス・レジスタ0（IICS0）のビット1（STD0） = 1になったあと，ストップ・コンディション検出までにIICAコントロール・レジスタ00（IICCTL00）のビット1（STT0） = 1で通信予約をします。

図12－26　通信予約受け付けタイミング

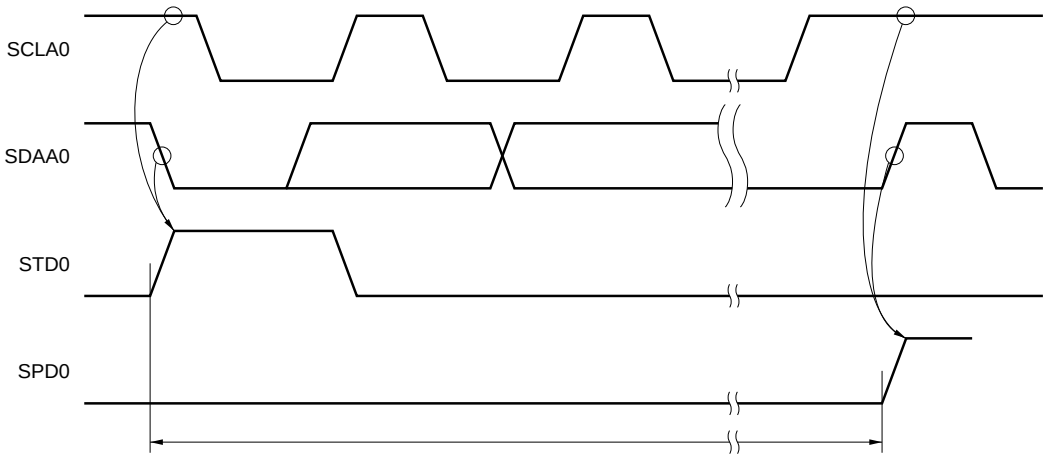
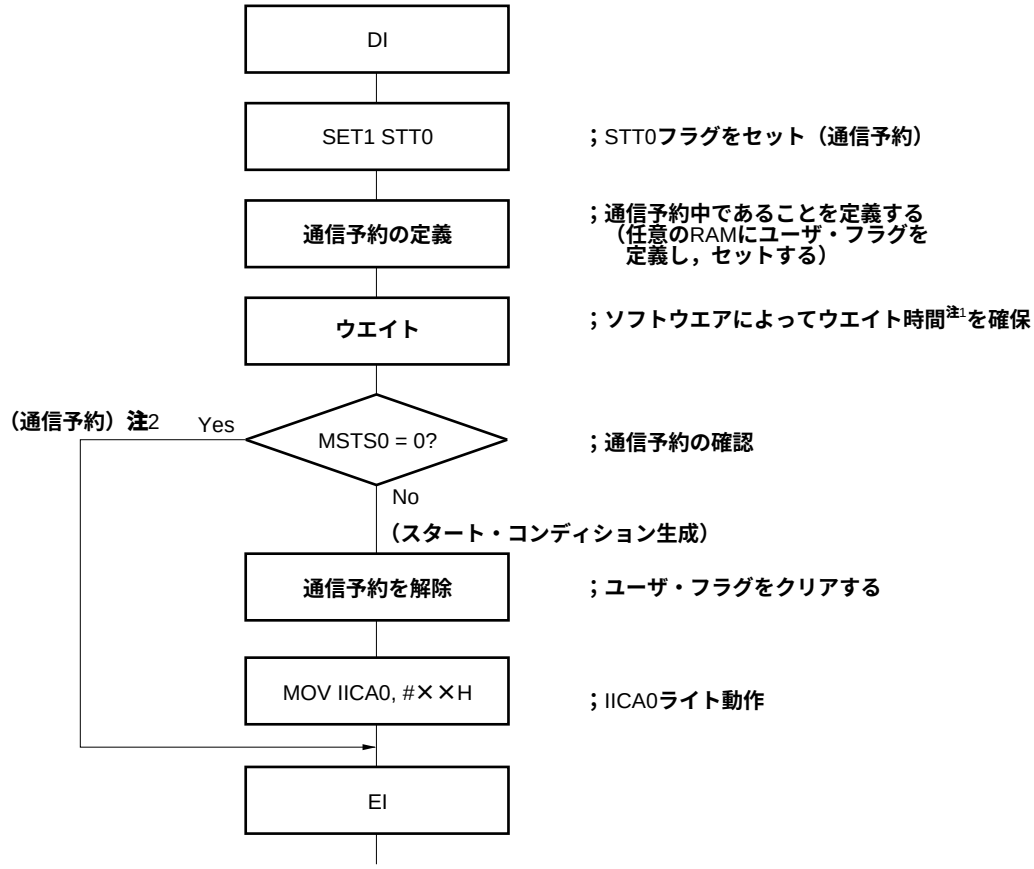


図12－27に通信予約の手順を示します。

図12－27　通信予約の手順



注1.　**ウエイト時間は次のようになります。**

（IICWL0の設定値＋IICWH0の設定値＋4）＋t_F**×2×**f_{CLK}**［クロック］**

2.　**通信予約動作時は，ストップ・コンディション割り込み要求でIICAシフト・レジスタ0（IICA0）への書き込みを実行します。**

備考　STT0　：IICA**コントロール・レジスタ00（IICCTL00）のビット**1
MSTS0：IICA**ステータス・レジスタ0（IICS0）のビット**7
IICA0　：IICA**シフト・レジスタ**0
IICWL0：IICA**ロウ・レベル幅設定レジスタ**0
IICWH0：IICA**ハイ・レベル幅設定レジスタ**0
t_F　　：SDAA0, SCLA0**信号の立ち下がり時間**
f_{CLK}　：CPU／**周辺ハードウエア・クロック周波数**

(2) 通信予約機能禁止の場合（IICAフラグ・レジスタ0（IICF0）のビット0（IICRSV0） = 1）

バスが通信中で，この通信に不参加の状態でIICAコントロール・レジスタ00（IICCTL00）のビット1（STT0）をセット（1）すると，この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- **アービトレーションでマスタにもスレーブにもなれなかった場合**
- **拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICCTL00レジスタのビット6（LREL0） = 1で通信退避してバスを解放した）とき。**

スタート・コンディションが生成されたかまたは拒絶されたかは，STCF0（IICF0レジスタのビット7）で確認できます。STT0 = 1としてからSTCF0がセット（1）されるまで5クロックの時間がかかりますので，ソフトウエアによりこの時間を確保してください。

12. 5. 15 その他の注意事項

(1) STCEN0 = 0の場合

I²C動作許可（IICE0 = 1）直後，実際のバス状態にかかわらず通信状態（IICBSY0 = 1）と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は，まずストップ・コンディションを生成し，バスを解放してからマスタ通信を行ってください。

マルチマスタでは，バスが解放されていない（ストップ・コンディションを検出していない）状態では，マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

① IICAコントロール・レジスタ01（IICCTL01）を設定する
② IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0）をセット（1）する
③ IICCTL00レジスタのビット0（SPT0）をセット（1）する

(2) STCEN0 = 1の場合

I²C動作許可（IICE0 = 1）直後，実際のバス状態にかかわらず解放状態（IICBSY0 = 0）と認識しますので，1回目のスタート・コンディションを生成（STT0 = 1）する場合は，ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDAA0端子がロウ・レベルで，かつSCLA0端子がハイ・レベルのときに，I²C動作を許可して通信に途中参加すると，I²CのマクロはSDAA0端子がハイ・レベルからロウ・レベルに変化したと認識（スタート・コンディション検出）します。このときにバス上の値が拡張コードと認識できる値の場合は，アクノリッジを返し，他者との間のI²C通信を妨害してしまいます。これを回避するために，次の順番でI²Cを起動してください。

① IICCTL00レジスタのビット4（SPIE0）をクリア（0）し，ストップ・コンディション検出による割り込み要求信号（INTIICA0）発生を禁止する
② IICCTL00レジスタのビット7（IICE0）をセット（1）し，I²Cの動作を許可する
③ スタート・コンディションを検出するまで待つ
④ アクノリッジを返すまで（IICE0ビットをセット（1）してから，4〜80クロック中）に，IICCTL00レジスタのビット6（LREL0）をセット（1）にし，強制的に検出を無効とする

(4) STT0, SPT0ビット（IICCTL00レジスタのビット1, 0）をセットしたあと，クリア（0）される前の再セットは禁止します。

(5) 送信予約をした場合には，SPIE0ビット（IICCTL00レジスタのビット4）をセット（1）してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に，IICAシフト・レジスタ0（IICA0）に通信データを書き込むことによって，転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと，スタート時には割り込み要求が発生しないため，ウエイト状態で停止します。ただし，ソフトウエアでMSTS0ビット（IICAステータス・レジスタ0（IICS0）のビット7）を検出する場合には，SPIE0ビットをセット（1）する必要はありません。

12. 5. 16　通信動作

ここでは，次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで，マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し，スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I^2Cバスのマルチマスタ・システムでは，通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI^2Cバスの仕様だけでは判断できません。ここでは，一定（1フレーム）期間，データとクロックがハイ・レベルであれば，バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」，「通信待ち」，「通信処理」に分かれています。ここでは，アービトレーションで負けてスレーブに指定された場合の処理は省略し，マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で，マスタとしての通信要求，またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で，スレーブとのデータ送受信以外に，ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

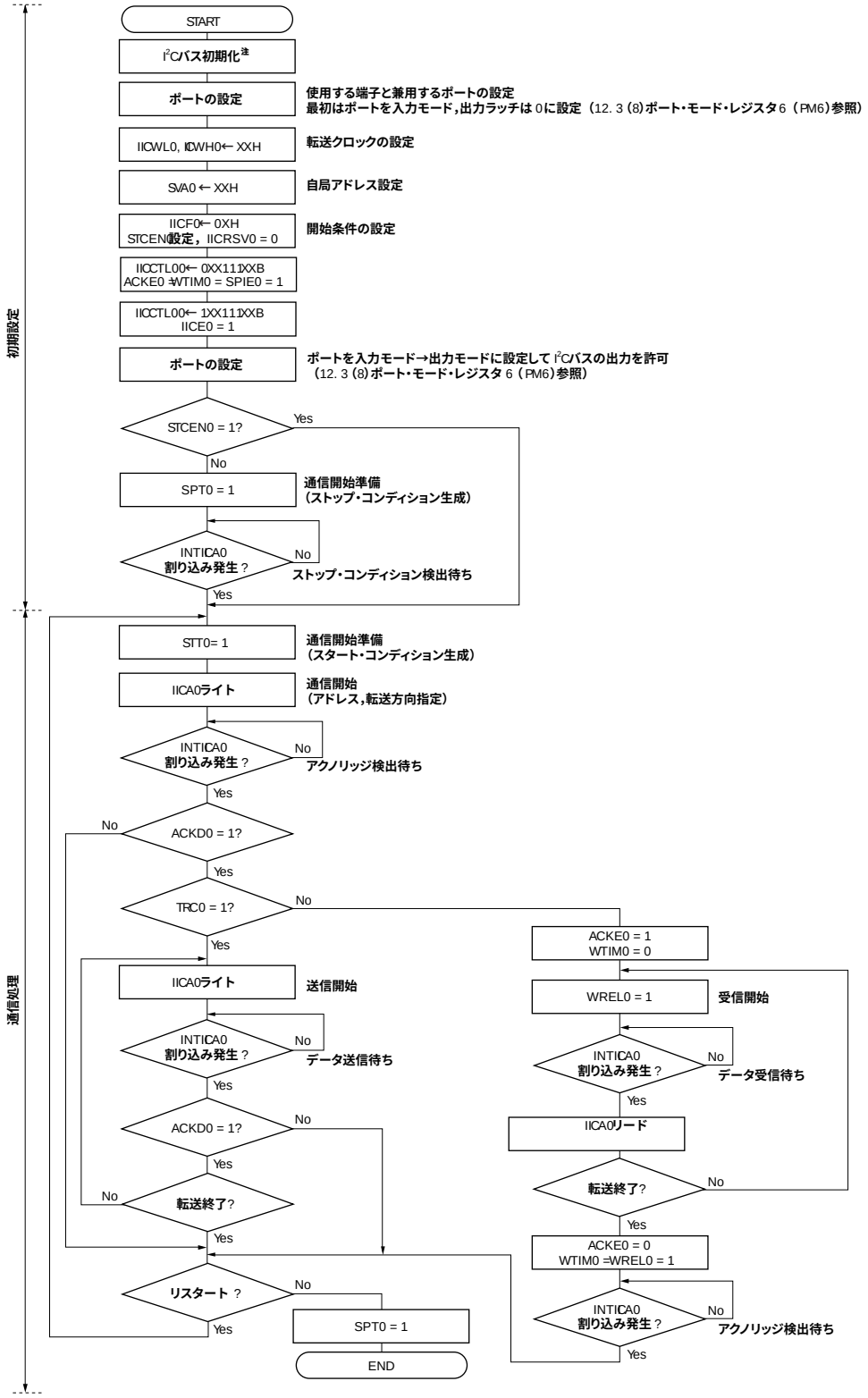
I^2Cバスのスレーブとして使用する場合の例を示します。

スレーブの場合には，割り込みによって動作を開始します。起動時に「初期設定」部分を実行し，そのあとは通信待ちでINTIICA0割り込みの発生を待ちます。INTIICA0割り込みが発生すると，通信状態を判定し，フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより，必要な「通信処理」を行います。

(1) シングルマスタ・システムでのマスタ動作

図12－28 シングルマスタ・システムでのマスタ動作

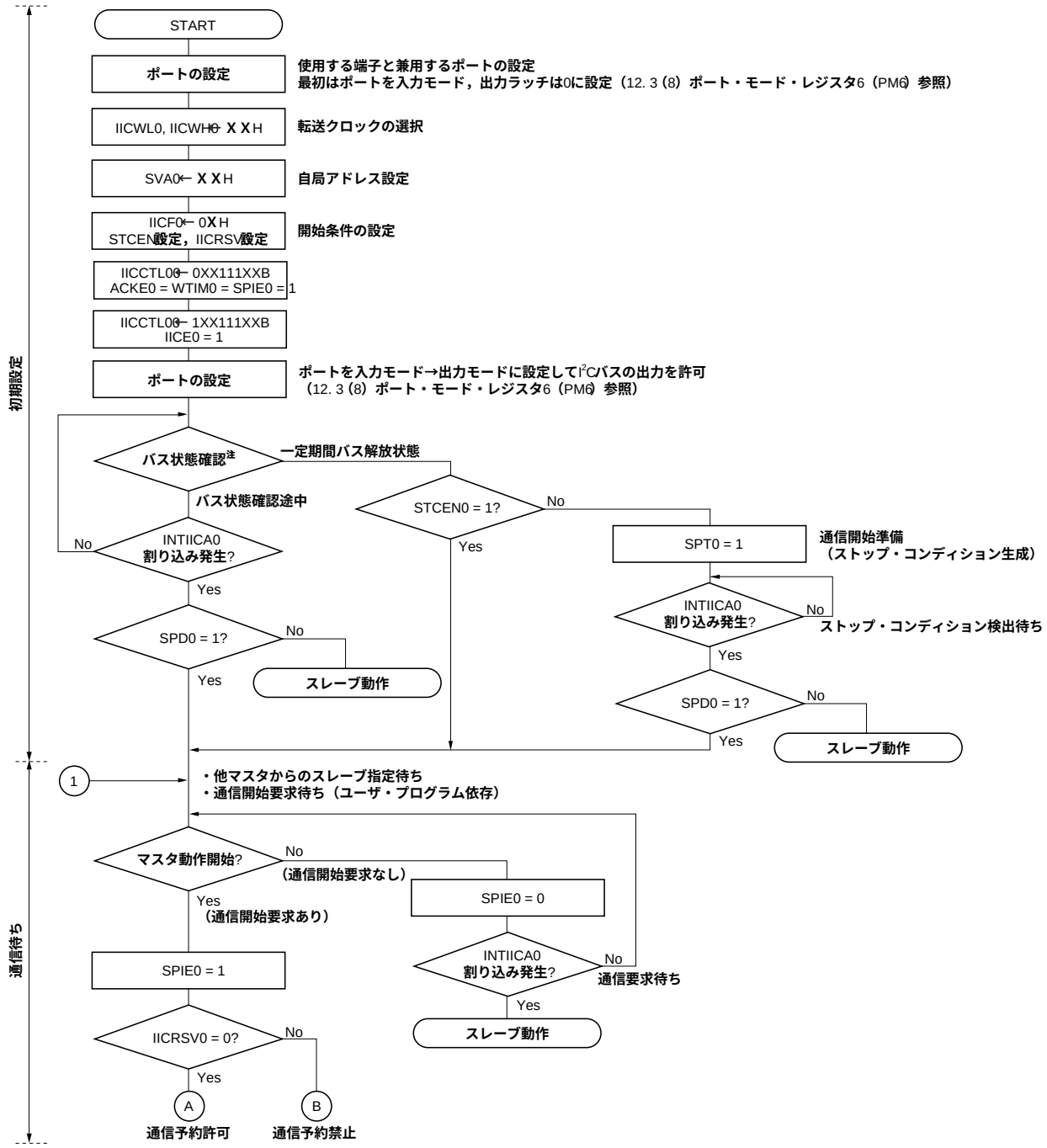


注 通信している製品の仕様に準拠し，I²Cバスを解放（SCLA0, SDAA0端子 = ハイ・レベル）してください。たとえば，EEPROMがSDAA0端子にロウ・レベルを出力した状態であれば，SCLA0端子を出力ポートに設定し，SDAA0端子が定常的にハイ・レベルになるまで，出力ポートからクロック・パルスを出力してください。

備考 送信および受信フォーマットは，通信している製品の仕様に準拠してください。

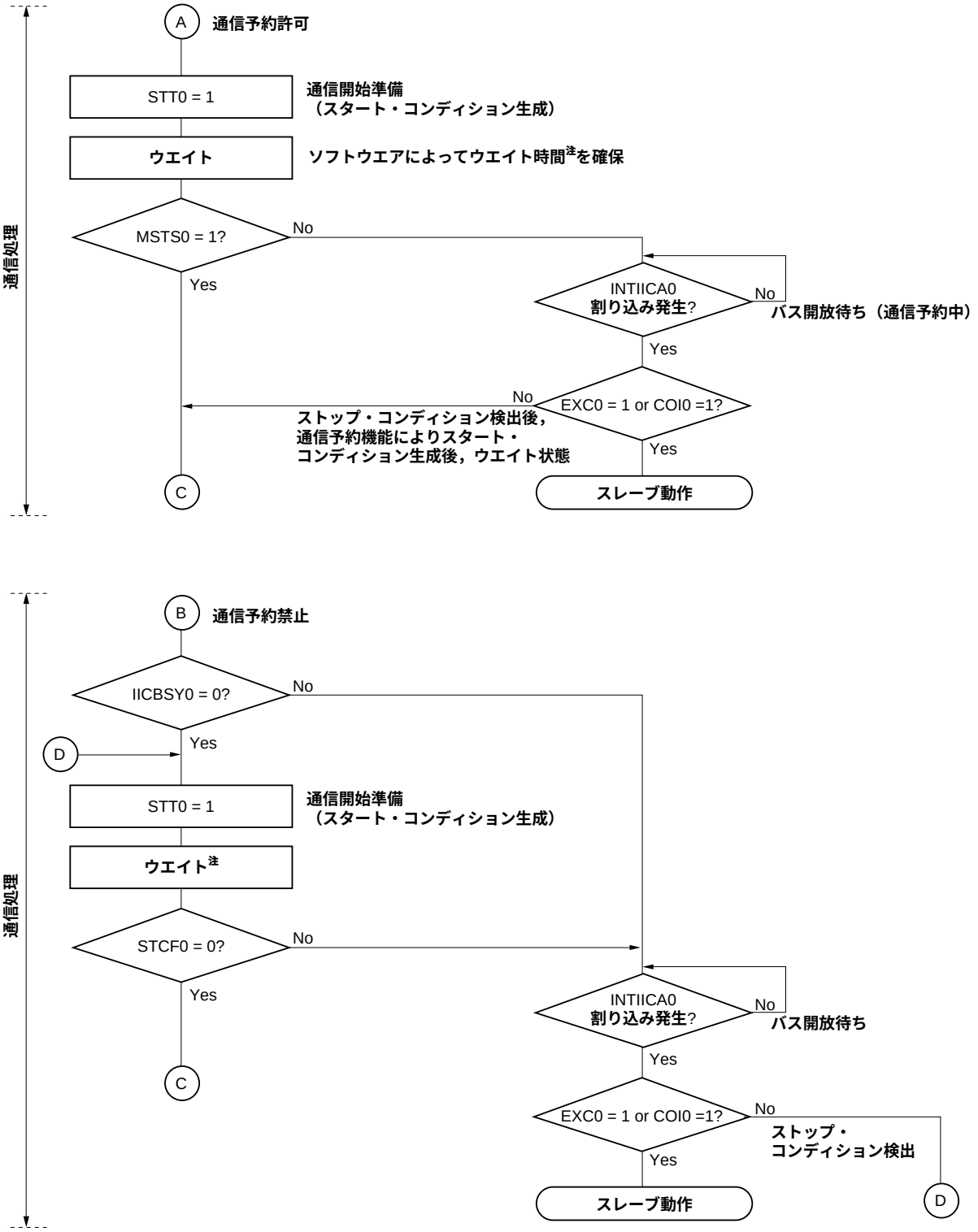
(2) マルチマスタ・システムでのマスタ動作

図12－29　マルチマスタ・システムでのマスタ動作（1/3）



注　一定期間（たとえば1フレーム分），バス解放状態（CLD0ビット = 1, DAD0ビット = 1）であることを確認してください。定常的にSDAA0端子がロウ・レベルの場合は，通信している製品の仕様に準拠し，I^2C バスを解放（SCLA0, SDAA0端子 = ハイ・レベル）するか判断してください。

図12－29　マルチマスタ・システムでのマスタ動作（2/3）



注　**ウエイト時間は次のようになります。**

（IICWL0の設定値＋IICWH0の設定値＋4クロック）／f_{CLK}＋t_F×2

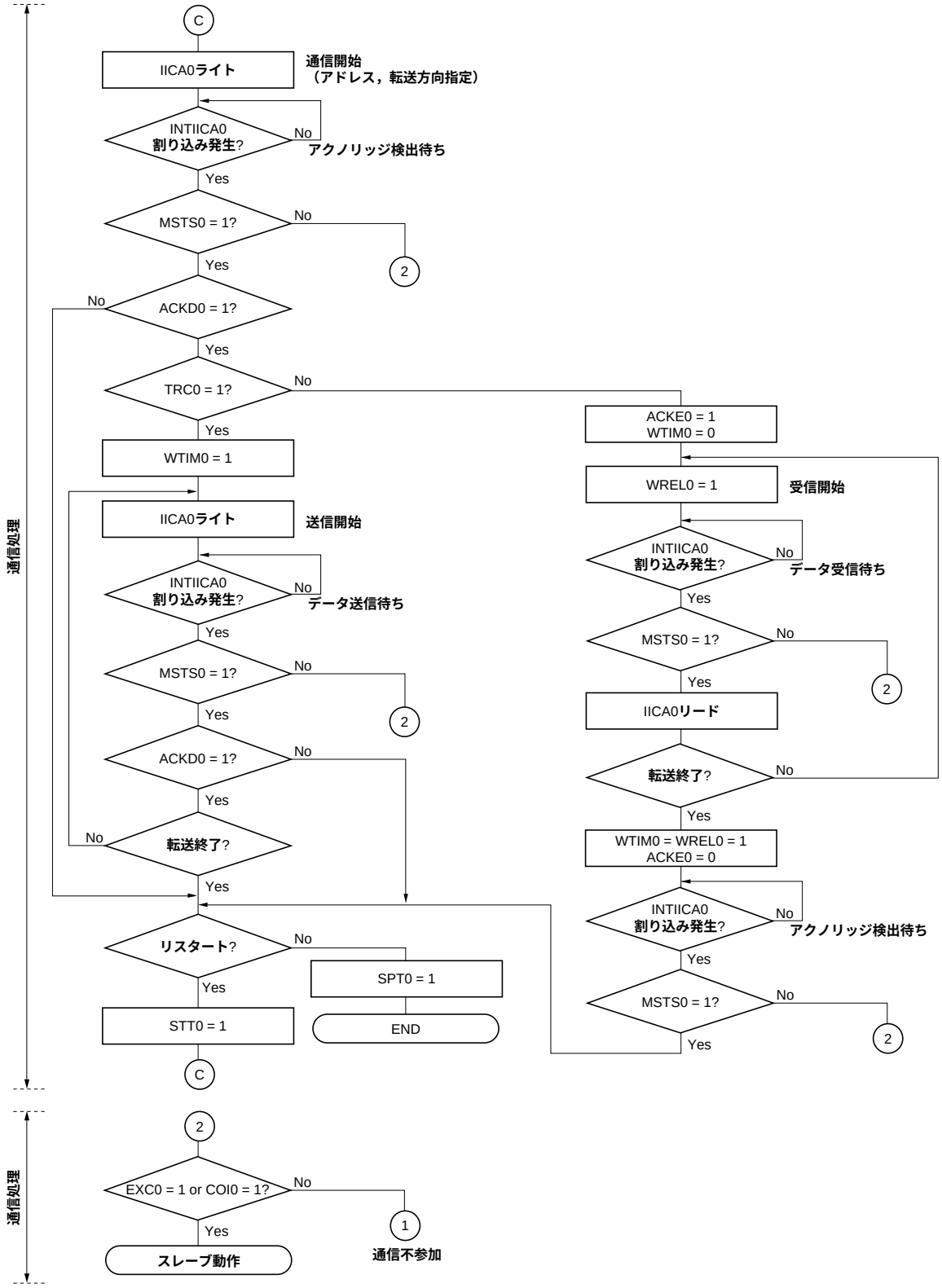
備考　IICWL0　：IICA**ロウ・レベル幅設定レジスタ**0

IICWH0　：IICA**ハイ・レベル幅設定レジスタ**0

t_F　：SDAA0, SCLA0**信号の立ち下がり時間**

f_{CLK}　：CPU／**周辺ハードウエア・クロック周波数**

図12－29　マルチマスタ・システムでのマスタ動作（3/3）



備考 1. **送信および受信フォーマットは通信している製品の仕様に準拠してください。**

2. **マルチマスタ・システムでマスタとして使用する場合は，**INTIICA0**割り込み発生ごとに**MSTS0**ビットをリードし，アービトレーション結果を確認してください。**

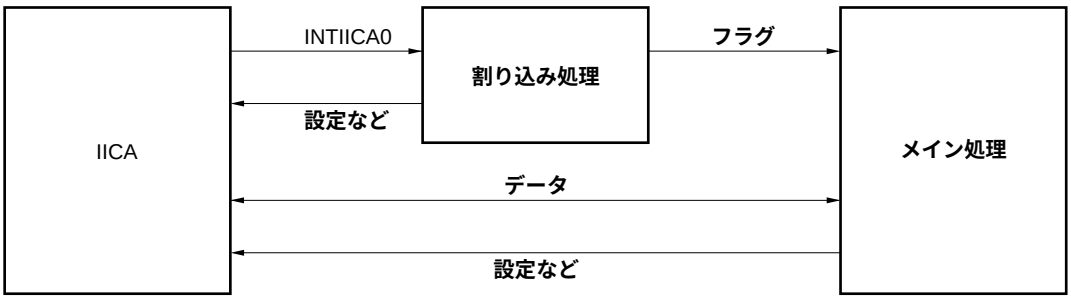
3. **マルチマスタ・システムでスレーブとして使用する場合は，**INTIICA0**割り込み発生ごとに**IICA**ステータス・レジスタ**0（IICS0），IICA**フラグ・レジスタ**0（IICF0）でステータスを確認して次に行う処理を決定してください。**

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には，イベント・ドリブンでの動作となります。このためINTIICA0割り込みによる処理（通信中のストップ・コンディション検出など，動作状態を大きく変更する必要がある処理）が必要となります。

この説明では，データ通信は拡張コードには対応しないものとします。またINTIICA0割り込み処理では状態遷移の処理だけを行い，実際のデータ通信はメイン処理で行うものとします。



このため，次の3つのフラグを準備し，これをINTIICA0の代わりにメイン処理に渡すという方法で，データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

・クリア・モード：データ通信を行っていない状態
・通信モード　　：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出，マスタからのアクノリッジ未検出，アドレス不一致）

② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIICA0割り込みと同じです。割り込み処理部でセットし，メイン処理部でクリアします。通信の開始時には，割り込み処理部でクリアしておきます。ただし，送信の最初のデータでは，レディ・フラグは割り込み処理部でセットされませんので，クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

③ 通信方向フラグ

通信の方向を示します。TRC0ビットの値と同じです。

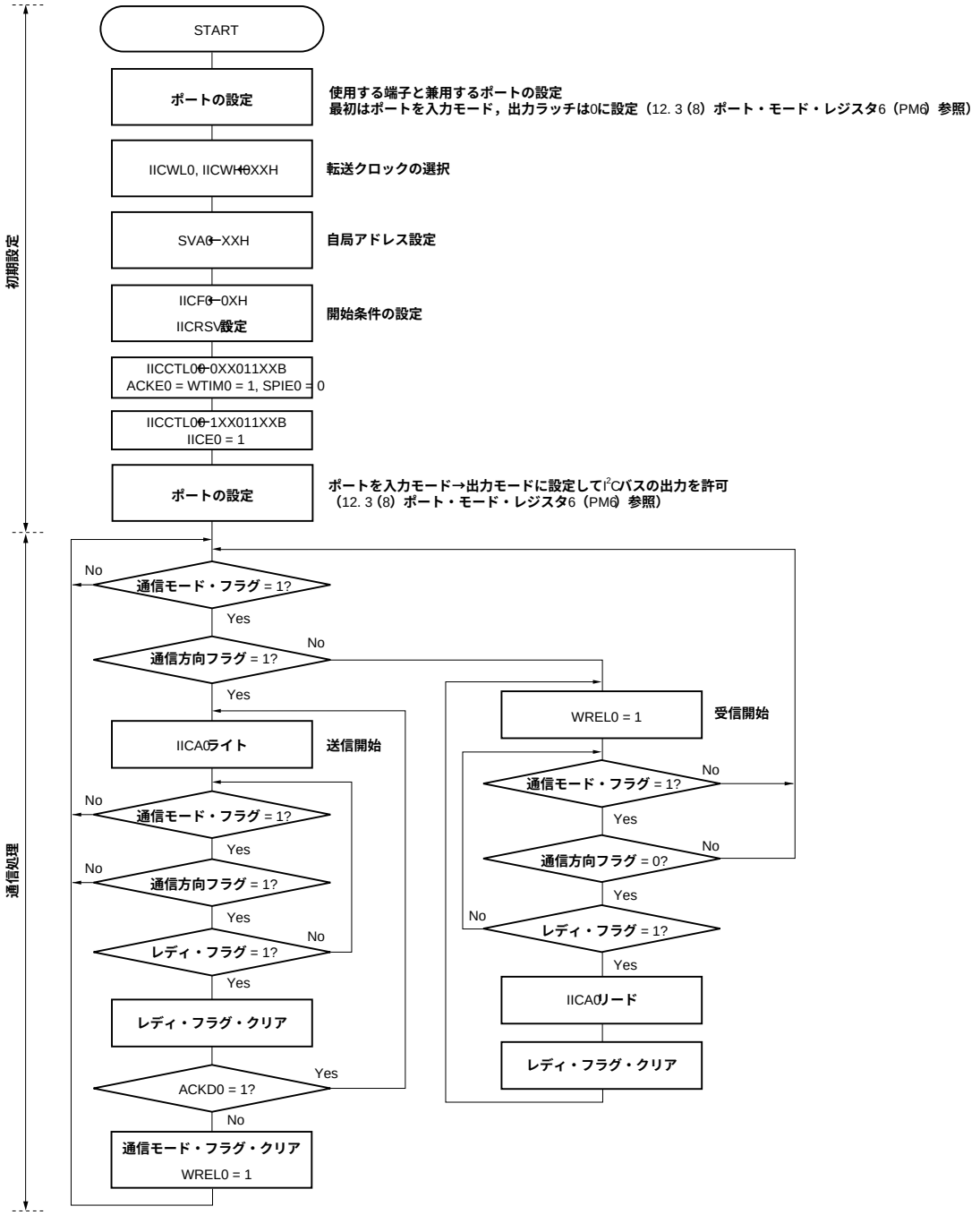
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し，通信可能状態になるのを待ちます。通信可能状態になったら，通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので，ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがこなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し，通信完了したら次のデータでアクノリッジを戻さないようにします。その後，マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより，通信状態から抜け出します。

図12－30　スレーブ動作手順（1）



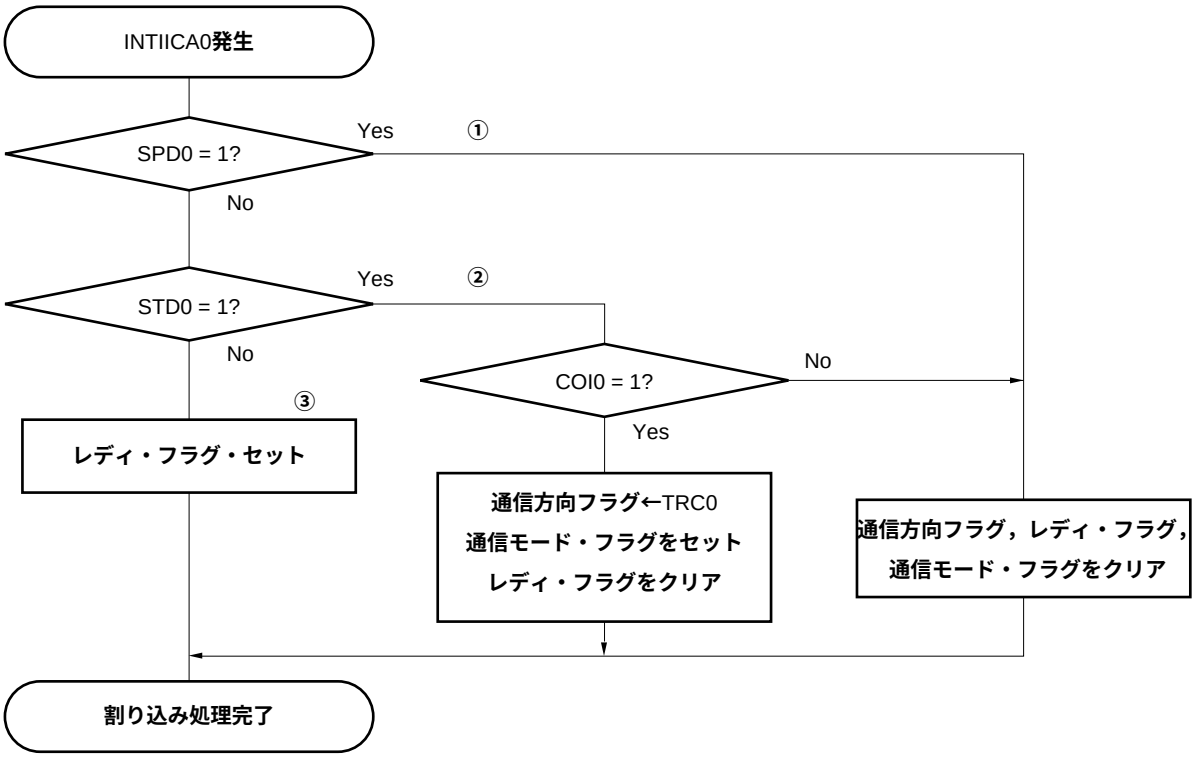
備考　送信および受信フォーマットは通信している製品の仕様に準拠してください。

スレーブのINTIICA0割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICA0割り込みではステータスを確認して，次のように行います。

① ストップ・コンディションの場合，通信を終了します。
② スタート・コンディションの場合，アドレスを確認し，一致していなければ通信を終了します。アドレスが一致していれば，モードを通信モードに設定し，ウエイトを解除して，割り込みから戻ります（レディ・フラグはクリアする）。
③ データ送受信の場合，レディ・フラグをセットするだけで，I^2Cバスはウエイト状態のまま，割り込みから戻ります。

備考　上述の①～③は，**図**12－31　**スレーブ動作手順**（2）の①～③と対応しています。

図12－31　**スレーブ動作手順**（2）



12. 5. 17　I²C割り込み要求（INTIICA0）の発生タイミング

次に，データの送受信，INTIICA0割り込み要求信号発生タイミングと，INTIICA0信号タイミングでのIICAステータス・レジスタ0（IICS0）の値を示します。

備考 ST　：スタート・コンディション
AD6-AD0　：アドレス
R/$\overline{W}$　：転送方向指定
$\overline{ACK}$　：アクノリッジ
D7-D0　：データ
SP　：ストップ・コンディション

(1) マスタ動作

(a) Start～Address～Data～Data～Stop（送受信）

(i) WTIM0 = 0のとき

▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×000B

▲3：IICS0 = 1000×000B（WTIM0ビットをセット（1））注

▲4：IICS0 = 1000××00B（SPT0ビットをセット（1））

△5：IICS0 = 00000001B

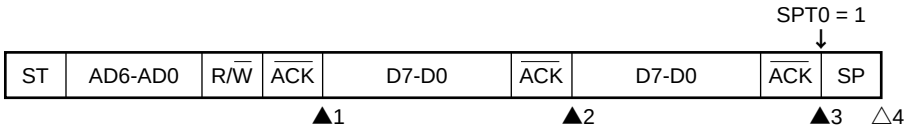
注 ストップ・コンディションを生成するために，WTIM0ビットをセット（1）し，INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×100B

▲3：IICS0 = 1000××00B（SPT0ビットをセット（1））

△4：IICS0 = 00000001B

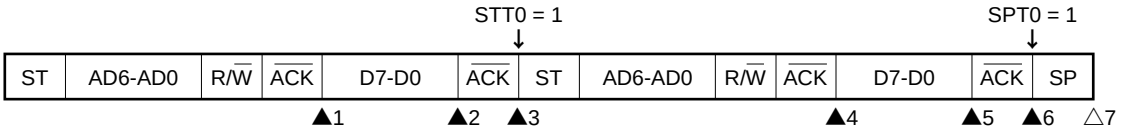
備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

（b）Start～Address～Data～Start～Address～Data～Stop**（リスタート）**

（i）WTIM0 = 0**のとき**



▲1：IICS0 = 1000×110**B**

▲2：IICS0 = 1000×000**B**（WTIM0**ビットをセット**（1）[注1]）

▲3：IICS0 = 1000××00**B**（WTIM0**ビットをクリア**（0）[注2]，STT0**ビットをセット**（1））

▲4：IICS0 = 1000×110**B**

▲5：IICS0 = 1000×000**B**（WTIM0**ビットをセット**（1）[注3]）

▲6：IICS0 = 1000××00**B**（SPT0**ビットをセット**（1））

△7：IICS0 = 00000001**B**

注1. **スタート・コンディションを生成するために，**WTIM0**ビットをセット**（1）**し，**INTIICA0**割り込み要求信号の発生タイミングを変更してください。**

2. **設定を元に戻すために，**WTIM0**ビットをクリア**（0）**してください。**

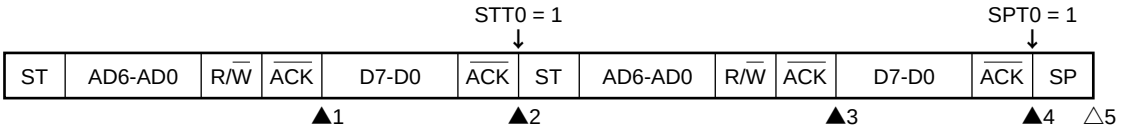
3. **ストップ・コンディションを生成するために，**WTIM0**ビットをセット**（1）**し，**INTIICA0**割り込み要求信号の発生タイミングを変更してください。**

備考　▲　**必ず発生**

△　SPIE0 = 1**のときだけ発生**

×　**任意**

（ii）WTIM0 = 1**のとき**



▲1：IICS0 = 1000×110**B**

▲2：IICS0 = 1000××00**B**（STT0**ビットをセット**（1））

▲3：IICS0 = 1000×110**B**

▲4：IICS0 = 1000××00**B**（SPT0**ビットをセット**（1））

△5：IICS0 = 00000001**B**

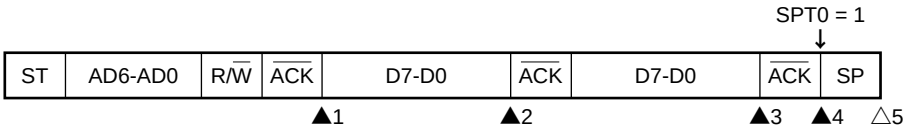
備考　▲　**必ず発生**

△　SPIE0 = 1**のときだけ発生**

×　**任意**

（c）Start～Code～Data～Data～Stop**（拡張コード送信）**

（i）WTIM0 = 0**のとき**



▲1：IICS0 = 1010×110**B**

▲2：IICS0 = 1010×000**B**

▲3：IICS0 = 1010×000**B**（WTIM0**ビットをセット**（1）[注]）

▲4：IICS0 = 1010××00**B**（SPT0**ビットをセット**（1））

△5：IICS0 = 00000001**B**

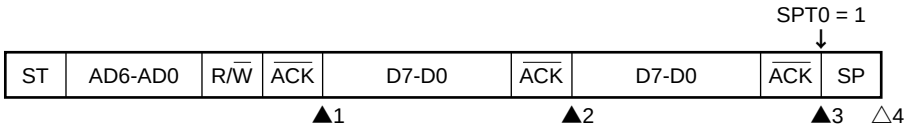
注　ストップ・コンディションを生成するために，WTIM0**ビットをセット**（1）**し，**INTIICA0**割り込み要求信号の発生タイミングを変更してください。**

備考　▲　必ず発生

△　SPIE0 = 1**のときだけ発生**

×　**任意**

（ii）WTIM0 = 1**のとき**



▲1：IICS0 = 1010×110**B**

▲2：IICS0 = 1010×100**B**

▲3：IICS0 = 1010××00**B**（SPT0**ビットをセット**（1））

△4：IICS0 = 00001001**B**

備考　▲　必ず発生

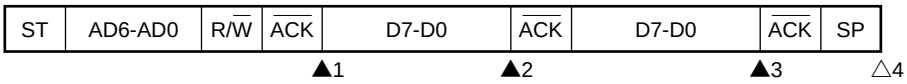
△　SPIE0 = 1**のときだけ発生**

×　**任意**

(2) スレーブ動作（スレーブ・アドレス受信時）

(a) Start～Address～Data～Data～Stop

(i) WTIM0 = 0のとき



▲1：IICS0 = 0001×110**B**

▲2：IICS0 = 0001×000**B**

▲3：IICS0 = 0001×000**B**

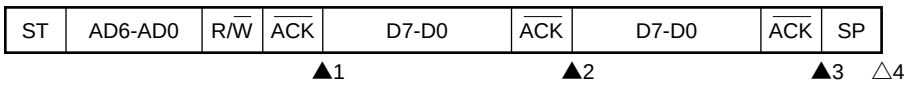
△4：IICS0 = 00000001**B**

備考　▲　必ず発生

△　SPIE0 = 1**のときだけ発生**

×　**任意**

(ii) WTIM0 = 1のとき



▲1：IICS0 = 0001×110**B**

▲2：IICS0 = 0001×100**B**

▲3：IICS0 = 0001××00**B**

△4：IICS0 = 00000001**B**

備考　▲　必ず発生

△　SPIE0 = 1**のときだけ発生**

×　**任意**

(b) Start～Address～Data～Start～Address～Data～Stop

(i) WTIM0 = 0のとき（リスタート後，SVA0一致）

▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001×000B

▲3：IICS0 = 0001×110B

▲4：IICS0 = 0001×000B

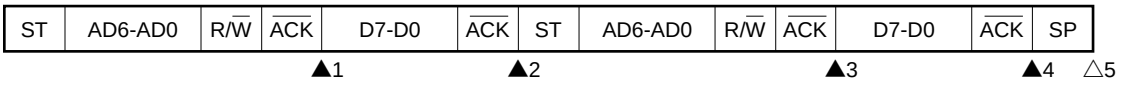
△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(ii) WTIM0 = 1のとき（リスタート後，SVA0一致）



▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001××00B

▲3：IICS0 = 0001×110B

▲4：IICS0 = 0001××00B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（c）Start～Address～Data～Start～Code～Data～Stop

（i）WTIM0 = 0のとき（リスタート後，アドレス不一致（拡張コード））

▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001×000B

▲3：IICS0 = 0010×010B

▲4：IICS0 = 0010×000B

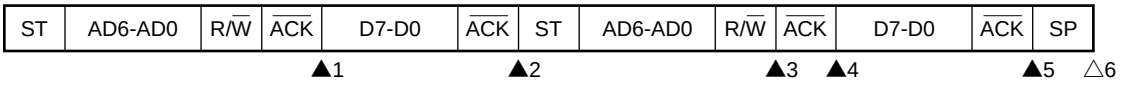
△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき（リスタート後，アドレス不一致（拡張コード））



▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001××00B

▲3：IICS0 = 0010×010B

▲4：IICS0 = 0010×110B

▲5：IICS0 = 0010××00B

△6：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（d）Start～Address～Data～Start～Address～Data～Stop

（i）WTIM0 = 0のとき（リスタート後，アドレス不一致（拡張コード以外））

▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001×000B

▲3：IICS0 = 00000110B

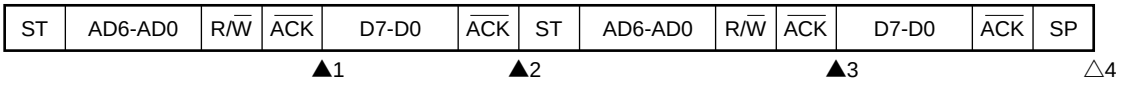
△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき（リスタート後，アドレス不一致（拡張コード以外））



▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001××00B

▲3：IICS0 = 00000110B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

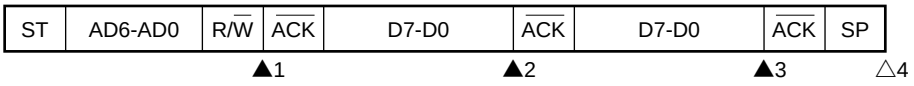
×　任意

(3) スレーブ動作（拡張コード受信時）

拡張コード受信時は，常に通信に参加しています

(a) Start～Code～Data～Data～Stop

(i) WTIM0 = 0**のとき**



▲1：IICS0 = 0010×010**B**

▲2：IICS0 = 0010×000**B**

▲3：IICS0 = 0010×000**B**

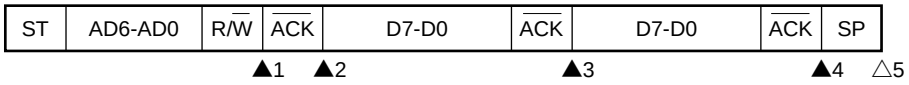
△4：IICS0 = 00000001**B**

備考　▲　必ず発生

△　SPIE0 = 1**のときだけ発生**

×　**任意**

(ii) WTIM0 = 1**のとき**



▲1：IICS0 = 0010×010**B**

▲2：IICS0 = 0010×110**B**

▲3：IICS0 = 0010×100**B**

▲4：IICS0 = 0010××00**B**

△5：IICS0 = 00000001**B**

備考　▲　必ず発生

△　SPIE0 = 1**のときだけ発生**

×　**任意**

(b) Start～Code～Data～Start～Address～Data～Stop

(i) WTIM0 = 0のとき（リスタート後，SVA0一致）

▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×000B

▲3：IICS0 = 0001×110B

▲4：IICS0 = 0001×000B

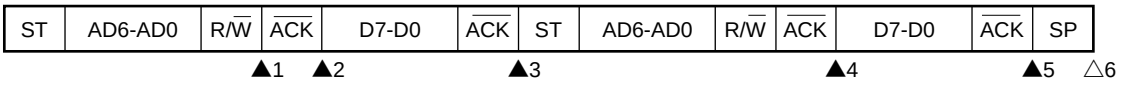
△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(ii) WTIM0 = 1のとき（リスタート後，SVA0一致）



▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×110B

▲3：IICS0 = 0010××00B

▲4：IICS0 = 0001×110B

▲5：IICS0 = 0001××00B

△6：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（c）Start～Code～Data～Start～Code～Data～Stop

（i）WTIM0 = 0**のとき（リスタート後，拡張コード受信）**

▲1：IICS0 = 0010×010**B**

▲2：IICS0 = 0010×000**B**

▲3：IICS0 = 0010×010**B**

▲4：IICS0 = 0010×000**B**

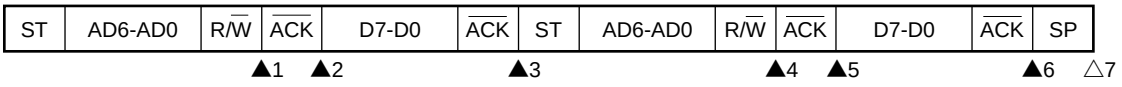
△5：IICS0 = 00000001**B**

備考　▲　必ず発生

△　SPIE0 = 1**のときだけ発生**

×　**任意**

（ii）WTIM0 = 1**のとき（リスタート後，拡張コード受信）**



▲1：IICS0 = 0010×010**B**

▲2：IICS0 = 0010×110**B**

▲3：IICS0 = 0010××00**B**

▲4：IICS0 = 0010×010**B**

▲5：IICS0 = 0010×110**B**

▲6：IICS0 = 0010××00**B**

△7：IICS0 = 00000001**B**

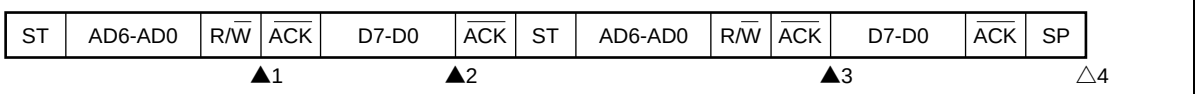
備考　▲　必ず発生

△　SPIE0 = 1**のときだけ発生**

×　**任意**

（d）Start～Code～Data～Start～Address～Data～Stop

（i）WTIM0 = 0のとき（リスタート後，アドレス不一致（拡張コード以外））



▲1：IICS0 = 00100010B

▲2：IICS0 = 00100000B

▲3：IICS0 = 00000110B

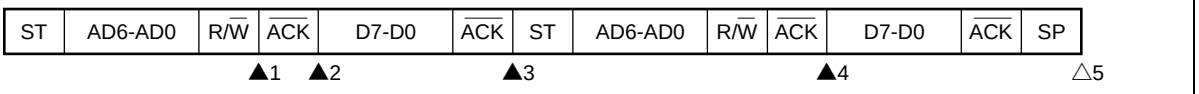
△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき（リスタート後，アドレス不一致（拡張コード以外））



▲1：IICS0 = 00100010B

▲2：IICS0 = 00100110B

▲3：IICS0 = 00100×00B

▲4：IICS0 = 00000110B

△5：IICS0 = 00000001B

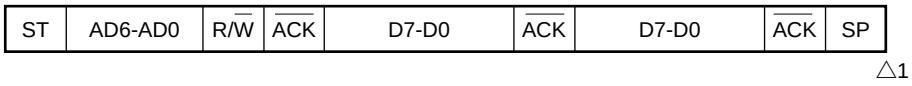
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(4) 通信不参加の動作

(a) Start～Code～Data～Data～Stop



△1：IICS0 = 00000001**B**

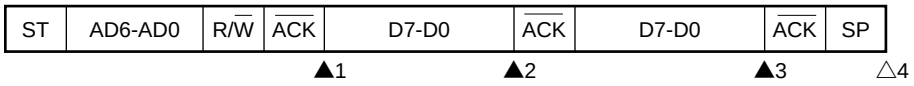
備考　△　SPIE0 = 1**のときだけ発生**

(5) アービトレーション負けの動作（アービトレーション負けのあと，スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は，INTIICA0**割り込み要求信号の発生ごとに** MSTS0**ビットをリードし，アービトレーション結果を確認してください。**

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIM0 = 0**のとき**



▲1：IICS0 = 0101×110**B**

▲2：IICS0 = 0001×000**B**

▲3：IICS0 = 0001×000**B**

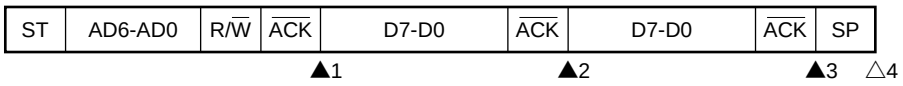
△4：IICS0 = 00000001**B**

備考　**▲　必ず発生**

△　SPIE0 = 1**のときだけ発生**

×　任意

(ii) WTIM0 = 1**のとき**



▲1：IICS0 = 0101×110**B**

▲2：IICS0 = 0001×100**B**

▲3：IICS0 = 0001××00**B**

△4：IICS0 = 00000001**B**

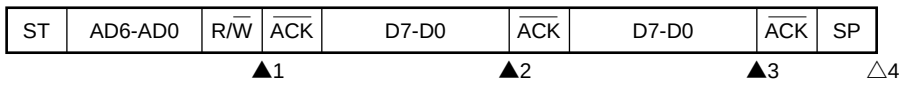
備考　▲　必ず発生

△　SPIE0 = 1**のときだけ発生**

×　**任意**

(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIM0 = 0**のとき**



▲1：IICS0 = 0110×010**B**

▲2：IICS0 = 0010×000**B**

▲3：IICS0 = 0010×000**B**

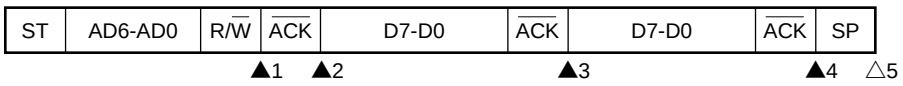
△4：IICS0 = 00000001**B**

備考　▲　必ず発生

△　SPIE0 = 1**のときだけ発生**

×　**任意**

(ii) WTIM0 = 1**のとき**



▲1：IICS0 = 0110×010**B**

▲2：IICS0 = 0010×110**B**

▲3：IICS0 = 0010×100**B**

▲4：IICS0 = 0010××00**B**

△5：IICS0 = 00000001**B**

備考　▲　必ず発生

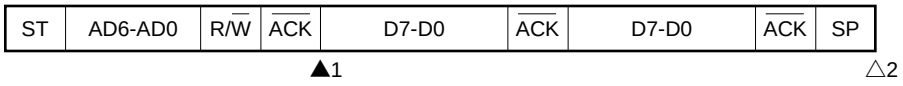
△　SPIE0 = 1**のときだけ発生**

×　**任意**

(6) アービトレーション負けの動作（アービトレーション負けのあと，不参加）

マルチマスタ・システムでマスタとして使用する場合は，INTIICA0**割り込み要求信号の発生ごとに** MSTS0**ビットをリードし，アービトレーション結果を確認してください。**

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合（WTIM0 = 1**のとき）**



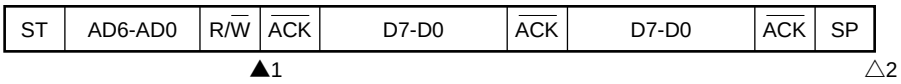
▲1：IICS0 = 01000110**B**

△2：IICS0 = 00000001**B**

備考　▲　必ず発生

△　SPIE0 = 1**のときだけ発生**

(b) 拡張コード送信中にアービトレーションに負けた場合



▲1：IICS0 = 0110×010**B**

ソフトウエアでLREL0 = 1**を設定**

△2：IICS0 = 00000001**B**

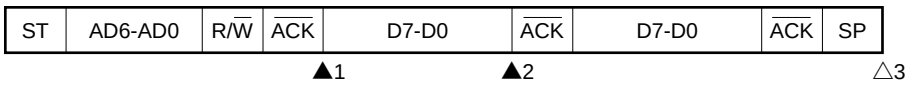
備考　▲　必ず発生

△　SPIE0 = 1**のときだけ発生**

×　**任意**

(c) データ転送時にアービトレーションに負けた場合

(i) WTIM0 = 0**のとき**



▲1：IICS0 = 10001110**B**

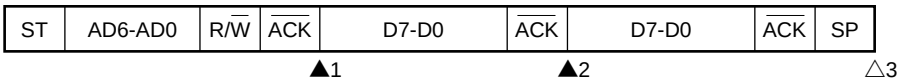
▲2：IICS0 = 01000000**B**

△3：IICS0 = 00000001**B**

備考　▲　必ず発生

△　SPIE0 = 1**のときだけ発生**

（ii）WTIM0 = 1のとき



▲1：IICS0 = 10001110**B**

▲2：IICS0 = 01000100**B**

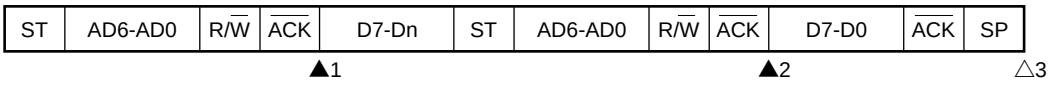
△3：IICS0 = 00000001**B**

備考　▲　必ず発生

△　SPIE0 = 1**のときだけ発生**

（d）データ転送時にリスタート・コンディションで負けた場合

（i）拡張コード以外（例　SVA0不一致）



▲1：IICS0 = 1000×110**B**

▲2：IICS0 = 01000110**B**

△3：IICS0 = 00000001**B**

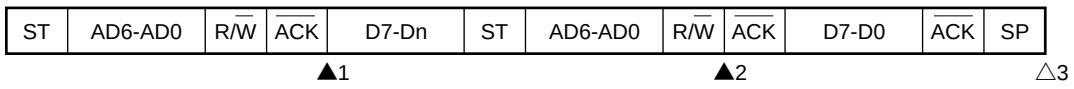
備考　▲　必ず発生

△　SPIE0 = 1**のときだけ発生**

×　任意

n = 6-0

(ii) 拡張コード



▲1：IICS0 = 1000×110**B**

▲2：IICS0 = 01100010**B**

ソフトウエアでLREL0 = 1**を設定**

△3：IICS0 = 00000001**B**

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

n = 6-0

(e) データ転送時にストップ・コンディションで負けた場合

▲1：IICS0 = 10000110**B**

△2：IICS0 = 01000001**B**

備考 ▲ 必ず発生

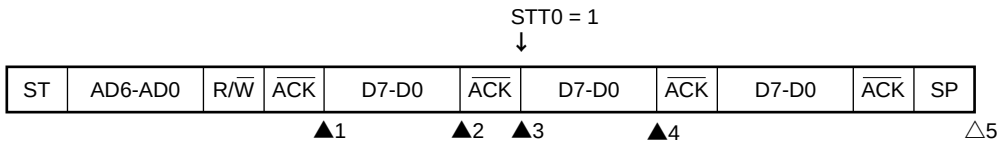
△ SPIE0 = 1のときだけ発生

× 任意

n = 6-0

(f) リスタート・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0 = 0のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×000B（WTIM0ビットをセット（1））

▲3：IICS0 = 1000×100B（WTIM0ビットをクリア（0））

▲4：IICS0 = 01000000B

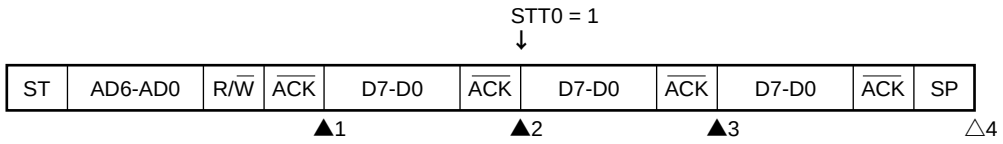
△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(ii) WTIM0 = 1のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×100B（STT0ビットをセット（1））

▲3：IICS0 = 01000100B

△4：IICS0 = 00000001B

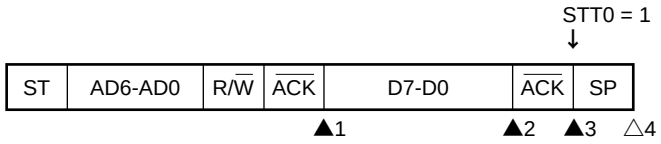
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(g) リスタート・コンディションを発生しようとして，ストップ・コンディションでアービトレーションに負けた場合

(i) WTIM0 = 0のとき



▲1：IICS0 = 1000×110**B**

▲2：IICS0 = 1000×000**B**（WTIM0**ビットをセット**（1））

▲3：IICS0 = 1000××00**B**（STT0**ビットをセット**（1））

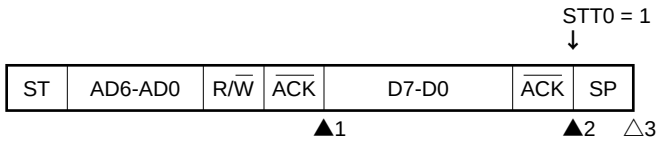
△4：IICS0 = 01000001**B**

備考　▲　**必ず発生**

△　SPIE0 = 1**のときだけ発生**

×　**任意**

(ii) WTIM0 = 1のとき



▲1：IICS0 = 1000×110**B**

▲2：IICS0 = 1000××00**B**（STT0**ビットをセット**（1））

△3：IICS0 = 01000001**B**

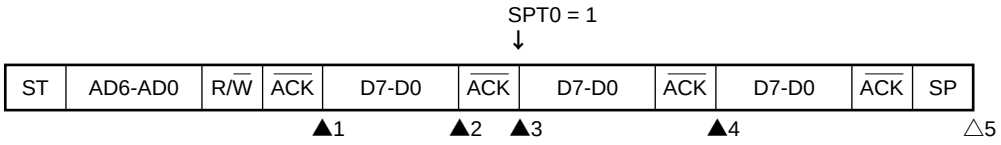
備考　▲　**必ず発生**

△　SPIE0 = 1**のときだけ発生**

×　**任意**

(h) ストップ・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0 = 0**のとき**



▲1：IICS0 = 1000×110**B**

▲2：IICS0 = 1000×000**B**（WTIM0**ビットをセット**（1））

▲3：IICS0 = 1000×100**B**（WTIM0**ビットをクリア**（0））

▲4：IICS0 = 01000100**B**

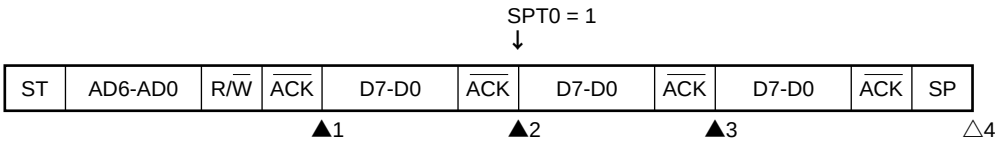
△5：IICS0 = 00000001**B**

備考 ▲ **必ず発生**

△ SPIE0 = 1**のときだけ発生**

× **任意**

(ii) WTIM0 = 1**のとき**



▲1：IICS0 = 1000×110**B**

▲2：IICS0 = 1000×100**B**（SPT0**ビットをセット**（1））

▲3：IICS0 = 01000100**B**

△4：IICS0 = 00000001**B**

備考 ▲ **必ず発生**

△ SPIE0 = 1**のときだけ発生**

× **任意**

12. 6　タイミング・チャート

I²Cバス・モードでは，マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは，スレーブ・アドレスの次にデータの転送方向を示すTRC0ビット（IICAステータス・レジスタ0（IICS0）のビット3）を送信し，スレーブとのシリアル通信を開始します。

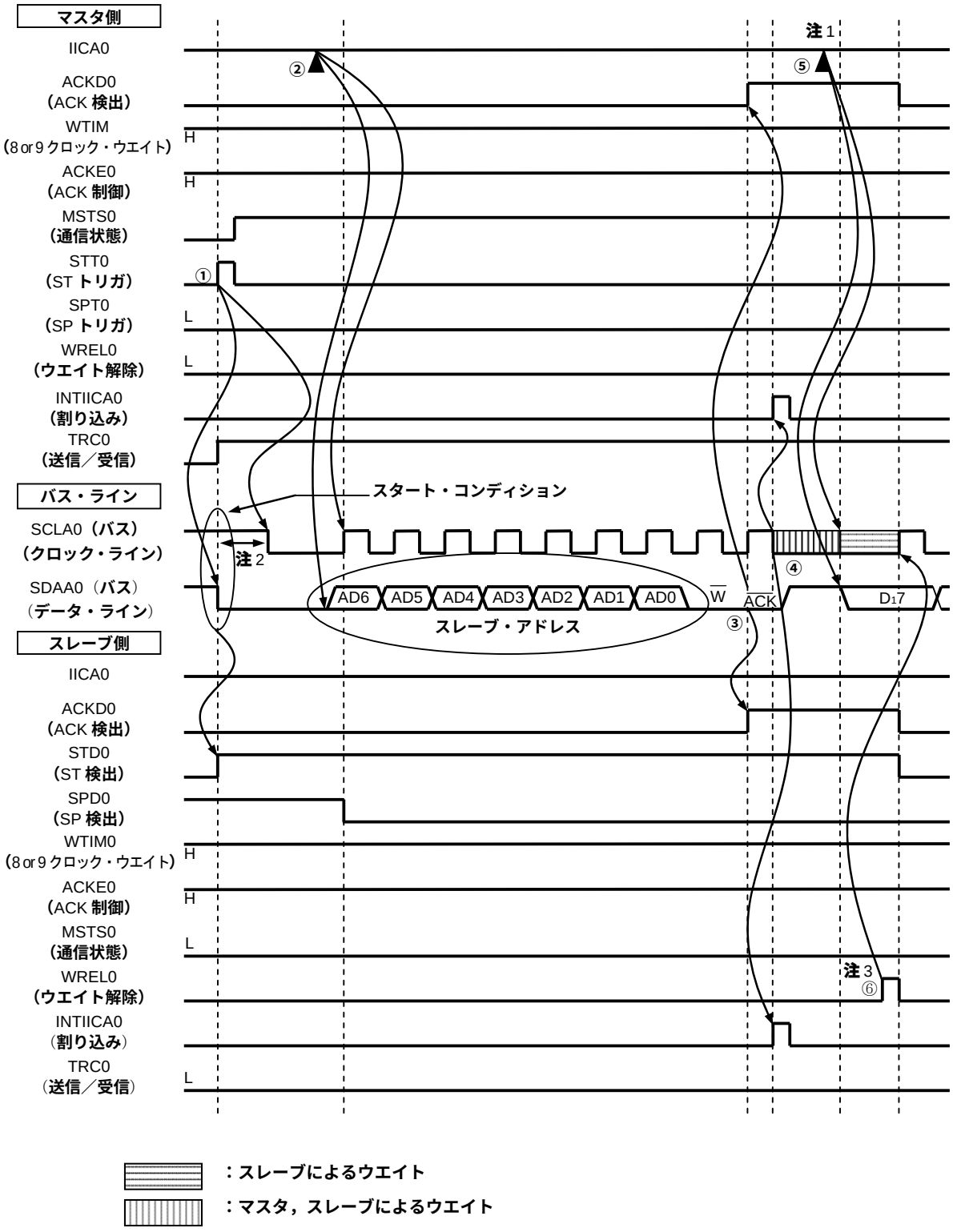
データ通信のタイミング・チャートを図12－32，図12－33に示します。

シリアル・クロック（SCLA0）の立ち下がりに同期してIICAシフト・レジスタ0（IICA0）のシフト動作が行われ，送信データがSOラッチに転送され，SDAA0端子からMSBファーストで出力されます。

また，SCLA0の立ち上がりでSDAA0端子に入力されたデータがIICA0に取り込まれます。

図12－32 マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウエイト選択時）（1/4）

（1）スタート・コンディション～アドレス～データ



：スレーブによるウエイト

：マスタ，スレーブによるウエイト

注1. **マスタ送信時のウエイト解除は，**WREL0**ビットのセットではなく，**IICA0**へのデータ書き込みで行ってください。**

2. SDAA0**端子信号が立ち下がってから**SCLA0**端子信号が立ち下がるまでの時間は，標準モード設定時は**4.0 μs**以上，ファースト・モード設定時は**0.6 μs**以上です。**

3. **スレーブ・ウエイト解除は，**IICA0←FFH**または**WREL0**ビットのセットのどちらかで行ってください。**

図12－32（1）スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STT0 = 1）されると，バス・データ・ライン（SDAA0 = 0）が立ち下がり，スタート・コンディション（SDAA0 = 0, SCLA0 = 1）が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態（MSTS0 = 1）となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLA0 = 0），通信準備が完了となります。

② マスタ側でIICAシフト・レジスタ0（IICA0）にアドレス＋W（送信）が書き込まれると，スレーブ・アドレスが送信されます。

③ 受信したアドレスとスレーブのアドレスが一致した場合[注]，スレーブ側のハードウエアよりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生し，スレーブはアドレスが一致した場合，割り込み（INTIICA0：アドレス一致割り込み）が発生します。さらに，マスタ側とアドレスが一致したスレーブ側はウエイト（SCLA0 = 0）をかけます[注]。

⑤ マスタ側がIICA0レジスタに送信データを書き込み，マスタ側によるウエイトを解除します。

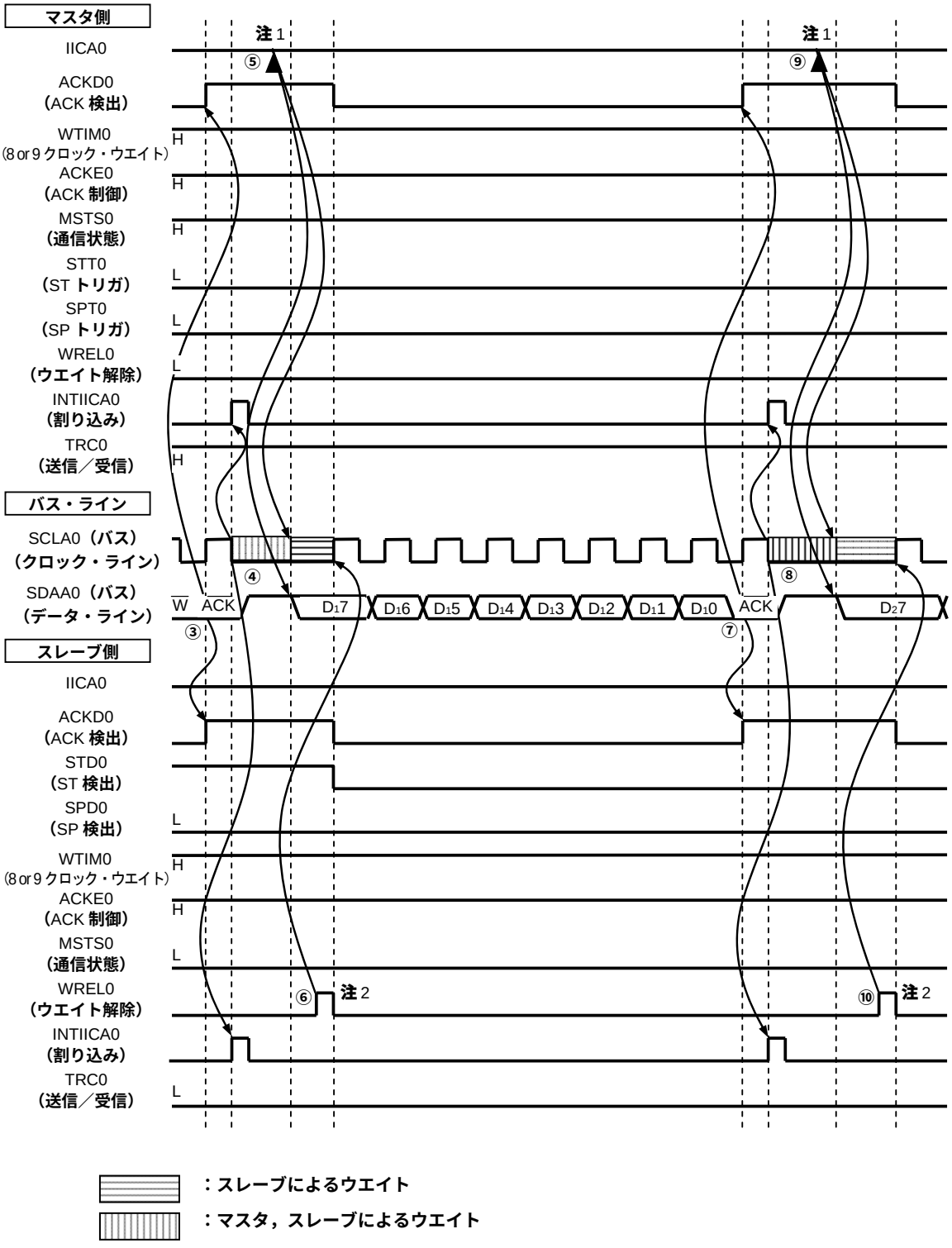
⑥ スレーブ側がウエイトを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず，スレーブ側のウエイトもかかりません。
ただし，マスタ側はACK，NACKの両方に対して，INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考 図12－32の①～⑮は，I^2Cバスによるデータ通信の一連の操作手順です。
図12－32（1）スタート・コンディション～アドレス～データでは手順①～⑥
図12－32（2）アドレス～データ～データでは手順③～⑩
図12－32（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

図12－32 マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウエイト選択時）（2/4）

（2）アドレス～データ～データ



：スレーブによるウエイト

：マスタ，スレーブによるウエイト

注1. **マスタ送信時のウエイト解除は，**WREL0**ビットのセットではなく，**IICA0**へのデータ書き込みで行ってください。**

2. **スレーブ・ウエイト解除は，**IICA0←FFH**または**WREL0**ビットのセットのどちらかで行ってください。**

図12－32（2）アドレス～データ～データの③～⑩の説明を次に示します。

③ 受信したアドレスとスレーブのアドレスが一致した場合[注]，スレーブ側のハードウエアよりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生し，スレーブはアドレスが一致した場合，割り込み（INTIICA0：アドレス一致割り込み）が発生します。さらに，マスタ側とアドレスが一致したスレーブ側はウエイト（SCLA0 = 0）をかけます[注]。

⑤ マスタ側がIICAシフト・レジスタ0（IICA0）に送信データを書き込み，マスタ側によるウエイトを解除します。

⑥ スレーブ側がウエイトを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

⑦ データ転送完了後，スレーブ側のハードウエアよりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

⑧ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるウエイト（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑨ マスタ側がIICA0レジスタに送信データを書き込み，マスタ側によるウエイトを解除します。

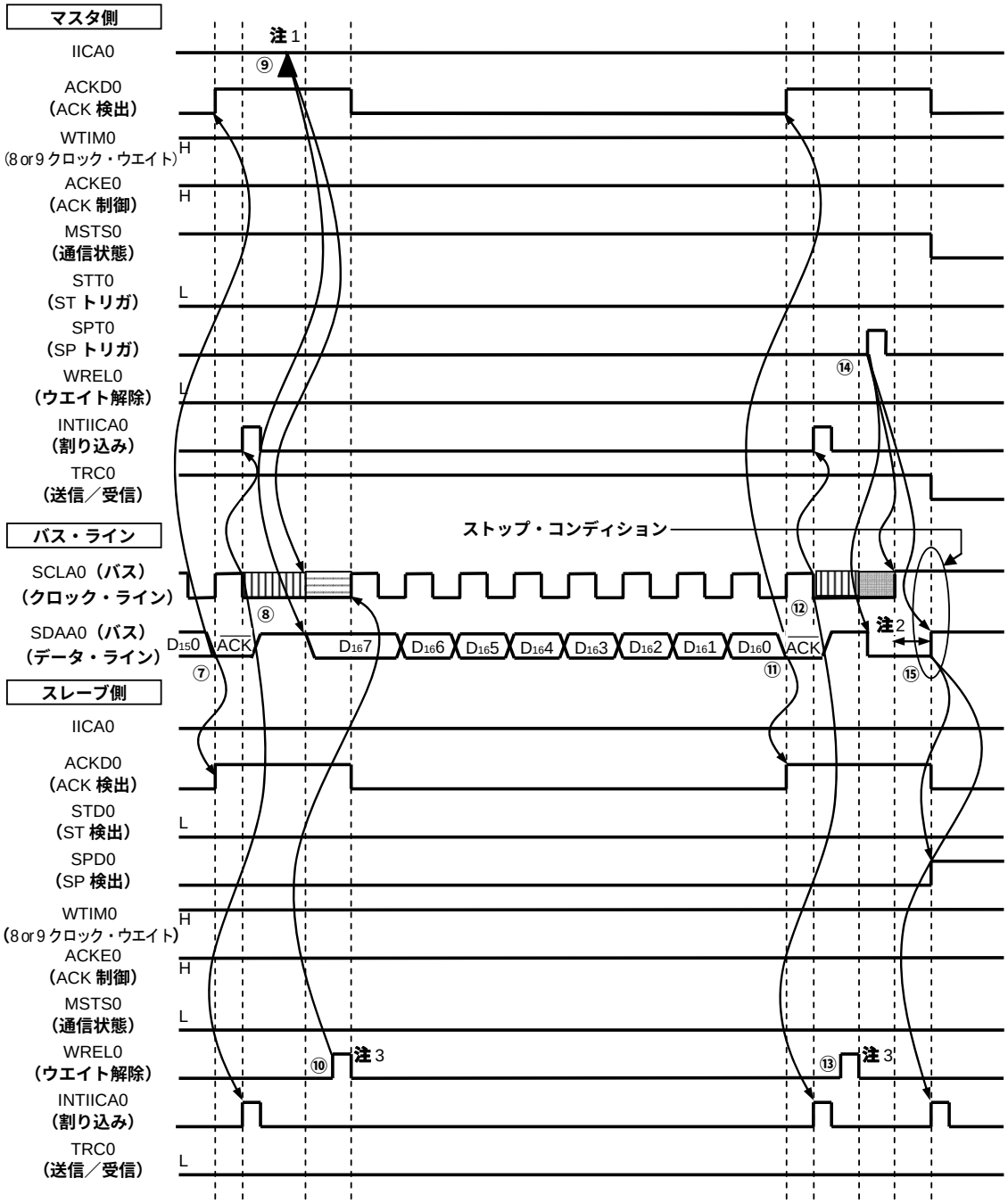
⑩ スレーブ側が受信データを読み出して，ウエイトを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず，スレーブ側のウエイトもかかりません。
ただし，マスタ側はACK，NACKの両方に対して，INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考 図12－32の①～⑮は，I^2Cバスによるデータ通信の一連の操作手順です。
図12－32（1）スタート・コンディション～アドレス～データでは手順①～⑥
図12－32（2）アドレス～データ～データでは手順③～⑩
図12－32（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

図12－32 **マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウエイト選択時）**（3/4）

（3）データ～データ～ストップ・コンディション



：マスタによるウエイト

：スレーブによるウエイト

：マスタ，スレーブによるウエイト

注1. **マスタ送信時のウエイト解除は，**WREL0**ビットのセットではなく，**IICA0**へのデータ書き込みで行ってください。**

2. **ストップ・コンディションの発行後，**SCLA0**端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は**4.0 μs**以上，ファースト・モード設定時は**0.6 μs**以上です。**

3. **スレーブ・ウエイト解除は，**IICA0←FFH**または**WREL0**ビットのセットのどちらかで行ってください。**

図12－32（3）データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

⑦ データ転送完了後，スレーブ側のハードウエアよりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

⑧ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるウエイト（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑨ マスタ側がIICAシフト・レジスタ0（IICA0）に送信データを書き込み，マスタ側によるウエイトを解除します。

⑩ スレーブ側が受信データを読み出して，ウエイトを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

⑪ データ転送完了後，スレーブ側のハードウエアよりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

⑫ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるウエイト（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑬ スレーブ側が受信データを読み出し，ウエイトを解除（WREL0 = 1）します。

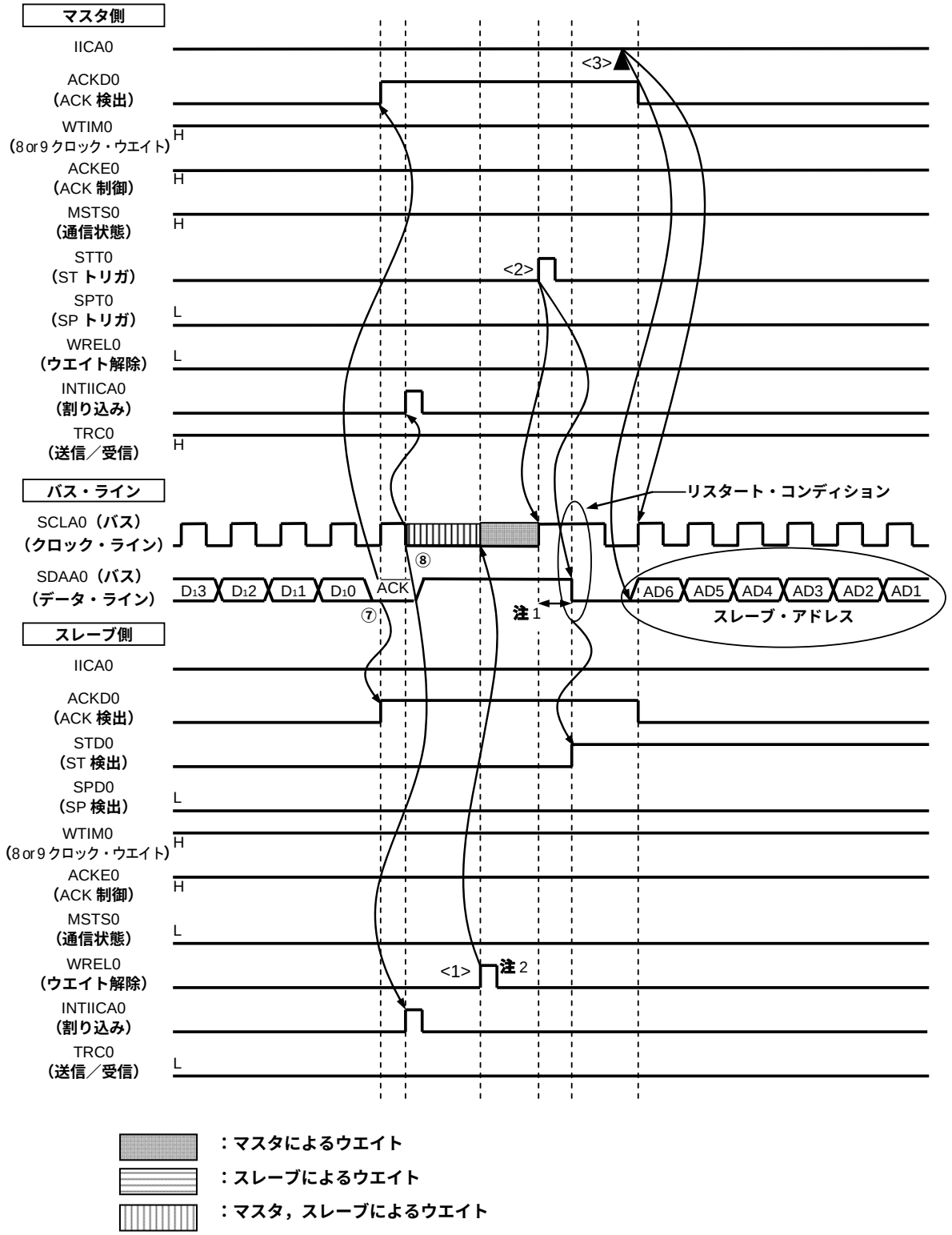
⑭ ストップ・コンディション・トリガをセットすると，バス・データ・ラインをクリア（SDAA0 = 0），バス・クロック・ラインをセット（SCLA0 = 1）し，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインをセット（SDAA0 = 1）することでストップ・コンディションが生成されます。

⑮ ストップ・コンディションが生成されると，スレーブ側でストップ・コンディションが検出され，スレーブ側で割り込み（INTIICA0：ストップ・コンディション割り込み）が発生します。

備考 図12－32の①～⑮は，I^2Cバスによるデータ通信の一連の操作手順です。
図12－32（1）スタート・コンディション～アドレス～データでは手順①～⑥
図12－32（2）アドレス～データ～データでは手順③～⑩
図12－32（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

図12－32 マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウエイト選択時）（4/4）

（4）データ～リスタート・コンディション～アドレス



注1. **リスタート・コンディションの発行後，**SCLA0**端子信号が立ち上がってからスタート・コンディションが生成される時間は，標準モード設定時は**4.7 μs**以上，ファースト・モード設定時は**0.6 μs**以上です。**

2. **スレーブ・ウエイト解除は，**IICA0←FFH**または**WREL0**ビットのセットのどちらかで行ってください。**

図12－32 (4) データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦，⑧の動作後，<1>～<3>の動作を行います。それにより，手順③のデータの送信手順に戻ります。

⑦　データ転送完了後，スレーブ側のハードウエアよりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

⑧　9クロック目の立ち下がりで，マスタ側とスレーブ側によるウエイト（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

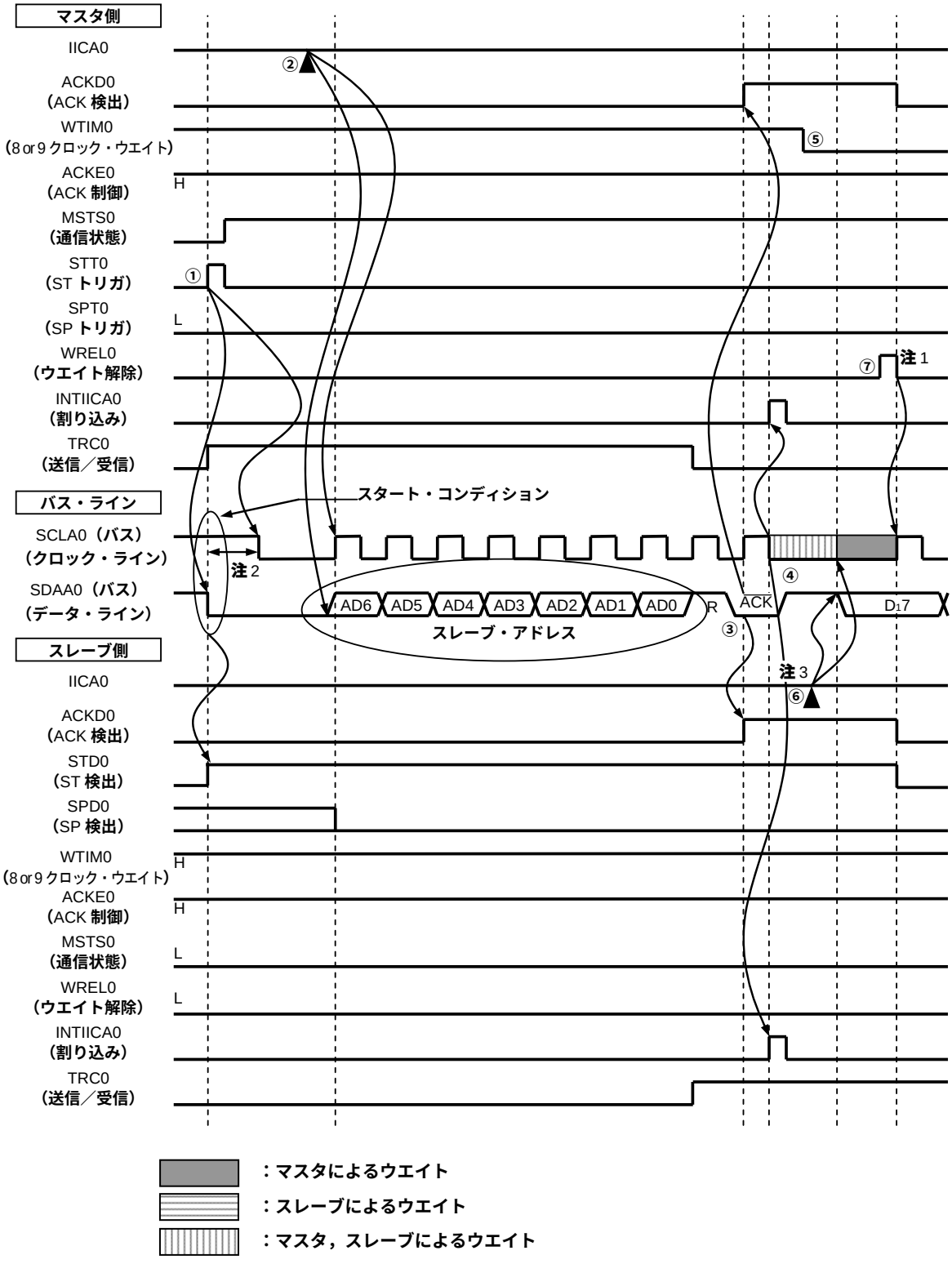
<1>　スレーブ側が受信データを読み出して，ウエイトを解除（WREL0 = 1）します。

<2>　マスタ側で再度スタート・コンディション・トリガがセット（STT0 = 1）されると，バス・クロック・ラインが立ち上がり（SCLA0 = 1），リスタート・コンディション・セットアップ時間後バス・データ・ライン（SDAA0 = 0）が立ち下がり，スタート・コンディション（SDAA0 = 0, SCLA0 = 1）が生成されます。その後，スタート・コンディションを検出すると，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLA0 = 0），通信準備が完了となります。

<3>　マスタ側でIICAシフト・レジスタ0（IICA0）にアドレス＋R/W（送信）が書き込まれると，スレーブ・アドレスが送信されます。

図12－33 スレーブ→マスタ通信例（マスタ：8クロック，スレーブ：9クロックでウエイト選択時）（1/3）

（1）スタート・コンディション～アドレス～データ



：マスタによるウエイト

：スレーブによるウエイト

：マスタ，スレーブによるウエイト

注1. **マスタ・ウエイト解除は，**IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

2. SDAA0端子信号が立ち下がってからSCLA0端子信号が立ち下がるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3. スレーブ送信時のウエイト解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

図12－33（1）スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STT0 = 1）されると，バス・データ・ライン（SDAA0 = 0）が立ち下がり，スタート・コンディション（SDAA0 = 0, SCLA0 = 1）が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態（MSTS0 = 1）となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLA0 = 0），通信準備が完了となります。

② マスタ側でIICAシフト・レジスタ0（IICA0）にアドレス＋W（送信）が書き込まれると，スレーブ・アドレスが送信されます。

③ 受信したアドレスとスレーブのアドレスが一致した場合[注]，スレーブ側のハードウエアよりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生し，スレーブはアドレスが一致した場合，割り込み（INTIICA0：アドレス一致割り込み）が発生します。さらに，マスタ側とアドレスが一致したスレーブ側によるウエイト（SCLA0 = 0）がかかります[注]。

⑤ マスタ側のウエイト・タイミングを8クロック目に（WTIM0 = 0）に変更します。

⑥ スレーブ側がIICA0レジスタに送信データを書き込み，スレーブ側によるウエイトを解除します。

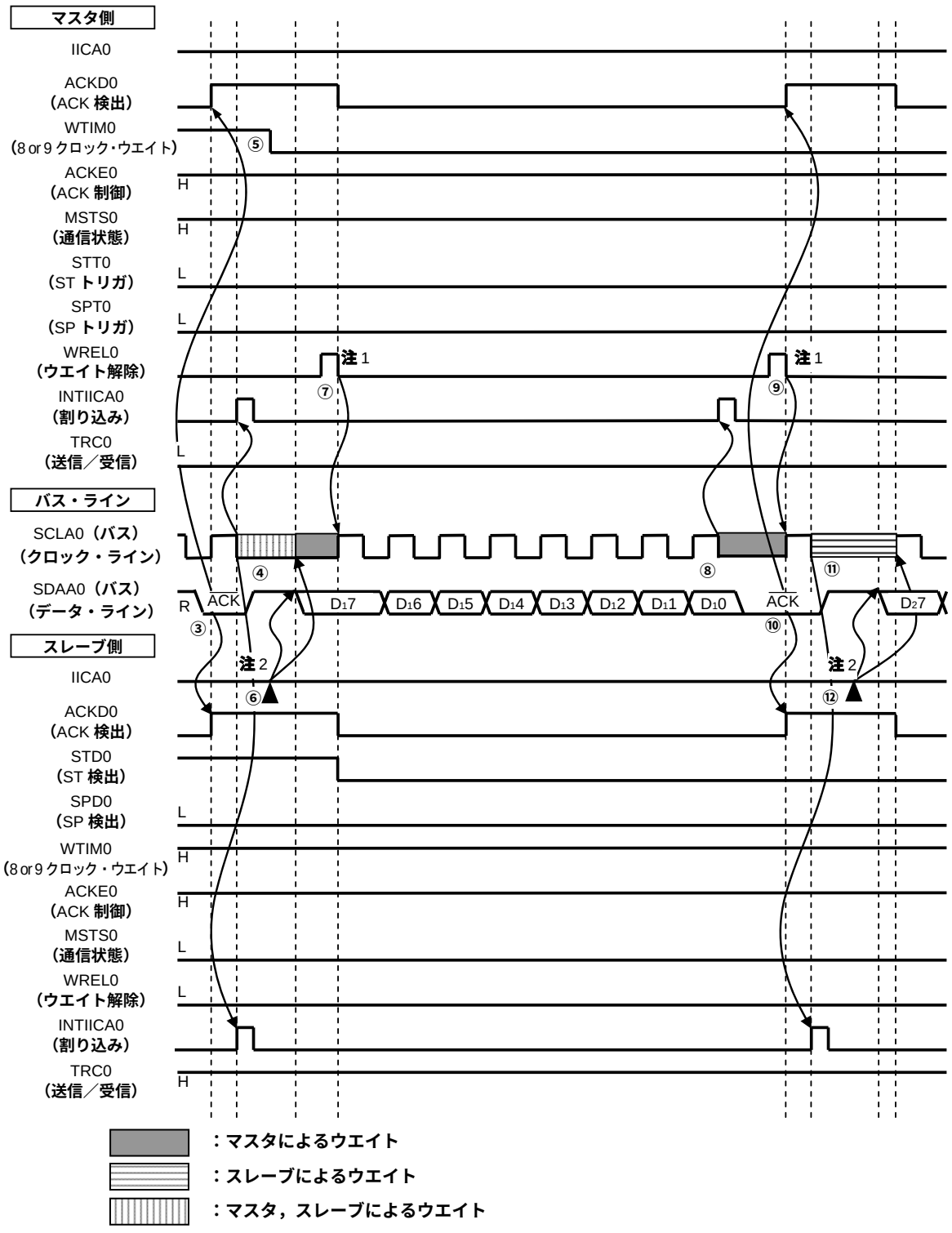
⑦ マスタ側がウエイトを解除（WREL0 = 1）して，スレーブ側はデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず，スレーブ側のウエイトもかかりません。
ただし，マスタ側はACK，NACKの両方に対して，INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考 図12－33の①～⑲は，I^2Cバスによるデータ通信の一連の操作手順です。
図12－33（1）スタート・コンディション～アドレス～データでは手順①～⑦
図12－33（2）アドレス～データ～データでは手順③～⑫
図12－33（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

図12－33 **スレーブ→マスタ通信例（マスタ：**8**クロック，スレーブ：**9**クロックでウエイト選択時）**（2/3）

（2**）アドレス～データ～データ**



注1. **マスタ・ウエイト解除は，**IICA0←FFH**または**WREL0**ビットのセットのどちらかで行ってください。**

2. **スレーブ送信時のウエイト解除は，**WREL0**ビットのセットではなく，**IICA0**へのデータ書き込みで行ってください。**

図12－33（2）アドレス～データ～データの③～⑫の説明を次に示します。

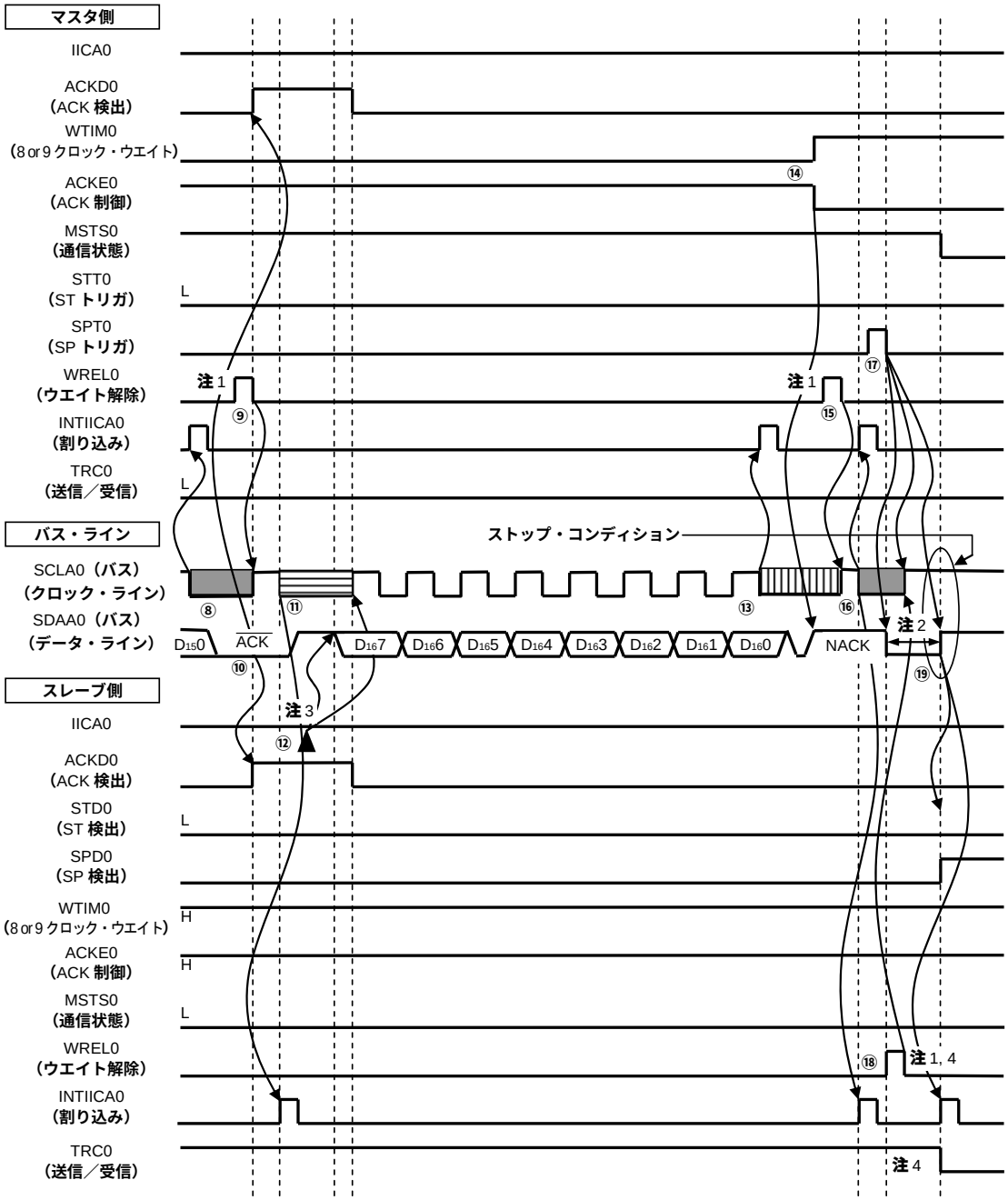
③ 受信したアドレスとスレーブのアドレスが一致した場合[注]，スレーブ側のハードウエアよりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。
④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生し，スレーブはアドレスが一致した場合，割り込み（INTIICA0：アドレス一致割り込み）が発生します。さらに，マスタ側とアドレスが一致したスレーブ側によるウエイト（SCLA0 = 0）がかかります[注]。
⑤ マスタ側のウエイト・タイミングを8クロック目に（WTIM0 = 0）に変更します。
⑥ スレーブ側がIICAシフト・レジスタ0（IICA0）に送信データを書き込み，スレーブ側によるウエイトを解除します。
⑦ マスタ側がウエイトを解除（WREL0 = 1）して，スレーブ側はデータ転送を開始します。
⑧ 8クロック目の立ち下がりで，マスタ側によるウエイト（SCLA0 = 0）がかかり，マスタ側の割り込み（INTIICA0：転送完了割り込み）が発生し，マスタ側のハードウエアよりACKがスレーブ側へ送信されます。
⑨ マスタ側は受信したデータを読み出して，ウエイトを解除（WREL0 = 1）します。
⑩ 9クロック目の立ち上がり時に，スレーブ側でACKが検出（ACKD0 = 1）されます。
⑪ 9クロック目の立ち下がりで，スレーブ側によるウエイト（SCLA0 = 0）がかかり，スレーブ側は割り込み（INTIICA0：転送完了割り込み）が発生します。
⑫ スレーブ側のIICA0レジスタに送信データを書き込むと，スレーブ側のウエイトが解除され，スレーブ→マスタにデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず，スレーブ側のウエイトもかかりません。
ただし，マスタ側はACK，NACKの両方に対して，INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考 図12－33の①～⑲は，I^2Cバスによるデータ通信の一連の操作手順です。
図12－33（1）スタート・コンディション～アドレス～データでは手順①～⑦
図12－33（2）アドレス～データ～データでは手順③～⑫
図12－33（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

図12－33 スレーブ→マスタ通信例（マスタ：8→9クロック，スレーブ：9クロックでウエイト選択時）（3/3）

（3）データ～データ～ストップ・コンディション



：マスタによるウエイト
：スレーブによるウエイト
：マスタ，スレーブによるウエイト

注1. **ウエイト解除は，**IICA0←FFH**または**WREL0**ビットのセットのどちらかで行ってください。**
2. **ストップ・コンディションの発行後，**SCLA0**端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は**4.0 μs**以上，ファースト・モード設定時は**0.6 μs**以上です。**
3. **スレーブ送信時のウエイト解除は，**WREL0**ビットのセットではなく，**IICA0**へのデータ書き込みで行ってください。**
4. **スレーブ送信時のウエイトを**WREL0**ビットのセットで解除すると，**TRC0**ビットはクリアされます。**

図12－33（3）データ～データ～ストップ・コンディションの⑧～⑲の説明を次に示します。

⑧ 8クロック目の立ち下がりで，マスタ側によるウエイト（SCLA0 = 0）がかかり，マスタ側の割り込み（INTIICA0：転送完了割り込み）が発生し，マスタ側のハードウエアよりACKがスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して，ウエイトを解除（WREL0 = 1）します。

⑩ 9クロック目の立ち上がり時に，スレーブ側でACKが検出（ACKD0 = 1）されます。

⑪ 9クロック目の立ち下がりで，スレーブ側によるウエイト（SCLA0 = 0）がかかり，スレーブ側は割り込み（INTIICA0：転送完了割り込み）が発生します。

⑫ スレーブ側のIICAシフト・レジスタ0（IICA0）に送信データを書き込むと，スレーブ側のウエイトが解除され，スレーブ→マスタにデータ転送を開始します。

⑬ 8クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：転送完了割り込み）が発生し，マスタ側によるウエイト（SCLA0 = 0）がかかります。ACK制御（ACKE0 = 1）されているので，この段階でのバス・データ・ラインはロウ・レベル（SDAA0 = 0）となります。

⑭ マスタ側はNACK応答に設定（ACKE0 = 0）し，ウエイト・タイミングを9クロック目ウエイトに変更します。

⑮ マスタ側がウエイトを解除（WREL0 = 1）すると，スレーブ側は9クロック目の立ち上がりでNACKを検出（ACK = 0）します。

⑯ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるウエイト（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑰ マスタ側でストップ・コンディション発行（SPT0 = 1）すると，バス・データ・ラインがクリア（SDAA0 = 0）され，マスタ側のウエイトが解除されます。その後，マスタ側はバス・クロック・ラインがセット（SCLA0 = 1）されるまで待機します。

⑱ スレーブ側はNACKを確認して，送信を止めて通信を完了するためにウエイトを解除（WREL0 = 1）します。スレーブによるウエイトが解除されると，バス・クロック・ラインがセット（SCLA0 = 1）されます。

⑲ マスタ側はバス・クロック・ラインがセット（SCLA0 = 1）されたことを確認すると，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインをセット（SDAA0 = 1）してストップ・コンディションを発行します。ストップ・コンディションが生成されると，スレーブ側でストップ・コンディションが検出され，マスタ側，スレーブ側で割り込み（INTIICA0：ストップ・コンディション割り込み）が発生します。

備考　図12－33の①～⑲は，I^2Cバスによるデータ通信の一連の操作手順です。
図12－33（1）スタート・コンディション～アドレス～データでは手順①～⑦
図12－33（2）アドレス～データ～データでは手順③～⑫
図12－33（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

第13章　乗除・積和演算器

13. 1　乗除・積和演算器の機能

乗除・積和演算器には，次のような機能があります。

- 16ビット×16ビット = 32ビット（符号なし）
- 16ビット×16ビット = 32ビット（符号付）
- 16ビット×16ビット＋32ビット = 32ビット（符号付）
- 16ビット×16ビット＋32ビット = 32ビット（符号なし）
- 32ビット÷32ビット = 32ビット 剰余32ビット（符号なし）

13. 2　乗除・積和演算器の構成

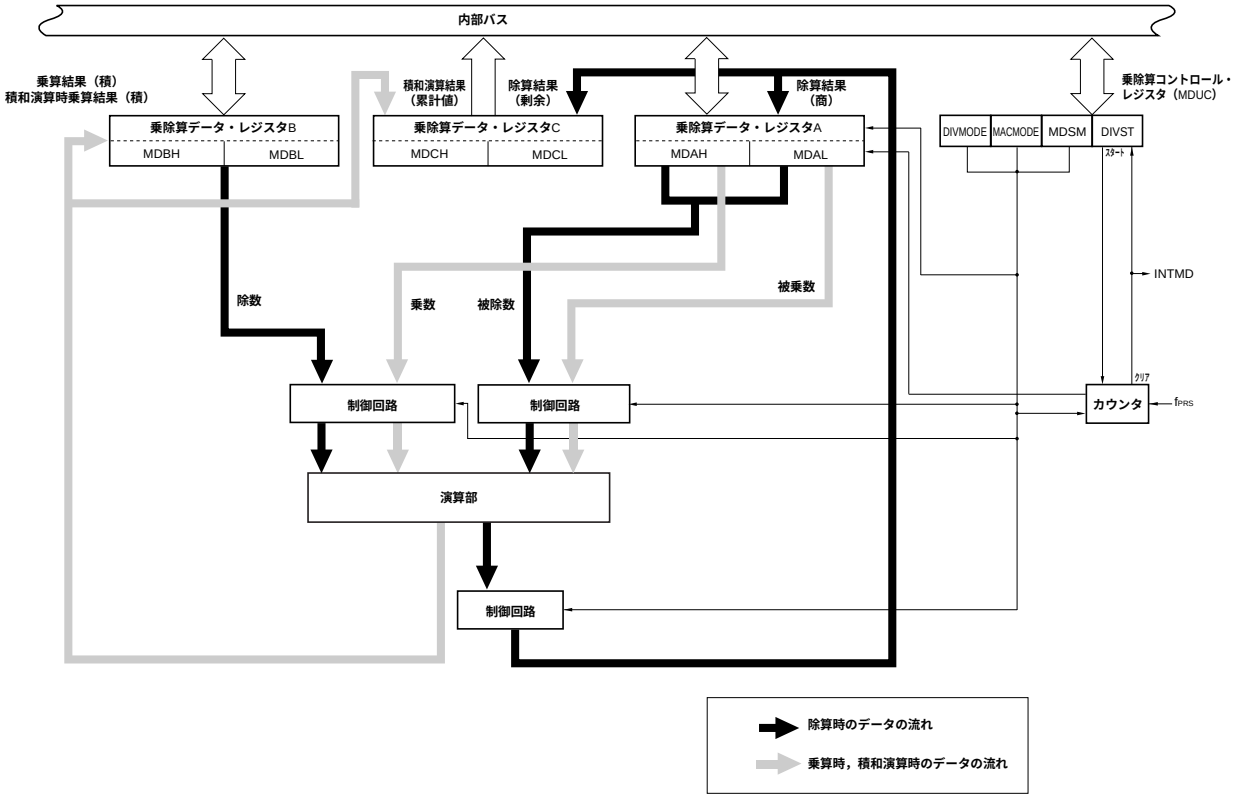
乗除・積和演算器は，次のハードウエアで構成されています。

表13－1　乗除・積和演算器の構成

項　　目	構　　成
レジスタ	乗除算データ・レジスタA（L）（MDAL） 乗除算データ・レジスタA（H）（MDAH） 乗除算データ・レジスタB（L）（MDBL） 乗除算データ・レジスタB（H）（MDBH） 乗除算データ・レジスタC（L）（MDCL） 乗除算データ・レジスタC（H）（MDCH）
制御レジスタ	乗除算コントロール・レジスタ（MDUC）

乗除・積和演算器のブロック図を図13－1に示します。

図13ー1　乗除・積和演算器のブロック図



(1) 乗除算データ・レジスタA（MDAH, MDAL）

MDAH，MDAL**レジスタは，乗除算の演算に利用する値を設定し，演算結果を格納するレジスタです。乗算モード時および積和演算モード時は乗数と被乗数データを設定し，除算モード時は被除数データを設定します。また，除算モード時は演算結果（商）が**MDAH，MDAL**レジスタに格納されます。**

MDAH, MDAL**レジスタは，16ビット操作命令で設定します。**

リセット信号の発生により，0000H**になります。**

図13－2　**乗除算データ・レジスタ**A（MDAH, MDAL）**のフォーマット**

アドレス：FFFF0H, FFFF1H, FFFF2H, FFFF3H　**リセット時：**0000H, 0000H　R/W

略号　FFFF3H　FFFF2H

MDAH	MDAH 15	MDAH 14	MDAH 13	MDAH 12	MDAH 11	MDAH 10	MDAH 9	MDAH 8	MDAH 7	MDAH 6	MDAH 5	MDAH 4	MDAH 3	MDAH 2	MDAH 1	MDAH 0

略号　FFFF1H　FFFF0H

MDAL	MDAL 15	MDAL 14	MDAL 13	MDAL 12	MDAL 11	MDAL 10	MDAL 9	MDAL 8	MDAL 7	MDAL 6	MDAL 5	MDAL 4	MDAL 3	MDAL 2	MDAL 1	MDAL 0

注意1. **除算演算処理中（乗除算コントロール・レジスタ（**MDUC**）が**81H, C1H**のとき）に，**MDAH, MDAL **レジスタの値を書き換えないでください。この場合でも演算は実施しますが，演算結果は不定値となります。**

2. **除算演算処理中（**MDUC**レジスタが**81H, C1H**のとき）に**MDAH, MDAL**レジスタの値を読み出した場合，その値は保証しません。**

3. **乗算モード（符号付），積和演算モード（符号付）の場合，データは**2**の補数形式になります。**

MDAH, MDAL**レジスタの演算実行時の機能を次に示します。**

表13－2　MDAH, MDAL**レジスタの演算実行時の機能**

演算モード	設定	演算結果
乗算モード（符号なし） 積和演算モード（符号なし）	MDAH：乗数（符号なし） MDAL：被乗数（符号なし）	－
乗算モード（符号付） 積和演算モード（符号付）	MDAH：乗数（符号付） MDAL：被乗数（符号付）	－
除算モード	MDAH：被除数（上位16ビット） MDAL：被除数（下位16ビット）	MDAH：除算結果（商）上位16ビット MDAL：除算結果（商） 下位16ビット

(2) 乗除算データ・レジスタB（MDBL, MDBH）

MDBH, MDBL**レジスタは，乗除算の演算に利用する値を設定し，演算結果を格納するレジスタです。乗算モードおよび積和演算モード時は演算結果（積）を格納し，除算モード時は除数データを設定します。**

MDBH, MDBL**レジスタは，**16**ビット操作命令で設定します。**

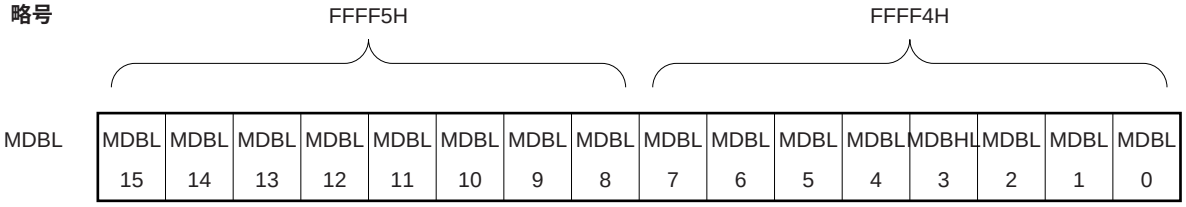
リセット信号の発生により，0000H**になります。**

図13－3　**乗除算データ・レジスタ**B（MDBH, MDBL）**のフォーマット**

アドレス：FFFF4H, FFFF5H, FFFF6H, FFFF7H　**リセット時：**0000H, 0000H　R/W

略号

略号



注意1. **除算演算処理中（乗除算コントロール・レジスタ（**MDUC**）が**81H, C1H**のとき）または積和演算処理中（**MDUC**レジスタが**41H, 49H**のとき）に，**MDBH, MDBL**レジスタの値をソフトウエアで書き換えないでください。演算結果は不定値となります。**

2. **除算モード時は，**MDBH, MDBL**レジスタに**0000H**を設定しないでください。設定した場合，演算結果が不定値となります。**

3. **乗算モード（符号付），積和演算モード（符号付）の場合，データは**2**の補数形式になります。**

MDBH, MDBL**レジスタの演算実行時の機能を次に示します。**

表13－3　MDBH, MDBL**レジスタの演算実行時の機能**

演算モード	設定	演算結果
乗算モード（符号なし） 積和演算モード（符号なし）	－	MDBH：乗算結果（積）（符号なし）上位16ビット MDBL：乗算結果（積）（符号なし）下位16ビット
乗算モード（符号付） 積和演算モード（符号付）	－	MDBH：乗算結果（積）（符号付）上位16ビット MDBL：乗算結果（積）（符号付）下位16ビット
除算モード	MDBH：除数（上位16ビット） MDBL：除数（下位16ビット）	－

(3) 乗除算データ・レジスタC（MDCL, MDCH）

MDCH, MDCLレジスタは，積和演算モード時は累計結果の値を格納し，除算モード時は演算結果の剰余の値が格納されるレジスタです。乗算モードでは使用しません。

MDCH, MDCLレジスタは，16ビット操作命令で設定します。

リセット信号の発生により，0000Hになります。

図13－4 乗除算データ・レジスタC（MDCH, MDCL）のフォーマット

アドレス：F00E0H, F00E1H, F00E2H, F00E3H リセット時：0000H, 0000H R/W

略号 F00E3H F00E2H

MDCH	MDCH 15	MDCH 14	MDCH 13	MDCH 12	MDCH 11	MDCH 10	MDCH 9	MDCH 8	MDCH 7	MDCH 6	MDCH 5	MDCH 4	MDCH 3	MDCH 2	MDCH 1	MDCH 0

略号 F00E1H F00E0H

MDCL	MDCL 15	MDCL 14	MDCL 13	MDCL 12	MDCL 11	MDCL 10	MDCL 9	MDCL 8	MDCL 7	MDCL 6	MDCL 5	MDCL 4	MDCL 3	MDCL 2	MDCL 1	MDCL 0

注意1. **除算演算処理中（乗除算コントロール・レジスタ（MDUC）が**81H, C1H**のとき）に，**MDCH, MDCL**レジスタの値を読み出した場合，その値は保証されません。**

2. **積和演算処理中（**MDUC**レジスタが**41H, 49H**のとき）に，**MDCH, MDCL**レジスタの値をソフトウエアで書き換えないでください。演算結果は不定値となります。**

3. **積和演算モード（符号付）の場合，データは**2**の補数形式になります。**

表13－4 MDCH, MDCLレジスタの演算実行時の機能

演算モード	設定	演算結果
乗算モード（符号付／符号なし）	－	－
積和演算モード（符号なし）	MDCH：累計初期値（符号なし）（上位16ビット） MDCL：累計初期値（符号なし）（下位16ビット）	MDCH：累計値（符号なし）（上位16ビット） MDCL：累計値（符号なし）（下位16ビット）
積和演算モード（符号付）	MDCH：累計初期値（符号付）（上位16ビット） MDCL：累計初期値（符号付）（下位16ビット）	MDCH：累計値（符号付）（上位16ビット） MDCL：累計値（符号付）（下位16ビット）
除算モード	－	MDCH：剰余（上位16ビット） MDCL：剰余（下位16ビット）

乗算時と除算時のレジスタ構成を次に示します。

・乗算時のレジスタ構成

＜乗数A＞　＜乗数B＞　＜積＞

MDAL（ビット15-0）×MDAH（ビット15-0）= ［MDBH（ビット15-0）, MDBL（ビット15-0）］

・積和演算時のレジスタ構成

＜乗数A＞　＜乗数B＞　＜累計値＞

MDAL（ビット15-0）×MDAH（ビット15-0）＋MDC（ビット31-0）=

＜累計結果＞

［MDCH（ビット15-0）, MDCL（ビット15-0）］

（MDBH（ビット15-0）, MDBL（ビット15-0）には乗算結果が格納されます。）

・除算時のレジスタ構成

＜被除数＞　＜除数＞

［MDAH（ビット15-0）, MDAL（ビット15-0）］÷［MDBH（ビット15-0）, MDBL（ビット15-0）］=

＜商＞　＜剰余＞

［MDAH（ビット15-0）, MDAL（ビット15-0）］…［MDCH（ビット15-0）,MDCL（ビット15-0）］

13. 3 乗除・積和演算器を制御するレジスタ

乗除・積和演算器は，乗除算コントロール・レジスタ（MDUC）で制御します。

(1) 乗除算コントロール・レジスタ0（MDUC）

MDUCレジスタは，乗除・積和演算器の動作を制御する8ビット・レジスタです。

MDUCレジスタは1ビット・メモリ命令または8ビット・メモリ命令で設定します。

リセット信号の発生により，00Hになります。

図13－5 乗除算コントロール・レジスタ（MDUC）のフォーマット

アドレス：F00E8H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
MDUC	DIVMODE	MACMODE	0	0	MDSM	MDCOF	MACSF	DIVST

DIVMODE	MACMODE	MDSM	演算モードの選択
0	0	0	乗算モード（符号なし）（デフォルト）
0	0	1	乗算モード（符号付）
0	1	0	積和演算モード（符号なし）
0	1	1	積和演算モード（符号付）
1	0	0	除算モード（符号なし），除算完了割り込み（INTMD発生）
1	1	0	除算モード（符号なし），除算完了割り込み（INTMDなし）

MACOF	積和演算結果（累計値）のオーバフロー・フラグ
0	オーバフローなし
1	オーバフローあり
[セット条件] ・積和演算モード（符号なし）の場合 累計値が00000000h-FFFFFFFFhを超える場合 ・積和演算モード（符号付）の場合 正の累計値に正の積を加算した結果が7FFFFFFFhを越え結果が負となる場合 負の累計値に負の積を加算した結果が80000000h を越え結果が正となる場合	

MACSF	積和演算結果（累計値）のサイン・フラグ
0	累計値が正
1	累計値が負
積和演算モード（符号なし）の場合：常に0 積和演算モード（符号付）の場合 ：累計値の符号ビットを表示	

DIVST[注]	除算演算動作の開始／停止
0	除算演算処理完了
1	除算演算開始／除算演算処理中

注 DIVSTビットは除算モード時にのみセット（1）可能です。除算モード時，DIVSTビットをセット（1）すると除算演算動作を開始します。演算終了後は自動的にDIVSTビットがクリア（0）されます。乗算モード時は，乗除算データ・レジスタA（MDAH, MDAL）に乗数，被乗数を設定することにより自動的に演算が開始されます。

注意1. **演算処理中（**DIVSTビットが1のとき）に，DIVMODE, MDSMビットを書き換えないでください。書き換えた場合，演算結果が不定値となります。

2. **除算演算処理中（**DIVSTビットが1のとき）にDIVSTビットをソフトウエアでクリア（0）することはできません。

13. 4　乗除・積和演算器の動作

13. 4. 1　乗算（符号なし）動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）を00Hにする。

② 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

③ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（②，③のセットの順はどちらが先でも問題ありません。MDAH，MDALレジスタに乗数，被乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

④ 1クロック以上ウエイトします。演算は1クロックで終了します。

・演算終了

⑤ 乗除算データ・レジスタB（L）（MDBL）から積（下位16ビット）を読み出します。

⑥ 乗除算データ・レジスタB（H）（MDBH）から積（上位16ビット）を読み出します。

（⑤，⑥の読み出しの順はどちらが先でも問題ありません。）

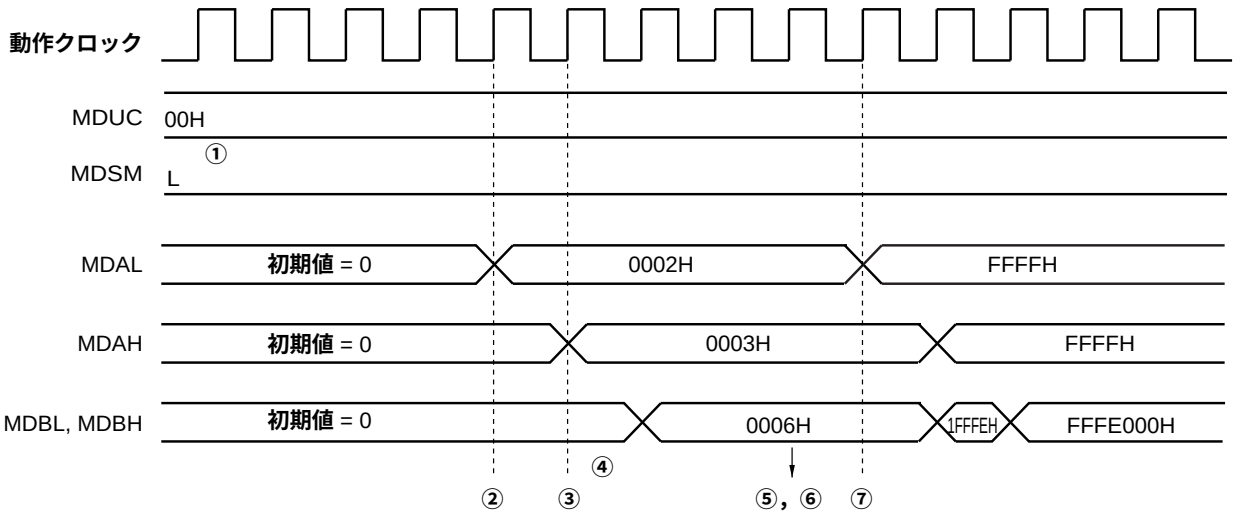
・次回演算

⑦ 次に乗算（符号なし）を行う場合は，乗算（符号なし）動作の「初期設定」から行ってください。

⑧ 次に乗算（符号付），積和演算（符号付／符号なし），除算を行う場合は，各動作手順の初期設定から行ってください。

備考　手順の①～⑦は，図13－6の①～⑦に対応しています。

図13－6　乗算（符号なし）動作のタイミング図（2×3 = 6）



13. 4. 2　乗算（符号付）動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）を08Hにする。

② 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

③ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（②，③のセットの順はどちらが先でも問題ありません。MDAH，MDALレジスタに乗数，被乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

④ 1クロック以上ウエイトします。演算は1クロックで終了します。

・演算終了

⑤ 乗除算データ・レジスタB（L）（MDBL）から積（下位16ビット）を読み出します。

⑥ 乗除算データ・レジスタB（H）（MDBH）から積（上位16ビット）を読み出します。

（⑤，⑥の読み出しの順はどちらが先でも問題ありません。）

・次回演算

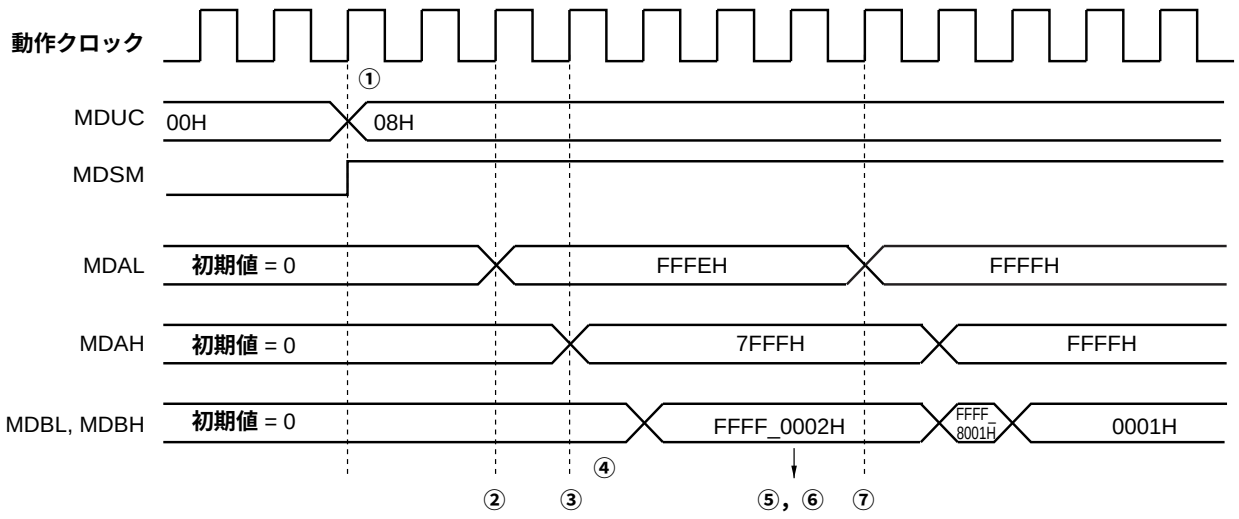
⑦ 次に乗算（符号付）を行う場合は，乗算（符号付）動作の「初期設定」から行ってください。

⑧ 次に乗算（符号なし），積和演算（符号付／符号なし），除算を行う場合は，各動作手順の初期設定から行ってください。

注意　乗算モード（符号付）の場合，データは2の補数形式になります。

備考　手順の①～⑦は，図13－7の①～⑦に対応しています。

図13－7　乗算（符号付）動作のタイミング図（－2×32767 = －65534）



13. 4. 3　積和演算（符号なし）動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）を40Hにする。

② 乗除算データ・レジスタC（H）（MDCH）に累計初期値の上位16ビットをセット

③ 乗除算データ・レジスタC（L）（MDCL）に累計初期値の下位16ビットをセット

④ 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

⑤ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（②，③または，④，⑤のセットの順はどちらが先でも問題ありません。MDAH, MDALレジスタに乗数，被乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

⑥ 乗算演算が1クロックで終了します。

（乗除算データ・レジスタB（L）（MDBL），乗除算データ・レジスタB（H）（MDBH）に乗算結果が格納されます。）

⑦ ⑥からさらに1クロックで，積和演算が終了します（初期設定完了（⑤）からは，2クロック以上ウエイト）。

・演算終了

⑧ 乗除算データ・レジスタC（L）（MDCL）から累計値（下位16ビット）を読み出します。

⑨ 乗除算データ・レジスタC（H）（MDCH）から累計値（上位16ビット）を読み出します。

（⑧，⑨の読み出しの順はどちらが先でも問題ありません。）

（⑩ 積和演算結果がオーバフローしている場合は，MACOFビットが1にセットされ，MDCH, MDCLレジスタに0000Hが格納されます。）

・次回演算

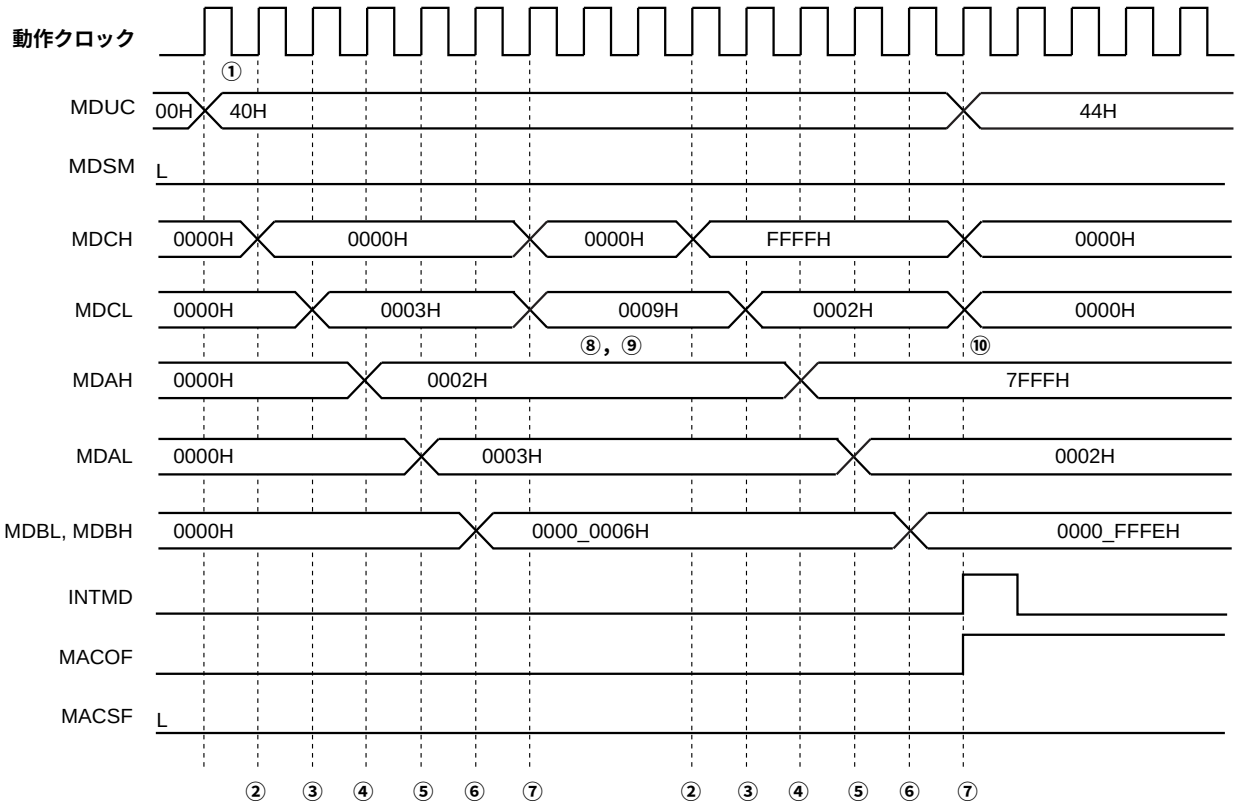
⑪ 次に積和演算（符号なし）を行う場合は，積和演算（符号なし）動作の「初期設定」から行ってください。

⑫ 次に乗算（符号付／符号なし），積和演算（符号付），除算を行う場合は，各動作手順の初期設定から行ってください。

備考　手順の①～⑩は，図13－8の①～⑩に対応しています。

図13－8　積和演算（符号なし）動作のタイミング図

（2×3＋3 = 9 → 32767×2＋429401762 = 0（オーバフロー発生））



13. 4. 4　積和演算（符号付）動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）を48Hにする。

② 乗除算データ・レジスタC（H）（MDCH）に累計初期値の上位16ビットをセット

（③ MDCHレジスタの累計値が負の値の場合は，MACSFビットが1にセットされます。）

④ 乗除算データ・レジスタC（L）（MDCL）に累計初期値の下位16ビットをセット

⑤ 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

⑥ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（②，④または，⑤，⑥のセットの順はどちらが先でも問題ありません。MDAH，MDALレジスタに乗数，被乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

⑦　乗算演算が1クロックで終了します。

（乗除算データ・レジスタB（L）（MDBL），乗除算データ・レジスタB（H）（MDBH）に乗算結果が格納されます。）

⑧ ⑦からさらに1クロックで，積和演算が終了します（初期設定完了（⑥）からは，2クロック以上ウエイト）。

・演算終了

⑨ MDCL, MDCHレジスタに格納された累計値が正の値の場合は，MACSFビットが0にクリアされます。

⑩ MDCLレジスタから累計値（下位16ビット）を読み出します。

⑪ MDCHレジスタから累計値（上位16ビット）を読み出します。

（⑩，⑪の読み出しの順はどちらが先でも問題ありません。）

・次回演算

⑫ 次に積和演算（符号付）を行う場合は，積和演算（符号付）動作の「初期設定」から行ってください。

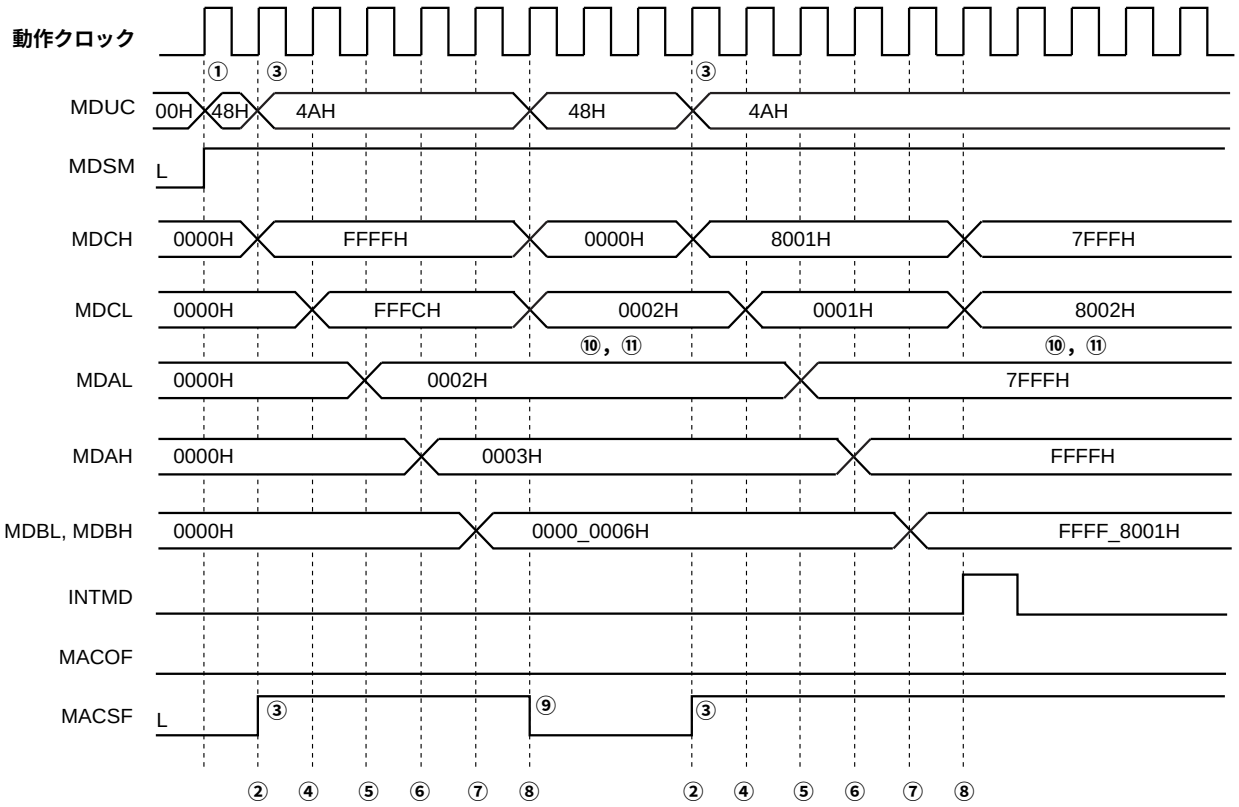
⑬ 次に乗算（符号付／符号なし），積和演算（符号なし），除算を行う場合は，各動作手順の初期設定から行ってください。

注意　積和演算モード（符号付）の場合，データは2の補数形式になります。

備考　手順の①～⑪は，図13－9の①～⑪に対応しています。

図13－9　積和演算（符号なし）動作のタイミング図

（2×3＋（－4） = 2 → 32767**×（－1）＋（－**2147483647**）** = **－**2147450882**）**



13. 4. 5　除算動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）に80Hをセットする。

② 乗除算データ・レジスタA（H）（MDAH）に被除数（上位16ビット）をセット

③ 乗除算データ・レジスタA（L）（MDAL）に被除数（下位16ビット）をセット

④ 乗除算データ・レジスタB（H）（MDBH）に除数（上位16ビット）をセット

⑤ 乗除算データ・レジスタB（L）（MDBL）に除数（下位16ビット）をセット

⑥ MDUCレジスタのビット0（DIVST）に1をセット

（②～⑤の順はどれからセットしても問題ありません。）

・演算処理中

⑦ 次のいずれかの処理が完了すれば演算が終了します。

・16クロック以上ウエイト（16クロックで演算は終了します。）

・DIVSTビットがクリアされたことを確認

・除算完了割り込み（INTMD）発生

（演算処理中のMDBL, MDBH, MDCL, MDCHレジスタのリード値は保証しません。）

・演算終了

⑧ DIVSTビットがクリア（0）され，割り込み要求信号（INTMD）が発生します（演算終了）。

⑨ MDALレジスタから商（下位16ビット）を読み出します。

⑩ MDAHジスタから商（上位16ビット）を読み出します。

⑪ 乗除算データ・レジスタC（L）（MDCL）から剰余（下位16ビット）を読み出します。

⑫ 乗除算データ・レジスタC（H）（MDCH）から剰余（上位16ビット）を読み出します。

（⑨～⑫の順はどれから読み出しても問題ありません。）

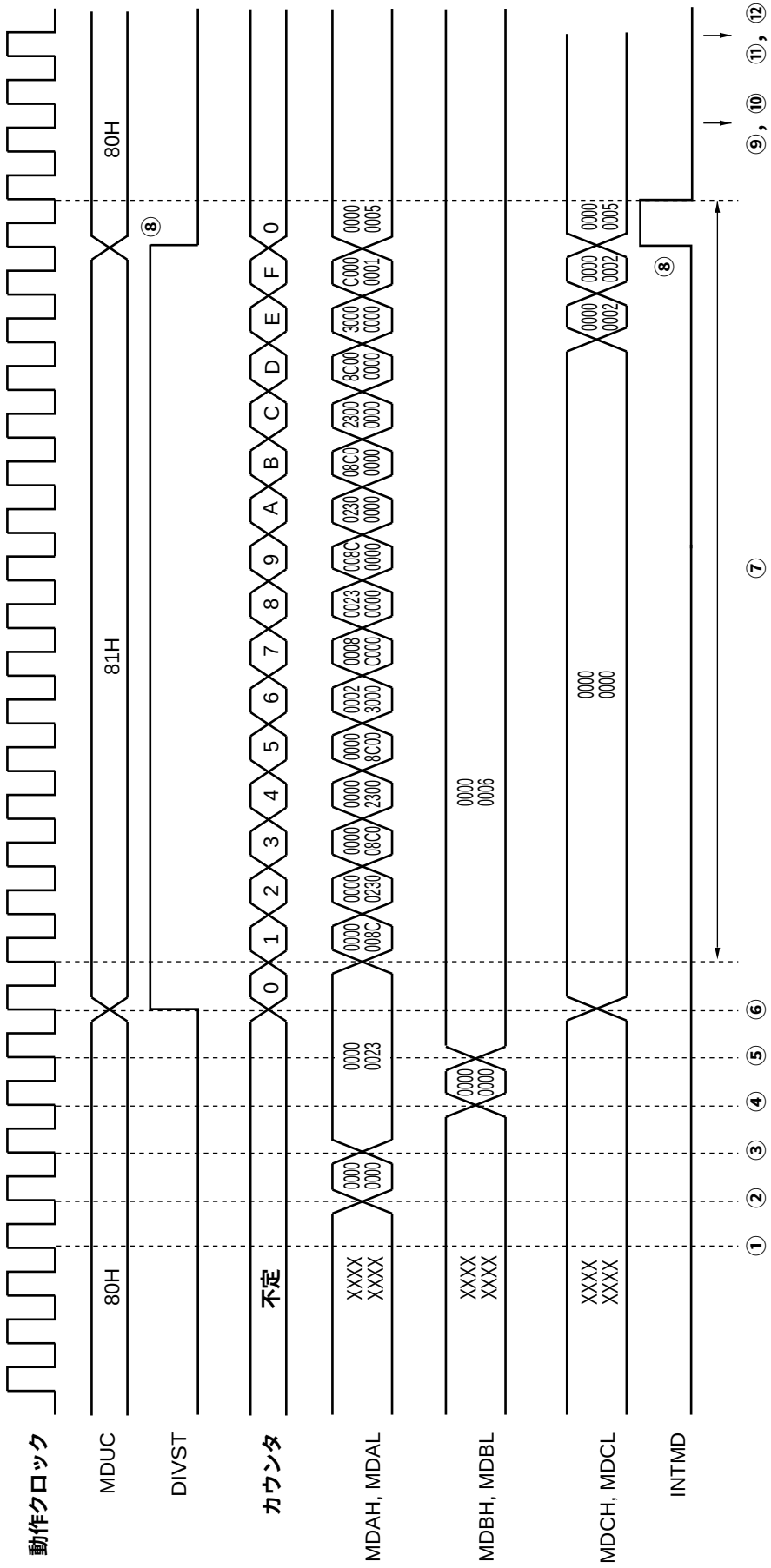
・次回演算

⑬ 次に除算を行う場合は，除算動作の「初期設定」から行ってください。

⑭ 次に乗算（符号付／符号なし），積和演算（符号付／符号なし）を行う場合は，各動作手順の初期設定から行ってください。

備考　手順の①～⑫は，図13－10の①～⑫に対応しています。

図13－10 除算動作のタイミング図（例：35÷6 = 5 余5）



第14章　DMAコントローラ

RL78/G12のデータ・フラッシュ搭載品には，DMA（Direct Memory Access）コントローラを内蔵しています。

DMAに対応している周辺ハードウエアのSFRと内蔵RAMの間は，CPUを介さずに自動でデータのやり取りをすることができます。

これにより，SFR⇔内蔵RAM間の転送を，通常のCPU内部の演算やデータ転送をしながら行えるため，大容量データの処理も可能になります。また，通信やタイマ，A/Dを駆使したリアルタイム制御も実現できます。

14. 1　DMAコントローラの機能

○DMAチャネル数：2チャネル（データ・フラッシュ搭載品のみ）
○転送単位：8ビット／16ビット
○最大転送単位：1024回
○転送タイプ：2サイクル転送（1回の転送を2クロックで処理し，その間はCPU動作が停止します）
○転送モード：シングル転送モード
○転送要求：以下の周辺ハードウエア割り込みから選択
- A/Dコンバータ
★ - シリアル・インタフェース（CSI00, CSI01, CSI11, CSI20, UART0-UART2）
- タイマ（チャネル0, 1, 2, 3）

○転送対象：SFR⇔内蔵RAM

DMAを使った機能例は，次のようなものが考えられます。
- シリアル・インタフェースの連続転送
- アナログ・データをまとめて転送
- 一定時間ごとにA/Dの変換結果を取り込む
- 一定時間ごとにポートの値を取りこむ

14. 2 DMAコントローラの構成

DMAコントローラは，次のハードウエアで構成されています。

表14－1 DMAコントローラの構成

項 目	構 成
アドレス・レジスタ	・DMA SFRアドレス・レジスタ0, 1（DSA0, DSA1） ・DMA RAMアドレス・レジスタ0, 1（DRA0, DRA1）
カウント・レジスタ	・DMAバイト・カウント・レジスタ0, 1（DBC0, DBC1）
制御レジスタ	・DMAモード・コントロール・レジスタ0, 1（DMC0, DMC1） ・DMA動作コントロール・レジスタ0, 1（DRC0, DRC1）

（1）DMA SFRアドレス・レジスタn（DSAn）

DMAチャネルnの転送元／転送先となるSFRアドレスを設定する8ビット・レジスタです。

SFRアドレスFFF00H- FFFFFHの下位8ビットを設定してください。

このレジスタは自動的にインクリメント動作せず，固定値となります。

16ビット転送モード時には，最下位ビットは無視され，偶数番地として扱われます。

DSAnレジスタは8ビット単位でリード／ライト可能です。ただし，DMA転送中には書き込みができません。

リセット信号の発生により，00Hになります。

図14－1 DMA SFRアドレス・レジスタn（DSAn）のフォーマット

アドレス：FFFB0H（DSA0）, FFFB1H（DSA1） リセット時：00H R/W

	7	6	5	4	3	2	1	0
DSAn								

備考 n：DMAチャネル番号（n = 0, 1）

（2）DMA RAMアドレス・レジスタn（DRAn）

DMAチャネルnの転送先／転送元となるRAMアドレスを設定する16ビット・レジスタです。

汎用レジスタ以外の内蔵RAM領域では，FFB00H-FFEDFH）のアドレスが設定可能です。

RAMアドレスの下位16ビットを設定してください。

このレジスタはDMA転送が始まると，自動的にインクリメントされます。8ビット転送モード時には＋1され，16ビット転送モード時には＋2されます。DMA転送はこのDRAnレジスタの設定アドレスから開始し，最終アドレスまで転送し終わると，DRAnレジスタは8ビット転送モード時には最終アドレス＋1，16ビット転送モード時には最終アドレス＋2になって停止します。

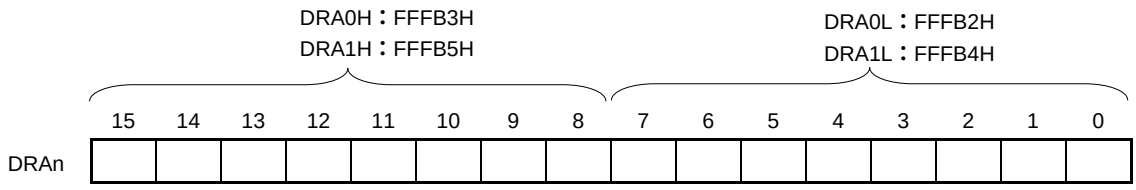
16ビット転送モード時には，最下位ビットは無視され，偶数番地として扱われます。

DRAnレジスタは8/16ビット単位でリード／ライト可能です。ただし，DMA転送中には書き込みができません。

リセット信号の発生により，0000Hになります。

図14－2 DMA RAMアドレス・レジスタn（DRAn）のフォーマット

アドレス：FFFB2H, FFFB3H（DRA0）, FFFB4H, FFFB5H（DRA1） リセット時：0000H R/W



備考 n：DMAチャネル番号（n = 0, 1）

(3) DMAバイト・カウント・レジスタn（DBCn）

DMAチャネルnの転送回数を設定する10ビット・レジスタです。必ずDMA転送前にこのDBCnレジスタに連続転送回数を設定してください（最大1024回）。

DMA転送が1回実行されるたびに，自動的にデクリメントされます。DMA転送中にこのDBCnレジスタを読み出すことで，残りの連続転送回数を知ることができます。

DBCnレジスタは8/16ビット単位でリード／ライト可能です。ただし，DMA転送中には書き込みができません。

リセット信号の発生により，0000Hになります。

図14－3　DMA バイト・カウント・レジスタn（DBCn）のフォーマット

アドレス：FFFB6H, FFFB7H（DBC0）, FFFB8H, FFFB9H（DBC1）　**リセット時：**0000H　R/W

DBC0H：FFFB7H
DBC1H：FFFB9H

DBC0L：FFFB6H
DBC1L：FFFB8H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBCn	0	0	0	0	0	0										

DBCn[9:0]	転送回数設定（DBCnライト時）	残りの転送回数（DBCnリード時）
000H	1024回	転送完了または1024回のDMA転送待ち
001H	1回	残り1回のDMA転送待ち
002H	2回	残り2回のDMA転送待ち
003H	3回	残り3回のDMA転送待ち
・ ・ ・	・ ・ ・	・ ・ ・
3FEH	1022回	残り1022回のDMA転送待ち
3FFH	1023回	残り1023回のDMA転送待ち

注意1. ビット15-10は，必ず0を設定してください。

2. 連続転送の結果，汎用レジスタを指定した場合や内蔵RAM空間を越えてしまった場合は，汎用レジスタやSFR空間へ書き込み／読み出しを行って，データを壊してしまいます。必ず内蔵RAM空間内に収まる転送回数を設定してください。

備考　n：DMAチャネル番号（n = 0, 1）

14. 3　DMAコントローラを制御するレジスタ

DMAコントローラを制御するレジスタを次に示します。

- DMAモード・コントロール・レジスタn（DMCn）
- DMA動作コントロール・レジスタn（DRCn）

備考　n：DMAチャネル番号（n = 0, 1）

(1) DMAモード・コントロール・レジスタn（DMCn）

DMCnレジスタは，DMAチャネルnの転送モード設定レジスタです。転送方向，データ・サイズ，保留設定，起動要因の選択を行います。ビット7（STGn）はDMA起動のソフトウエア・トリガとなります。

DMCnレジスタのビット6, 5, 3-0は，動作中（DSTn = 1のとき）の書き換えは禁止です。

DMCnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図14－4 DMAモード・コントロール・レジスタn（DMCn）のフォーマット（1/2）

アドレス：FFFBAH（DMC0）, FFFBBH（DMC1） リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DMCn	STGn	DRSn	DSn	DWAITn	IFCn3	IFCn2	IFCn1	IFCn0

STGn[注1]	DMA転送開始ソフトウエア・トリガ
0	ソフトウエア・トリガ動作しない
1	DMA動作許可（DENn = 1）時に，DMA転送を開始する
DMA動作許可（DENn = 1）時に，STGnビットに1を書き込むことでDMA転送を1回します。 このビットの読み出し値は常に0となります。	

DRSn	DMA転送方向の選択
0	SFR → 内蔵RAM
1	内蔵RAM → SFR

DSn	DMA転送での転送データ・サイズの指定
0	8ビット
1	16ビット

DWAITn[注2]	DMA転送の保留
0	DMA起動要求によりDMA転送を行う（保留しない）
1	DMA起動要求が来ても保留する
DWAITnビットの値を1→0にすることで，保留されているDMA転送を開始することができます。 また，DWAITnビットの値を0→1に設定してから，実際に転送が保留されるまでは2クロック必要となります。	

注1. ソフトウエア・トリガ（STGn）は，IFCn3-IFCn0ビットの値に関係なく使用できます。

2. DMAを2チャネル以上使用中でDMA転送を保留する場合は，必ず全てのチャネルのDMAを保留にしてください（DWAIT0 = DWAIT1 = DWAIT2 = DWAIT3 = 1）。

備考 n：DMAチャネル番号（n = 0, 1）

図14－4 DMAモード・コントロール・レジスタn（DMCn）のフォーマット（2/2）

アドレス：FFFBAH（DMC0）, FFFBBH（DMC1） **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
DMCn	STGn	DRSn	DSn	DWAITn	IFCn3	IFCn2	IFCn1	IFCn0

IFCn3	IFCn2	IFCn1	IFCn0	DMA起動要因の選択[注]	
				トリガ信号	トリガ内容
0	0	0	0	－	割り込みによるDMA転送禁止（ソフトウエア・トリガのみ可）
0	0	0	1	INTAD	A/D変換終了割り込み
0	0	1	0	INTTM00	タイマ・チャネル0のカウント完了またはキャプチャ割り込み
0	0	1	1	INTTM01	タイマ・チャネル1のカウント完了またはキャプチャ割り込み
0	1	0	0	INTTM02	タイマ・チャネル2のカウント完了またはキャプチャ割り込み
0	1	0	1	INTTM03	タイマ・チャネル3のカウント完了またはキャプチャ割り込み
0	1	1	0	INTST0/INTCSI00	UART0送信の転送完了，バッファ空き割り込み／CSI00の転送完了，バッファ空き割り込み
0	1	1	1	INTSR0/INTCSI01	UART0受信の転送完了割り込み／CSI01の転送完了，バッファ空き割り込み
上記以外				設定禁止	

注 ソフトウエア・トリガ（STGn）は，IFCn3-IFCn0**ビットの値に関係なく使用できます。**

備考 n：DMAチャネル番号（n = 0, 1）

(2) DMA動作コントロール・レジスタn（DRCn）

DRCnレジスタは，DMAチャネルnの転送許可／禁止を設定するレジスタです。

DRCnレジスタのビット7（DENn）は，動作中（DSTn = 1のとき）の書き換えは禁止です。

DRCnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図14－5　DMA動作コントロール・レジスタn（DRCn）のフォーマット

アドレス：FFFBCH（DRC0）, FFFBDH（DRC1）　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
DRCn	DENn	0	0	0	0	0	0	DSTn

DENn	DMA動作許可フラグ
0	DMAチャネルnの動作禁止（DMAの動作クロック停止）
1	DMAチャネルnの動作許可
DMA動作許可（DENn = 1）にしてから，DSTn = 1にすることでDMAトリガ待ち状態になります。	

DSTn	DMA転送モード・フラグ
0	DMAチャネルnのDMA転送終了
1	DMAチャネルnのDMA転送未終了（転送中）
DMA動作許可（DENn = 1）にしてから，DSTn = 1にすることでDMAトリガ待ち状態になります。 そしてソフトウエア・トリガ（STGn）またはIFCn3-IFCn0ビットで設定した起動要因トリガが入力されると，DMA転送を開始します。 その後，DMA転送が終了すると自動的に0にクリアされます。 DMA転送中に強制終了したい場合は，0を書き込みます。	

注意　DSTnフラグはDMA転送が終了すると自動的に0にクリアされます。
DENnフラグはDSTn = 0のときのみ書き込み許可となるため，DMAnの割り込み（INTDMAn）発生を待たずに終了する場合は，DSTn = 0に設定してからDENn = 0としてください。

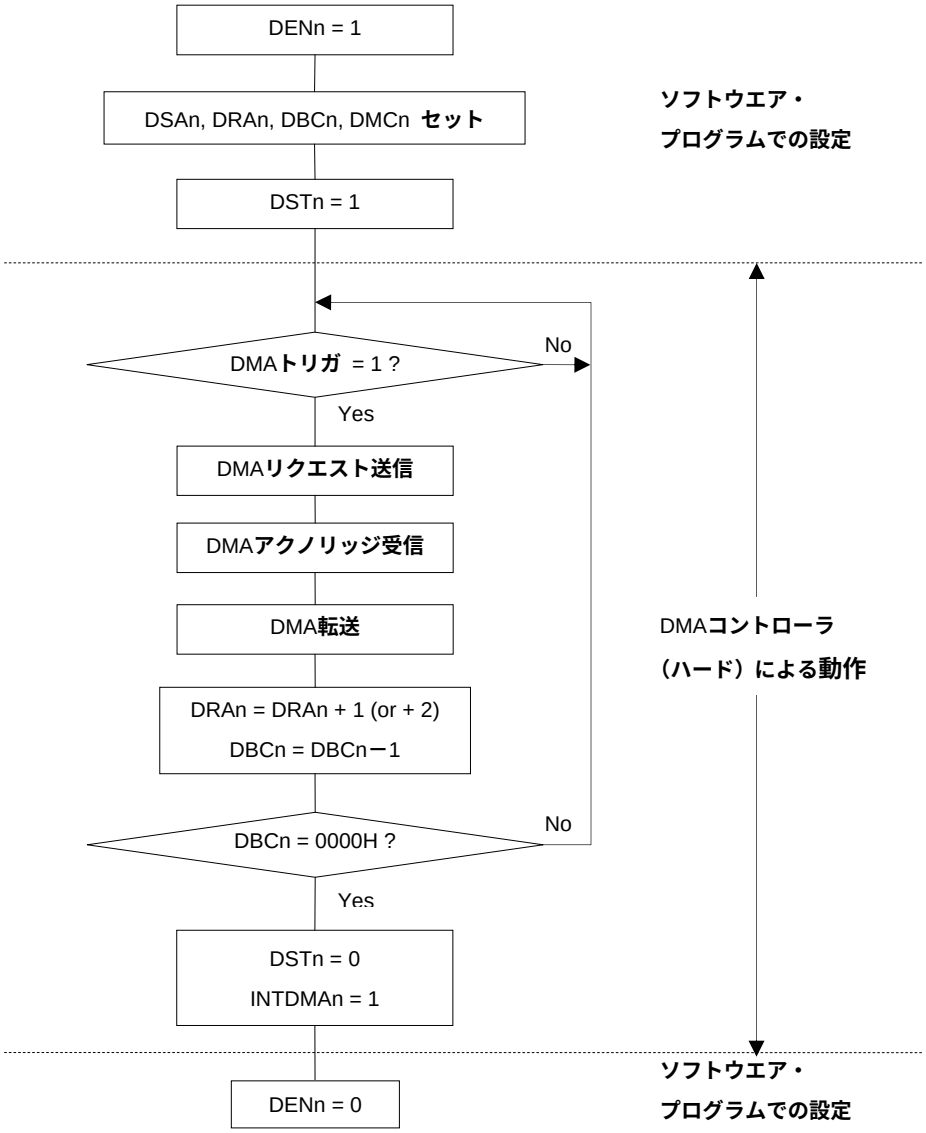
備考　n：DMAチャネル番号（n = 0, 1）

14. 4 DMAコントローラの動作

14. 4. 1 動作手順

① DENn = 1により，DMAコントローラの動作許可状態となります。他のレジスタへの書き込みは必ずDENn = 1としたあとに行ってください。8ビット操作命令で書き込む場合は，80Hを書き込みます。
② DMA SFRアドレス・レジスタn（DSAn），DMA RAMアドレス・レジスタn（DRAn），DMAバイト・カウント・レジスタn（DBCn），DMAモード・コントロール・レジスタn（DMCn）にDMA転送のSFRアドレス，RAMアドレス，転送回数，転送モードを設定します。
③ DSTn = 1とすることでDMAトリガ待ち状態になります。8ビット操作命令で書き込む場合は，81Hを書き込みます。
④ ソフトウエア・トリガ（STGn）またはIFCn3-IFCn0ビットで設定した起動要因トリガが入力されると，DMA転送を開始します。
⑤ DBCnレジスタで設定した転送回数が0になると転送が完了し，割り込み（INTDMAn）の発生により自動的に転送が終了します。
⑥ その後DMAコントローラを使用しない場合はDENn = 0として動作停止状態としてください。

図14－6 動作手順



備考 n：DMAチャネル番号（n = 0, 1）

14. 4. 2 転送モード

DMA転送には，DMAモード・コントロール・レジスタn（DMCn）のビット6, 5（DRSn, DSn）の設定により，次の4つの転送モードを選択できます。

DRSn	DSn	DMA転送モード
0	0	1バイト・データのSFR（アドレス固定）からRAM（アドレスは＋1のインクリメント）への転送
0	1	2バイト・データのSFR（アドレス固定）からRAM（アドレスは＋2のインクリメント）への転送
1	0	1バイト・データのRAM（アドレスは＋1のインクリメント）からSFR（アドレス固定）への転送
1	1	2バイト・データのRAM（アドレスは＋2のインクリメント）からSFR（アドレス固定）への転送

この転送モードを使用することによって，シリアル・インタフェースを使った最大1024バイトの連続データ転送，A/D変換結果の連続データ転送，タイマを使用した一定時間ごとのポート・データのスキャンなどができます。

14. 4. 3 DMA転送の終了

DBCn = 00Hとなり DMA転送が完了すると，自動的にDSTnビットがクリア（0）されます。そして割り込み要求（INTDMAn）の発生により転送が終了します。

強制終了するためにDSTnビットをクリア（0）すると，DMAバイト・カウント・レジスタn（DBCn）と DMA RAMアドレス・レジスタn（DRAn）は停止したときの値を保持します。

また，強制終了した場合は割り込み要求（INTDMAn）は発生しません。

備考 n：DMAチャネル番号（n = 0, 1）

第15章　割り込み機能

割り込み要因数は，製品によって異なります。

★

		20, 24ピン製品		30ピン製品	
		データ・フラッシュ搭載品	データ・フラッシュ非搭載品	データ・フラッシュ搭載品	データ・フラッシュ非搭載品
マスカブル割り込み	外部	5		6	
	内部	17	15	27	18

15. 1　割り込み機能の種類

割り込み機能には，次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR10L, PR10H, PR11L）の設定により，割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは，低い優先順位の割り込みに対して，多重割り込みをすることができます。また，同一優先順位を持つ複数の割り込み要求が同時に発生しているときは，ベクタ割り込み処理の優先順位（プライオリティ）にしたがって処理されます。優先順位（プライオリティ）については表15－1を参照してください。

スタンバイ・リリース信号を発生し，STOPモード，HALTモード，SNOOZEモードを解除します。

マスカブル割り込みには，外部割り込み要求と内部割り込み要求があります。

(2) ソフトウエア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また，割り込み優先順位制御の対象になりません。

15. 2　割り込み要因と構成

割り込み要因には，マスカブル割り込み，ソフトウエア割り込みがあります。また，それ以外にリセット要因が最大で合計5要因あります（表15－1, 15－2参照）。リセット，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは，各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表15－1 割り込み要因一覧（20, 24ピン製品）（1/2）

割り込みの処理	デフォルト・プライオリティ[注1]	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ[注2]	データ・フラッシュ搭載品	データ・フラッシュ非搭載品
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル[注3]（オーバフロー時間の75%）	内部	0004H	(A)	○	○
	1	INTLVI	電圧検出[注4]		0006H		○	○
	2	INTP0	端子入力エッジ検出	外部	0008H	(B)	○	○
	3	INTP1			000AH		○	○
	4	INTP2			000CH		○	○
	5	INTP3			000EH		○	○
	6	INTDMA0	DMA0の転送完了	内部	0010H	(A)	○	－
	7	INTDMA1	DMA1の転送完了		0012H		○	－
	8	INTST0/ INTCSI00/ INTIIC00	UART0送信の転送完了，バッファ空き割り込み／CSI00の転送完了，バッファ空き割り込み／IIC00の転送完了		0014H		○	○ ○ －
	9	INTSR0 /INTCSI01 /INTIIC01	UART0受信の転送完了／CSI01の転送完了，バッファ空き割り込み／IIC01の転送完了		0016H		○	○ － －
	10	INTSRE0	UART0受信の通信エラー発生		0018H		○	○
	11	INTTM01H	タイマ・チャネル01のカウント完了またはキャプチャ完了（8ビット・タイマ動作時）		001AH		○	○
	12	INTTM03H	タイマ・チャネル03のカウント完了またはキャプチャ完了（8ビット・タイマ動作時）		001CH		○	○
	13	INTIICA0	IICA0通信完了		001EH		○	○
	14	INTTM00	タイマ・チャネル00のカウント完了またはキャプチャ完了		0020H		○	○
	15	INTTM01	タイマ・チャネル1のカウント完了またはキャプチャ完了		0022H		○	○
	16	INTTM02	タイマ・チャネル2のカウント完了またはキャプチャ完了		0024H		○	○
	17	INTTM03	タイマ・チャネル3のカウント完了またはキャプチャ完了		0026H		○	○
	18	INTAD	A/D変換終了		0028H		○	○
	19	INTIT	インターバル信号検出		002AH		○	○
	20	INTKR	キー・リターン信号検出	外部	002CH	(C)	○	○
	21	INTMD	除算演算終了	内部	002EH	(A)	○	○

注 1. デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，21が最低順位です。

2. 基本構成タイプの（A）-（D）は，それぞれ図15－1の（A）-（D）に対応しています。

3. オプション・バイト（000C0H）のビット7（WDTINT）= 1選択時。

4. 電圧検出レベル・レジスタ（LVIS）のビット7（LVIMD）= 0選択時。

表15－1 割り込み要因一覧（20, 24ピン製品）（2/2）

割り込みの処理	デフォルト・プライオリティ[注1]	割り込み要因		内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ[注2]	データ・フラッシュ搭載品	データ・フラッシュ非搭載品
		名称	トリガ					
ソフトウエア	－	BRK	BRK命令の実行	－	007EH	(D)	○	○
リセット	－	RESET	$\overline{\text{RESET}}$端子入力	－	0000H	－	○	○
		POR	パワーオン・リセット				○	○
		LVD	電圧検出[注3]				○	○
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○
		TRAP	不正命令の実行[注4]				○	○
		IAW	不正メモリ・アクセス				○	○
		RAMTOP	RAMパリティ・エラー				○	○

注 1. デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，21が最低順位です。

2. 基本構成タイプの（A）-（D）は，それぞれ図15－1の（A）-（D）に対応しています。

3. 電圧検出レベル・レジスタ（LVIS）のビット7（LVIMD）= 0選択時。

4. FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

★ **表15－2 割り込み要因一覧（30ピン製品）（1/2）**

割り込みの処理	デフォルト・プライオリティ[注1]	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ[注2]	データ・フラッシュ搭載品	データ・フラッシュ非搭載品
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル[注3]（オーバフロー時間の75%）	内部	0004H	(A)	○	○
	1	INTLVI	電圧検出[注4]		0006H		○	○
	2	INTP0	端子入力エッジ検出	外部	0008H	(B)	○	○
	3	INTP1			000AH		○	○
	4	INTP2			000CH		○	○
	5	INTP3			000EH		○	○
	6	INTP4			0010H		○	○
	7	INTP5			0012H		○	○
	8	INTST2 /INTCSI20 /INTIIC20	UART2送信の転送完了，バッファ空き割り込み／CSI20の転送完了，バッファ空き割り込み／IIC20の転送完了	内部	0014H	(A)	○	－
							○	－
							○	－
	9	INTSR2	UART2受信の転送完了		0016H		○	－
	10	INTSRE2	UART2受信の通信エラー発生		0018H		○	－
	11	INTDMA0	DMA0の転送完了		001AH		○	－
	12	INTDMA1	DMA1の転送完了		001CH		○	－
	13	INTST0/ INTCSI00/ INTIIC00	UART0送信の転送完了，バッファ空き割り込み／CSI00の転送完了，バッファ空き割り込み／IIC00の転送完了		001EH		○	○
								○
								－
	14	INTSR0	UART0受信の転送完了		0020H		○	○
	15	INTSRE0	UART0受信の通信エラー発生		0022H		○	○
		INTTM01H	タイマ・チャネル01のカウント完了またはキャプチャ完了（8ビット・タイマ動作時）				○	○
	16	INTST1	UART1送信の転送完了		0024H		○	－
	17	INTSR1 /INTCSI11 /INTIIC11	UART1受信の転送完了／CSI11の転送完了，バッファ空き割り込み／IIC11の転送完了		0026H		○	－
	18	INTSRE1	UART1受信の通信エラー発生		0028H		○	－
		INTTM03H	タイマ・チャネル03のカウント完了またはキャプチャ完了（8ビット・タイマ動作時）				○	○
	19	INTIICA0	IICA0通信完了		002AH		○	○

注 1. デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，21が最低順位です。

2. 基本構成タイプの（A）-（D）は，それぞれ図15－1の（A）-（D）に対応しています。

3. オプション・バイト（000C0H）のビット7（WDTINT）= 1選択時。

4. 電圧検出レベル・レジスタ（LVIS）のビット7（LVIMD）= 0選択時。

表15－2 割り込み要因一覧（30ピン製品）（2/2）

割り込みの処理	デフォルト・プライオリティ[注1]	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ[注2]	データ・フラッシュ搭載品	データ・フラッシュ非搭載品
マスカブル	20	INTTM00	タイマ・チャネル00のカウント完了またはキャプチャ完了	内部	002CH	(A)	○	○
	21	INTTM01	タイマ・チャネル1のカウント完了またはキャプチャ完了		002EH		○	○
	22	INTTM02	タイマ・チャネル2のカウント完了またはキャプチャ完了		0030H		○	○
	23	INTTM03	タイマ・チャネル3のカウント完了またはキャプチャ完了		0032H		○	○
	24	INTAD	A/D変換終了		0034H		○	○
	25	INTIT	インターバル信号検出		0038H		○	○
	26	INTTM04	タイマ・チャネル4のカウント完了またはキャプチャ完了		0042H		○	○
	27	INTTM05	タイマ・チャネル5のカウント完了またはキャプチャ完了		0044H		○	○
	28	INTTM06	タイマ・チャネル6のカウント完了またはキャプチャ完了		0046H		○	○
	29	INTTM07	タイマ・チャネル7のカウント完了またはキャプチャ完了		0048H		○	○
	30	INTMD	除算演算終了		005EH		○	○
ソフトウエア	－	BRK	BRK命令の実行	－	007EH	(D)	○	○
リセット	－	RESET	$\overline{\text{RESET}}$端子入力	－	0000H	－	○	○
		POR	パワーオン・リセット				○	○
		LVD	電圧検出[注3]				○	○
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○
		TRAP	不正命令の実行[注4]				○	○
		IAW	不正メモリ・アクセス				○	○
		RAMTOP	RAMパリティ・エラー				○	○

注 1. デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，21が最低順位です。

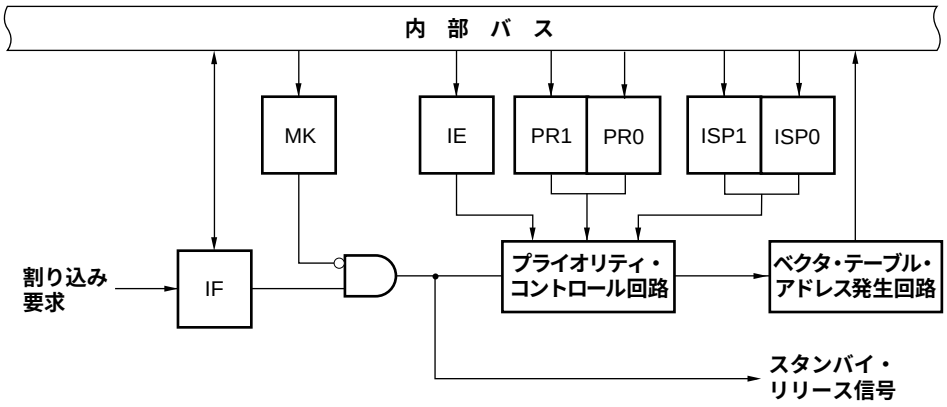
2. 基本構成タイプの（A）-（D）は，それぞれ図15－1の（A）-（D）に対応しています。

3. 電圧検出レベル・レジスタ（LVIS）のビット7（LVIMD）= 0選択時。

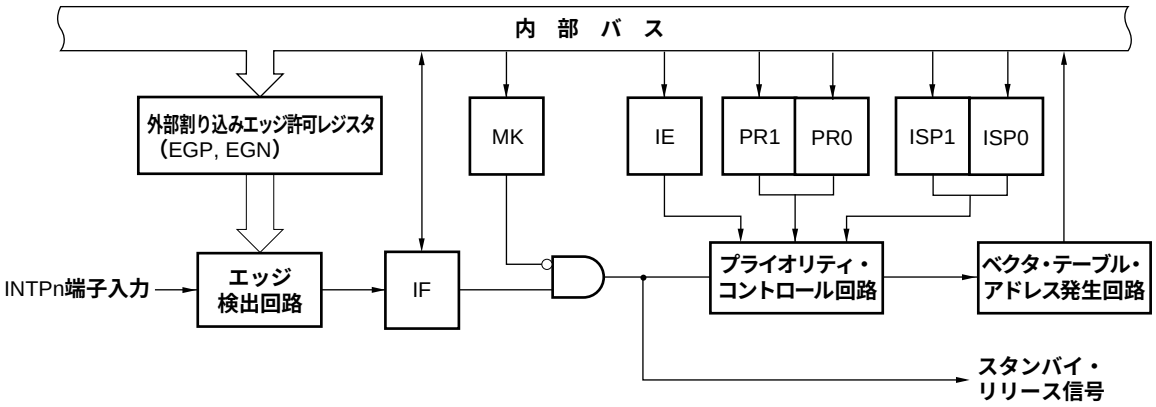
4. FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図15ー1　割り込み機能の基本構成

（A）内部マスカブル割り込み



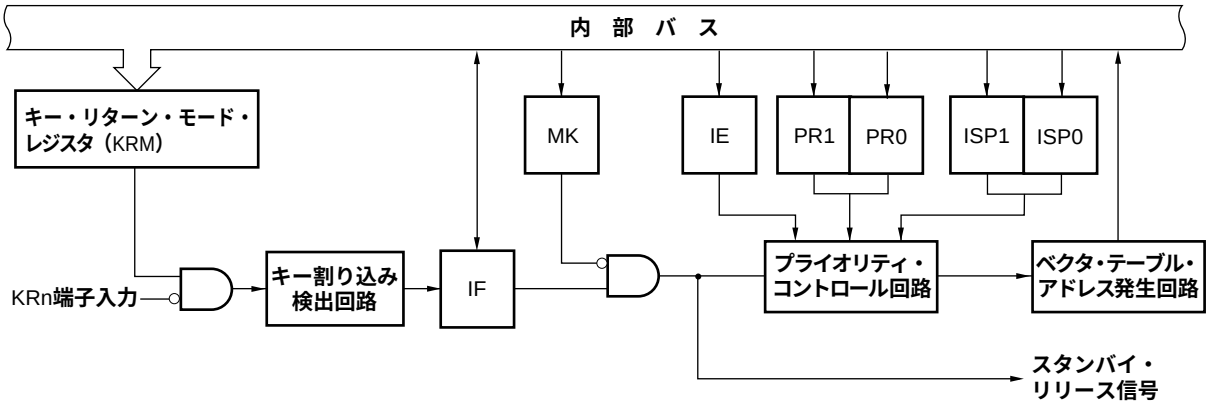
（B）外部マスカブル割り込み（INTPn）



IF　：割り込み要求フラグ
IE　：割り込み許可フラグ
ISP0　：インサービス・プライオリティ・フラグ0
ISP1　：インサービス・プライオリティ・フラグ1
MK　：割り込みマスク・フラグ
PR0　：優先順位指定フラグ0
PR1　：優先順位指定フラグ1

備考　n = 0-3

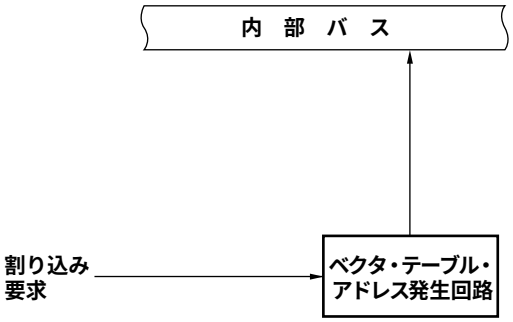
(C) 外部マスカブル割り込み (INTKR)



IF　：割り込み要求フラグ
IE　：割り込み許可フラグ
ISP0　：インサービス・プライオリティ・フラグ0
ISP1　：インサービス・プライオリティ・フラグ1
MK　：割り込みマスク・フラグ
PR0　：優先順位指定フラグ0
PR1　：優先順位指定フラグ1

備考　n = 0-9

(D) ソフトウエア割り込み



15. 3 割り込み機能を制御するレジスタ

割り込み機能は，次の6種類のレジスタで制御します。

★ ・割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L , IF2H）
★ ・割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L , MK2H）
★ ・優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H）
・外部割り込み立ち上がりエッジ許可レジスタ（EGP0）
・外部割り込み立ち下がりエッジ許可レジスタ（EGN0）
・プログラム・ステータス・ワード（PSW）

各割り込み要求ソースに対応する割り込み要求フラグ，割り込みマスク・フラグ，優先順位指定フラグ名称を表15－3, 15－4に示します。

表15－3 割り込み要求ソースに対応する各種フラグ（20, 24ピン製品）（1/2）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ	データ・フラッシュ搭載品	データ・フラッシュ非搭載品
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○
INTLVI	LVIIF		LVIMK		LVIPR0, LVIPR1		○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○
INTP1	PIF1		PMK1		PPR01, PPR11		○	○
INTP2	PIF2		PMK2		PPR02, PPR12		○	○
INTP3	PIF3		PMK3		PPR03, PPR13		○	○
INTDMA0	DMAIF0		DMAMK0		DMAPR00, DMAPR10		○	－
INTDMA1	DMAIF1		DMAMK1		DMAPR01, DMAPR11		○	－
INTST0注1	STIF0注1	IF0H	STMK0注1	MK0H	STPR00, STPR10注1	PR00H, PR10H	○	○
INTCSI00注1	CSIIF00注1		CSIMK00注1		CSIPR000, CSIPR100注1			○
INTIIC00注1	IICIF00注1		IICMK00注1		IICPR000, IICPR100注1			－
INTSR0注2	SRIF0注2		SRMK0注2		SRPR00, SRPR10注2		○	○
INTCSI01注2	CSIIF01注2		CSIMK01注2		CSIPR001, CSIPR101注2			－
INTIIC01注2	IICIF01注2		IICMK01注2		IICPR001, IICPR101注2			－
INTSRE0	SREIF0		SREMK0		SREPR00, SREPR10		○	○
INTTM01H	TMIF01H		TMMK01H		TMPR001H, TMPR101H		○	○
INTTM03H	TMIF03H		TMMK03H		TMPR003H, TMPR103H		○	○
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		○	○
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○
INTTM02	TMIF02	IF1L	TMMK02	MK1L	TMPR002, TMPR102	PR01L, PR11L	○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○

表15－3 割り込み要求ソースに対応する各種フラグ（20, 24ピン製品）（2/2）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ	データ・フラッシュ搭載品	データ・フラッシュ非搭載品
INTAD	ADIF	IF1L	ADMK	MK1L	ADPR0, ADPR1	PR01L, PR11L	○	○
INTIT	ITIF		ITMK		ITPR0, ITPR1		○	○
INTKR	KRIF		KRMK		KRPR0, KRPR1		○	○
INTMD	MDIF		MDMK		MDPR0, MDPR1		○	○

注1. UART0, CSI00, IIC00**は，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。割り込み要因**INTST0, INTCSI00, INTIIC00**のうち，いずれかが発生したら，**IF0H**レジスタのビット**5**はセット（1）されます。また，**MK0H, PR00H, PR10H**レジスタのビット**5**は，3つすべての割り込み要因に対応しています。**

2. UART0, CSI01, IIC01**は，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。割り込み要因**INTSR0, INTCSI01, INTIIC01**のうち，いずれかが発生したら，**IF0H**レジスタのビット**6**はセット（1）されます。また，**MK0H, PR00H, PR10H**レジスタのビット**6**は，3つすべての割り込み要因に対応しています。**

★ **表15ー4 割り込み要求ソースに対応する各種フラグ（30ピン製品）**

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ	データ・フラッシュ搭載製品	データ・フラッシュ非搭載製品
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○
INTLVI	LVIIF		LVIMK		LVIPR0, LVIPR1		○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○
INTP1	PIF1		PMK1		PPR01, PPR11		○	○
INTP2	PIF2		PMK2		PPR02, PPR12		○	○
INTP3	PIF3		PMK3		PPR03, PPR13		○	○
INTP4	PIF4		PMK4		PPR04, PPR14		○	○
INTP5	PIF5		PMK5		PPR05, PPR15		○	○
INTST2注1 INTCSI20注1 INTIIC20注1	STIF2注1 CSIIF20注1 IICIF20注1	IF0H	STMK2注1 CSIMK20注1 IICMK20注1	MK0H	STPR02, STPR12注1 CSIPR020, CSIPR120注1 IICPR020, IICPR120注1	PR00H, PR10H	○	ー
INTSR2	SRIF2		SRMK2		SRPR02, SRPR12		○	ー
INTSRE2	SREIF2		SREMK2		SREPR02, SREPR12		○	ー
INTDMA0	DMAIF0		DMAMK0		DMAPR00, DMAPR10		○	ー
INTDMA1	DMAIF1		DMAMK1		DMAPR01, DMAPR11		○	ー
INTST0注2 INTCSI00注2 INTIIC00注2	STIF0注2 CSIIF00注2 IICIF00注2		STMK0注2 CSIMK00注2 IICMK00注2		STPR00, STPR10注1 CSIPR000, CSIPR100注1 IICPR000, IICPR100注1		○	○
INTSR0	SRIF0		SRMK0		SRPR00, SRPR10		○	○
INTSRE0注3 INTTM01H注3	SREIF0注3 TMIF01H注3		SREMK0注3 TMMK01H注3		SREPR00, SREPR10注3 TMPR001H, TMPR101H注3		○	○
INTST1	STIF1	IF1L	STMK1	MK1L	STPR01, STPR11	PR01L, PR11L	○	ー
INTSR1注4 INTCSI11注4 INTIIC11注4	SRIF1注4 CSIIF11注4 IICIF11注4		SRMK1注4 CSIMK11注4 IICMK11注4		SRPR01, SRPR11 CSIPR011, CSIPR111注1 IICPR011, IICPR111注1		○	ー
INTSRE1注5 INTTM03H注5	SREIF1注5 TMIF03H注5		SREMK1注5 TMMK03H注5		SREPR01, SREPR11注4 TMPR003H, TMPR103H注4		○	ー ○
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		○	○
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H	○	○
INTIT	ITIF		ITMK		ITPR0, ITPR1		○	○
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104		○	○
INTTM05	TMIF05	IF2L	TMMK05	MK2L	TMPR005, TMPR105	PR02L, PR12L	○	○
INTTM06	TMIF06		TMMK06		TMPR006, TMPR106		○	○
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107		○	○
INTMD	MDIF	IF2H	MDMK	MK2H	MDPR0, MDPR1	PR02H, PR12H	○	○

注1. UART2, CSI20, IIC20**は，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。割り込み要因**INTST0, INTCSI20, INTIIC20**のうち，いずれかが発生したら，**IF0H**レジスタのビット**0**はセット（1）されます。また，**MK0H, PR00H, PR10H**レジスタのビット**0**は，3つすべての割り込み要因に対応しています。**

2. UART0, CSI00, IIC00**は，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。割り込み要因**INTST0, INTCSI00, INTIIC00**のうち，いずれかが発生したら，**IF0H**レジスタのビット**5**はセット（1）されます。また，**MK0H, PR00H, PR10H**レジスタのビット**5**は，3つすべての割り込み要因に対応しています。**

3. UART0, TAU0**のチャネル**1（8**ビット・タイマ動作時）は，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。割り込み要因**INTSRE0, INTTM01H**のうち，どちらかが発生したら，**IF0H**レジスタのビット**7**はセット（1）されます。また，**MK0H, PR00H, PR10H**レジスタのビット**7**は，両方の割り込み要因に対応しています。**

4. UART1, CSI11, IIC11**は，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。割り込み要因**INTSR1, INTCSI11, INTIIC11**のうち，いずれかが発生したら，**IF1L**レジスタのビット**1**はセット（1）されます。また，**MK1L, PR01L, PR11L**レジスタのビット**1**は，3つすべての割り込み要因に対応しています。**

5. UART1, TAU0**のチャネル**3（8**ビット・タイマ動作時）は，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。割り込み要因**INTTM03H**が発生したら，**IF1L**レジスタのビット**2**はセット（1）されます。また，**MK1L, PR01L, PR11L**レジスタのビット**2**は，両方の割り込み要因に対応しています。**

（1）割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H）

割り込み要求フラグは，対応する割り込み要求の発生または命令の実行によりセット（1）され，割り込み要求受け付け時，リセット信号発生時または命令の実行によりクリア（0）されるフラグです。

割り込みが受け付けられた場合，まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2Hレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，IF0LレジスタとIF0Hレジスタをあわせて16ビット・レジスタIF0として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

備考 このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図15－2 割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L）のフォーマット（20, 24ピン製品）

アドレス：FFFE0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	DMAIF1注	DMAIF0注	PIF3	PIF2	PIF1	PIF0	LVIIF	WDTIIF

アドレス：FFFE1H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	TMIF01H	TMIF00	IICAIF0	TMIF03H	TMIF01H	SREIF0	SRIF0 CSIIF01注 IICIF01注	STIF0 CSIIF00 IICIF00注

アドレス：FFFE2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	ー	FLIF	MDIF	KRIF	TMKAIF	ADIF	TMIF03	TMIF02

XXIFXX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し，割り込み要求状態

注 データ・フラッシュ搭載品のみ

★ **図**15－3 **割り込み要求フラグ・レジスタ（**IF0L, IF0H, IF1L, IF1H, IF2L, IF2H**）のフォーマット（**30**ピン製品）**

アドレス：FFFE0H **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIF	WDTIIF

アドレス：FFFE1H **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	SREIF0 TMIF01H	SRIF0	STIF0 CSIIF00 IICIF00注	DMAIF1注	DMAIF0注	SREIF2注	SRIF2注	STIF2注 CSIIF20注 IICIF20注

アドレス：FFFE2H **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	IICAIF0	SREIF1注 TMIF03H	SRIF1注 CSIIF11注 IICIF11注	STIF1注

アドレス：FFFE3H **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	TMIF04	－	－	－	－	ITIF	－	ADIF

アドレス：FFFD0H **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
IF2L	－	－	－	－	－	TMIF07	TMIF06	TMIF05

アドレス：FFFD1H **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
IF2H	－	－	MDIF	－	－	－	－	－

XXIFXX	**割り込み要求フラグ**
0	**割り込み要求信号が発生していない**
1	**割り込み要求信号が発生し，割り込み要求状態**

注 データ・フラッシュ搭載品のみ

注意1. **タイマ，シリアル・インタフェース，**A/D**コンバータなどをスタンバイ解除後に動作させる場合，いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。**

2. **割り込み要求フラグ・レジスタのフラグ操作には，**1**ビット・メモリ操作命令（**CLR1**）を使用してください。**C**言語での記述の場合は，コンパイルされたアセンブラが**1**ビット・メモリ操作命令（**CLR1**）になっている必要があるため，「**IF0L.0 = 0;**」や「**_asm("clr1 IF0L,0");**」のようなビット操作命令を使用してください。**
なお，C**言語で「**IF0L & = 0xfe;**」のように**8**ビット・メモリ操作命令で記述した場合，コンパイルすると**3**命令のアセンブラになります。**

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合，「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで，同一の割り込み要求フラグ・レジスタ（IF0L）の他ビットの要求フラグがセット（1）されても，「mov IF0L, a」でクリア（0）されます。したがって，C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

（2）割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L , MK2H）

割り込みマスク・フラグは，対応するマスカブル割り込み処理の許可／禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2Hレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，MK0LレジスタとMK0Hレジスタをあわせて16ビット・レジスタMK0として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図15－4　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L）のフォーマット（20, 24ピン製品）

アドレス：FFFE4H　**リセット時：**FFH　R/W

略号	7	6	5	4	3	2	1	0
MK0L	DMAMK1[注]	DMAMK0[注]	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス：FFFE5H　**リセット時：**FFH　R/W

略号	7	6	5	4	3	2	1	0
MK0H	TMMK01	TMMK01	IICAMK0	TMMK03H	TMMK01H	SREMK0	SRMK0 CSIMK01[注] IICMK01[注]	STMK0 CSIMK00 IICMK00[注]

アドレス：FFFE6H　**リセット時：**FFH　R/W

略号	7	6	5	4	3	2	1	0
MK1L	－	FLMK	MDMK	KRMK	TMKAMK	ADMK	TMMK03	TMMK02

XXMKXX	**割り込み処理の制御**
0	**割り込み処理許可**
1	**割り込み処理禁止**

注　データ・フラッシュ搭載品のみ

★ **図15ー5 割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L , MK2H）のフォーマット（30ピン製品）**

アドレス：FFFE4H **リセット時：**FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス：FFFE5H **リセット時：**FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	SREMK0 TMMK01H	SRMK0	STMK0 CSIMK01 IICMK01注	DMAMK1注	DMAMK0注	SREMK2注	SRMK2注	STMK2注 CSIMK20注 IICMK20注

アドレス：FFFE6H **リセット時：**FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	IICAMK0	SREMK1注 TMMK03H	SRMK1注 CSIMK11注 IICMK11注	STIF1注

アドレス：FFFE7H **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
MK1H	TMMK04	ー	ー	ー	ー	ITMK	ー	ADMK

アドレス：FFFD4H **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
MK2L	ー	ー	ー	ー	ー	TMMK07	TMMK06	TMMK05

アドレス：FFFD5H **リセット時：**00H R/W

略号	7	6	5	4	3	2	1	0
MK2H	ー	ー	MDMK	ー	ー	ー	ー	ー

XXMKXX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注 データ・フラッシュ搭載品のみ

(3) 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H**)**

優先順位指定フラグは，対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xy**レジスタと**PR1xy**レジスタを組み合わせて，優先順位レベルを設定します**（xy = 0L, 0H, 1L）。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H L**レジスタは，**1**ビット・メモリ操作命令または**8**ビット・メモリ操作命令で設定します。また，**PR00L**レジスタと**PR00H**レジスタ**, PR10L**レジスタと**PR10H**レジスタをあわせて**16**ビット・レジスタ**PR00, PR10**として使用するときは，**16**ビット・メモリ操作命令で設定します。**

リセット信号の発生により，FFH**になります。**

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2**クロック長くなります。**

図15－6 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR10L, PR10H, PR11L）のフォーマット（20, 24ピン製品）

アドレス：FFFE8H **リセット時：**FFH R/W

略号	7	6	5	4	3	2	1	0
PR00L	DMAPR01注	DMAPR00注	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス：FFFECH **リセット時：**FFH R/W

略号	7	6	5	4	3	2	1	0
PR10L	DMAPR11	DMAPR10	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス：FFFE9H **リセット時：**FFH R/W

略号	7	6	5	4	3	2	1	0
PR00H	TMPR001	TMPR000	IICAPR00	TMPR003H	TMPR001H	SREPR00	SRPR00 CSIPR001注 IICPR001注	STPR00 CSIPR000 IICPR000注

アドレス：FFFEDH **リセット時：**FFH R/W

略号	7	6	5	4	3	2	1	0
PR10H	TMPR101	TMPR100	IICAPR10	TMPR103H	TMPR101H	SREPR10	SRPR10 CSIPR101 IICPR101	STPR10 CSIPR100 IICPR100

アドレス：FFFEAH **リセット時：**FFH R/W

略号	7	6	5	4	3	2	1	0
PR01L	－	FLPR0	MDPR0	KRPR0	TMKAPR0	ADPR0	TMPR003	TMPR002

アドレス：FFFEEH **リセット時：**FFH R/W

略号	7	6	5	4	3	2	1	0
PR11L	－	FLPR1	MDPR1	KRPR1	TMKAPR1	ADPR1	TMPR103	TMPR102

★

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定（高優先順位）
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定（低優先順位）

注 データ・フラッシュ搭載品のみ

★ **図15－7 優先順位指定フラグ・レジスタ（**PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H**）のフォーマット（**30**ピン製品）（**1/2**）**

アドレス：FFFE8H **リセット時：**FFH R/W

略号	7	6	5	4	3	2	1	0
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス：FFFECH **リセット時：**FFH R/W

略号	7	6	5	4	3	2	1	0
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス：FFFE9H **リセット時：**FFH R/W

略号	7	6	5	4	3	2	1	0
PR00H	SREPR00 TMPR001H	SRPR00	STPR00 CSPR000 IICPR000注	DMAPR01注	DMAPR00注	SREPR02注	SRPR02注	STPR02注 CSIPR020注 IICPR020注

アドレス：FFFEDH **リセット時：**FFH R/W

略号	7	6	5	4	3	2	1	0
PR10H	SREPR10 TMPR101H	SRPR10	STPR10 CSPR100 IICPR100注	DMAPR11注	DMAPR10注	SREPR12注	SRPR12注	STPR12注 CSIPR120注 IICPR120注

アドレス：FFFEAH **リセット時：**FFH R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	IICAPR00	SREPR01注 TMPR003H	SRPR01注 CSIPR011注 IICPR011注	STPR01注

アドレス：FFFEEH **リセット時：**FFH R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	IICAPR10	SREPR11注 TMPR103H	SRPR11注 CSIPR111注 IICPR111注	STPR11注

アドレス：FFFEBH **リセット時：**FFH R/W

略号	7	6	5	4	3	2	1	0
PR01H	TMPR004	－	－	－	－	ITPR0	－	ADPR0

アドレス：FFFEFH **リセット時：**FFH R/W

略号	7	6	5	4	3	2	1	0
PR11H	TMPR104	－	－	－	－	ITPR1	－	ADPR1

図15－7 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H）のフォーマット（30ピン製品）（2/2）

アドレス：FFFD8H **リセット時：**FFH R/W

略号	7	6	5	4	3	2	1	0
PR02L	－	－	－	－	－	TMPR007	TMPR006	TMPR005

アドレス：FFFDCH **リセット時：**FFH R/W

略号	7	6	5	4	3	2	1	0
PR12L	－	－	－	－	－	TMPR107	TMPR106	TMPR105

アドレス：FFFD9H **リセット時：**FFH R/W

略号	7	6	5	4	3	2	1	0
PR02H	－	－	MDPR0	－	－	－	－	－

アドレス：FFFDDH **リセット時：**FFH R/W

略号	7	6	5	4	3	2	1	0
PR12H	－	－	MDPR1	－	－	－	－	－

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定（高優先順位）
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定（低優先順位）

注 データ・フラッシュ搭載品のみ

(4) 外部割り込み立ち上がりエッジ許可レジスタ（EGP0），外部割り込み立ち下がりエッジ許可レジスタ（EGN0）

INTP0-INTP3の有効エッジを設定するレジスタです。

EGP0, EGN0レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図15－8　外部割り込み立ち上がりエッジ許可レジスタ（EGP0），外部割り込み立ち下がりエッジ許可レジスタ（EGN0）のフォーマット

アドレス：FFF38H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGP0	－	－	－		EGP3	EGP2	EGP1	EGP0

アドレス：FFF39H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGN0	－	－	－	－	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択（n = 0-3）
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり，立ち下がりの両エッジ

注意　外部割り込み機能からポート機能に切り替える場合に，エッジ検出を行う可能性があるため，EGPnビットとEGNnビットを0に設定してからポート・モードに切り替えてください。

(5) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは，命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか，ビット操作命令や専用命令（EI, DI）により操作ができます。また，ベクタ割り込み要求受け付け時および，BRK命令実行時には，PSWの内容は自動的にスタックに退避され，IEフラグはリセット（0）されます。また，マスカブル割り込み要求受け付け時には，受け付けた割り込みの優先順位指定フラグの内容がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により，スタックから復帰します。

リセット信号の発生により，PSWは06Hとなります。

図15－9　プログラム・ステータス・ワードの構成

	7	6	5	4	3	2	1	0	リセット時
PSW	IE	Z	RBS1	AC	RBS0	ISP1	ISP0	CY	06H

通常の命令実行時に使用

ISP1	ISP0	現在処理中の割り込みの優先順位
0	0	レベル0の割り込み許可 （レベル1または0の割り込み処理中）
0	1	レベル0～1の割り込み許可 （レベル2の割り込み処理中）
1	0	レベル0～2の割り込み許可 （レベル3の割り込み処理中）
1	1	すべての割り込み許可 （割り込み受け付け待ち）

IE	割り込み要求受け付けの許可／禁止
0	禁止
1	許可

15. 4　割り込み処理動作

15. 4. 1　マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は，割り込み要求フラグがセット（1）され，その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は，割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし，優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表15－5のようになります。

割り込み要求の受け付けタイミングについては，図15－11, 15－12を参照してください。

表15－5　マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間[注]
処理時間	9クロック	14クロック

注　RET命令の直前に割り込み要求が発生したとき，ウエイトする時間が最大となります。

備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

複数のマスカブル割り込み要求が同時に発生したときは，優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また，優先順位指定フラグで同一優先順位に指定されているときは，デフォルト優先順位の高い割り込みから受け付けられます。

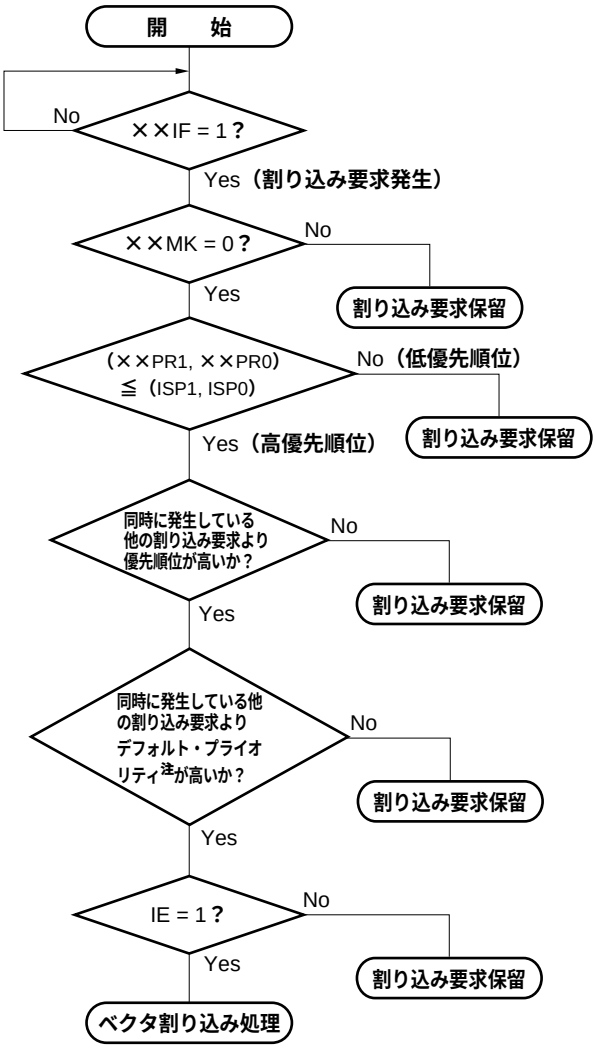
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図15－7に示します。

マスカブル割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW），プログラム・カウンタ（PC）の順に内容をスタックに退避し，IEフラグをリセット（0）し，受け付けた割り込みの優先順位指定フラグの内容をISP1, ISP0フラグへ転送します。さらに，割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし，分岐します。

RETI命令によって，割り込みから復帰できます。

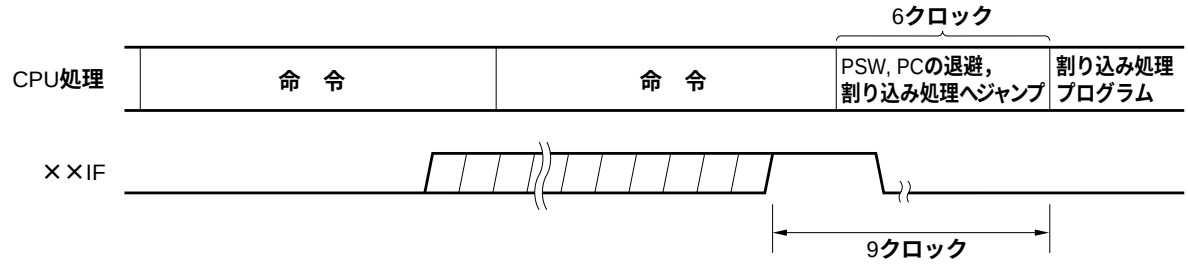
図15ー10 割り込み要求受け付け処理アルゴリズム



××IF ：割り込み要求フラグ
××MK ：割り込みマスク・フラグ
××PR0 ：優先順位指定フラグ0
××PR1 ：優先順位指定フラグ1
IE ：マスカブル割り込み要求の受け付けを制御するフラグ（1 = 許可，0 = 禁止）
ISP0, ISP1 ：現在処理中の割り込みの優先順位を示すフラグ（図15ー9参照）

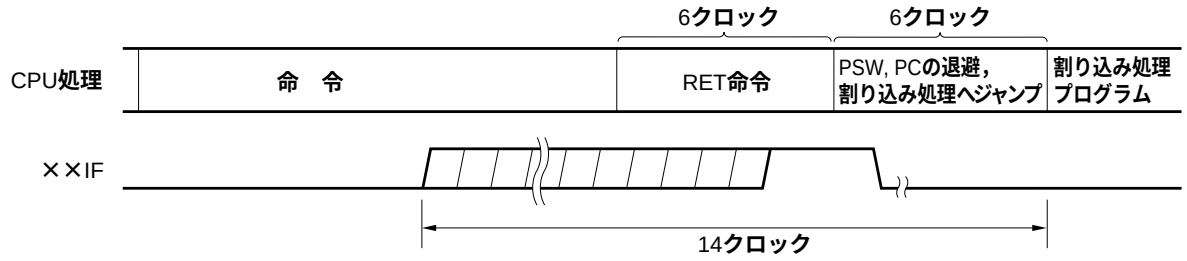
注 デフォルト・プライオリティは，表15ー1, 15ー2 割り込み要因一覧を参照してください。

図15－11　割り込み要求の受け付けタイミング（最小時間）



備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

図15－12　割り込み要求の受け付けタイミング（最大時間）



備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

15. 4. 2　ソフトウエア割り込み要求の受け付け動作

ソフトウエア割り込み要求はBRK命令の実行により受け付けられます。ソフトウエア割り込みは禁止することはできません。

ソフトウエア割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW）,プログラム・カウンタ（PC）の順に内容をスタックに退避し，IEフラグをリセット（0）し，ベクタ・テーブル（0007EH, 0007FH）の内容をPCにロードして分岐します。

RETB命令によって，ソフトウエア割り込みから復帰できます。

注意　ソフトウエア割り込みからの復帰にRETI命令を使用しないでください。

15. 4. 3　多重割り込み処理

割り込み処理中に，さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは，割り込み要求受け付け許可状態（IE = 1）になっていなければ発生しません。割り込み要求が受け付けられた時点で，割り込み要求は受け付け禁止状態（IE = 0）になります。したがって，多重割り込みを許可するには，割り込み処理中にEI命令によってIEフラグをセット（1）して，割り込み許可状態にする必要があります。

また，割り込み許可状態であっても，多重割り込みが許可されない場合がありますが，これは割り込みの優先順位によって制御されます。割り込みの優先順位には，デフォルト優先順位とプログラマブル優先順位の2つがありますが，多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で，現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか，より低い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット（1）した場合には，レベル0の他の割り込みも許可されます。

割り込み禁止，または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして，現在の割り込み処理終了後，メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表15－6に多重割り込み可能な割り込み要求の関係を，図15－13に多重割り込みの例を示します。

表15ー6 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 / 処理中の割り込み		マスカブル割り込み要求								ソフトウエア割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
ソフトウエア割り込み		○	×	○	×	○	×	○	×	○

備考1．○：多重割り込み可能。

2．×：多重割り込み不可能。

3．ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0 ：レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 ：レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 ：レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 ：割り込み受け付け待ち

IE = 0 ：割り込み要求受け付け禁止

IE = 1 ：割り込み要求受け付け許可

4．PRはPR00L, PR00H, PR01L, PR10L, PR10H, PR11Lレジスタに含まれるフラグです。

PR = 00：××PR1×= 0, ××PR0×= 0でレベル0を指定（高優先順位）

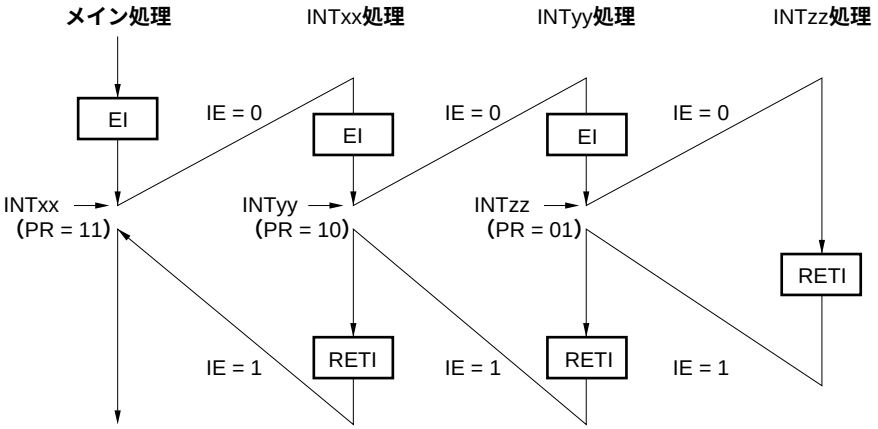
PR = 01：××PR1×= 0, ××PR0×= 1でレベル1を指定

PR = 10：××PR1×= 1, ××PR0×= 0でレベル2を指定

PR = 11：××PR1×= 1, ××PR0×= 1でレベル3を指定（低優先順位）

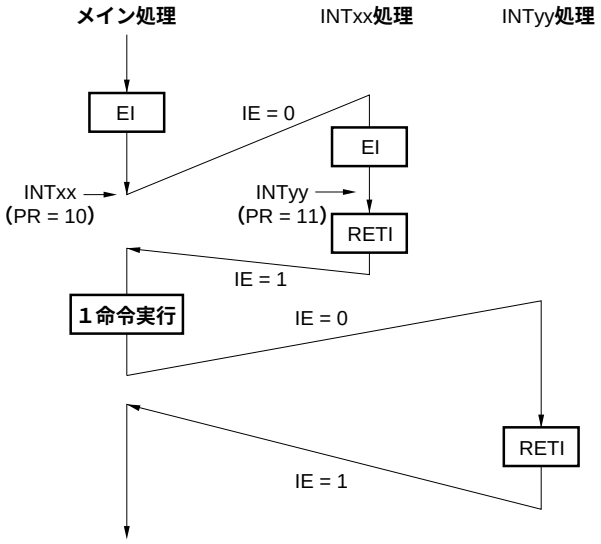
図15ー13 多重割り込みの例（1/2）

例1．多重割り込みが2回発生する例



割り込みINTxx処理中に，2つの割り込み要求INTyy, INTzzが受け付けられ，多重割り込みが発生する。各割り込み要求受け付けの前には，必ずEI命令を発行し，割り込み要求受け付け許可状態になっている。

例2．優先順位制御により，多重割り込みが発生しない例

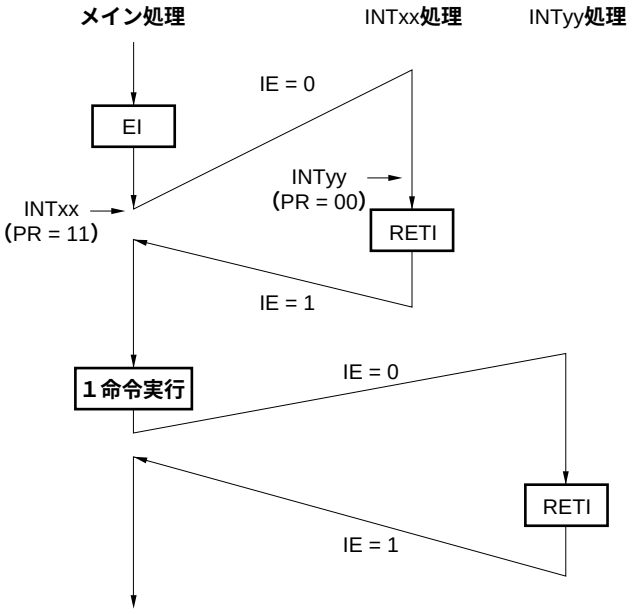


割り込みINTxx処理中に発生した割り込み要求INTyyは，割り込みの優先順位がINTxxより低いため受け付けられず，多重割り込みは発生しない。INTyy要求は保留され，メイン処理1命令実行後に受け付けられる。

PR = 00：××PR1×= 0, ××PR0×= 0**でレベル0を指定（高優先順位）**
PR = 01：××PR1×= 0, ××PR0×= 1**でレベル1を指定**
PR = 10：××PR1×= 1, ××PR0×= 0**でレベル2を指定**
PR = 11：××PR1×= 1, ××PR0×= 1**でレベル3を指定（低優先順位）**
IE = 0 **：割り込み要求受け付け禁止**
IE = 1 **：割り込み要求受け付け許可**

図15ー13　多重割り込みの例（2/2）

例3．割り込みが許可されてないため，多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない（EI命令が発行されていない）ので，割り込み要求INTyyは受け付けられず，多重割り込みは発生しない。INTyy要求は保留され，メイン処理1命令実行後に受け付けられる。

PR = 00：××PR1×= 0, ××PR0×= 0**でレベル0を指定（高優先順位）**
PR = 01：××PR1×= 0, ××PR0×= 1**でレベル1を指定**
PR = 10：××PR1×= 1, ××PR0×= 0**でレベル2を指定**
PR = 11：××PR1×= 1, ××PR0×= 1**でレベル3を指定（低優先順位）**
IE = 0　**：割り込み要求受け付け禁止**
IE = 1　**：割り込み要求受け付け許可**

15. 4. 4　割り込み要求の保留

命令の中には，その命令実行中に割り込み要求が発生しても，その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- MOV PSW, ＃byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, $addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- IF0L, IF0H, IF1L, MK0L, MK0H, MK1L, PR00L, PR00H, PR01L, PR10L, PR10H, PR11Lレジスタの各レジスタに対する操作命令

注意　BRK命令は，上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウエア割り込みでは，IEフラグが0にクリアされます。したがって，BRK命令実行中にマスカブル割り込み要求が発生しても，割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図15ー14に示します。

図15ー14　割り込み要求の保留

備考1．命令N：割り込み要求の保留命令
2．命令M：割り込み要求の保留命令以外の命令
3．××IF（割り込み要求）の動作は，××PR（優先順位レベル）の値の影響を受けません。

第16章　キー割り込み機能

16. 1　キー割り込みの機能

20, 24ピン製品では，キー・リターン・モード・レジスタ（KRM）の設定により，キー割り込み入力端子（KR0-KR9）に立ち下がりエッジを入力することによって，キー割り込み（INTKR）を発生させることができます。

表16－1　キー割り込み検出端子の割り当て

フラグ	設定される端子
KRM0	KR0信号を1ビット単位で制御
KRM1	KR1信号を1ビット単位で制御
KRM2	KR2信号を1ビット単位で制御
KRM3	KR3信号を1ビット単位で制御
KRM4	KR4信号を1ビット単位で制御
KRM5	KR5信号を1ビット単位で制御
KRM6注	KR6信号を1ビット単位で制御
KRM7注	KR7信号を1ビット単位で制御
KRM8注	KR8信号を1ビット単位で制御
KRM9注	KR9信号を1ビット単位で制御

注　24ピン製品のみ

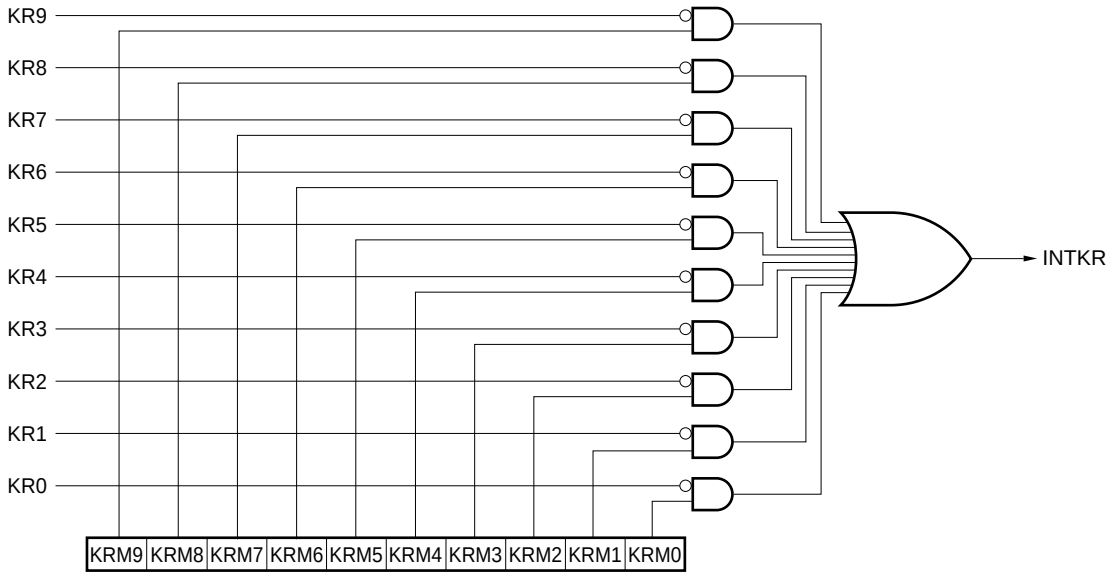
16. 2　キー割り込みの構成

キー割り込みは，次のハードウエアで構成されています。

表16－2　キー割り込みの構成

項　目	制御レジスタ
制御レジスタ	キー・リターン・モード・レジスタ（KRM）

図16－1　キー割り込みのブロック図



キー・リターン・モード・レジスタ（KRM0, KRM1）

16. 3　キー割り込みを制御するレジスタ

キー割り込み機能は，次の5種類のレジスタで制御します。

- **キー割り込み制御レジスタ**（KRCTL）
- **キー割り込みモード制御レジスタ**（KRM0, KRM1）
- **キー割り込みフラグ・レジスタ**（KRF）
- **ポート・モード・レジスタ**0, 4, 6, 12（PM0, 4, 6, 12）
- **ポート・レジスタ**0, 4, 6, 12（P0, 4, 6, 12）

(1) キー割り込み制御レジスタ（KRCTL）

キー割り込みフラグ（KRF0-KRF5）の使用と検出エッジを設定するレジスタです。

KRCTLレジスタは，1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16－2　キー割り込み制御レジスタ（KRCTL）のフォーマット

アドレス：FFF34H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
KRCTL	KRMD	0	0	0	0	0	0	KREG

KRMD	キー割り込みフラグ（KRF0-KRF5）の使用
0	キー割り込みフラグを使用しない
1	キー割り込みフラグを使用する

KREG	検出エッジの選択（KR0-KR9）
0	立ち上がりエッジ
1	立ち下がりエッジ

(2) キー割り込みモード制御レジスタ（KRM0, KRM1）

キー割り込みモードを設定するレジスタです。

KRM0, KRM1レジスタは，1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16－3　キー割り込みモード制御レジスタ（KRM0, KRM1）のフォーマット

アドレス：FFF37H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
KRM0	KRM07	KRM06	KRM05	KRM04	KRM03	KRM02	KRM01	KRM00

アドレス：FFF36H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
KRM1	0	0	0	0	0	0	KRM09	KRM08

KRM0n	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

(3) キー割り込みフラグ・レジスタ（KRF）

キー割り込みフラグ（KRF0-KRF5）を制御するレジスタです。

KRFレジスタは，1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16－4 キー割り込みフラグ・レジスタ（KRF）のフォーマット

アドレス：FFF35H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
KRF	0	0	KRF5	KRF4	KRF3	KRF2	KRF1	KRF0

KRFn	キー割り込みフラグ
0	キー割り込み信号を未検出
1	キー割り込み信号を検出

注意1． キー割り込み入力端子にロウ・レベルが入力されている状態で，KRFレジスタの対象ビットをセットすると，割り込みが発生します。
この割り込みを無視したい場合は，割り込みマスク・フラグで割り込み処理禁止にしてから，KRMレジスタをセットしてください。その後，キー割り込み入力ロウ・レベル幅（250 ns以上）を待ってから，割り込み要求フラグをクリアし，割り込み処理許可にしてください。

2． キー割り込みモードで使用していないビットは通常ポートとして使用可能です。

(4) ポート・モード・レジスタ0, 4, 6, 12（PM0, 4, 6, 12）

ポート0の入力／出力を1ビット単位で設定するレジスタです。

24ピン製品でP00/KR6-P03/KR9をキー入力として使用するとき，各ポートに対応するポート・モード・レジスタ（PM0）のビットに1を設定してください。また，P40/KR0, P125/KR1, P122/KR2, P121/KR3, P60/KR4, P61/KR5をキー入力として使用するには，同様にPM4, PM12, PM6の各ポートに対応するビットに1を設定してください。

さらに，ポート・レジスタ0, 4, 6, 12（P0, 4, 6, 12）の対応するビットに1を設定してください。

PM0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PM0レジスタはFFHになります。

図16－5 ポート・モード・レジスタ0（PM）のフォーマット

アドレス：FFF20H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	1	1	1	PM03	PM02	PM01	PM00

PM0n	P0n/KRm端子の入出力モードの選択（n = 0-3, m =6-9）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

第17章　スタンバイ機能

17. 1　スタンバイ機能と構成

17. 1. 1　スタンバイ機能

スタンバイ機能は，システムの動作電流をより低減するための機能で，次の3種類のモードがあります。

(1) HALTモード

HALT命令の実行により，HALTモードとなります。HALTモードは，CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路，高速オンチップ・オシレータが動作している場合，それぞれのクロックは発振を継続します。このモードでは，STOPモードほどの動作電流の低減はできませんが，割り込み要求により，すぐに処理を再開したい場合や，頻繁に間欠動作をさせたい場合に有効です。 ★

(2) STOPモード

STOP命令の実行により，STOPモードとなります。STOPモードは，高速システム・クロック発振回路，高速オンチップ・オシレータを停止させ，システム全体が停止するモードです。CPUの動作電流を，大幅に低減することができます。 ★

さらに，割り込み要求によって解除できるため，間欠動作も可能です。ただし，X1クロックの場合，STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため，割り込み要求によって，すぐに処理を開始しなければならないときにはHALTモードを選択してください。

(3) SNOOZEモード

CSI00, UART0のデータ受信およびタイマ・トリガ信号（割り込み要求信号（INTIT））によるA/D変換要求により，STOPモードを解除し，CPUを動作させることなくCSI00, UART0のデータ受信，A/D変換を行います。CPU／周辺ハードウエア・クロック（f_{CLK}）にHOCOクロックが選択されているときのみ設定可能です。 ★

いずれのモードでも，スタンバイ・モードに設定される直前のレジスタ，フラグ，データ・メモリの内容はすべて保持されます。また，入出力ポートの出力ラッチ，出力バッファの状態も保持されます。

注意1．STOP/HALTモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。

2．STOPモードに移行するとき，メイン・システム・クロックで動作する周辺ハードウエアの動作を必ず停止させたのち，STOP命令を実行してください。
CSI00, UART0, A/Dコンバータを SNOOZEモードで使用する場合は，シリアル・スタンバイ・コントロール・レジスタ0（SSC0），A/Dコンバータ・モード・レジスタ2（ADM2）をSTOPモードに移行前に設定してください。詳細は，11. 3　シリアル・アレイ・ユニットを制御するレジスタ，10. 3　A/Dコンバータで使用するレジスタを参照してください。

3．A/Dコンバータ部の動作電流を低減させるためには，A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）とビット0（ADCE）を0にクリアし，A/D変換動作を停止させてから，STOP命令を実行してください。

4．低速オンチップ・オシレータをHALT, STOPモード時に発振継続／停止するかは，オプション・バイトで選択できます。詳細は第21章　オプション・バイトを参照してください。 ★

17. 1. 2　スタンバイ機能を制御するレジスタ

STOPモード解除時の発振安定時間を制御するレジスタとして，次の2種類があります。

- 発振安定時間カウンタ状態レジスタ（OSTC）
- 発振安定時間選択レジスタ（OSTS）

備考　クロックの動作／停止，切り替えを制御するレジスタについては，第5章　クロック発生回路を参照してください。

(1) 発振安定時間カウンタ状態レジスタ（OSTC）

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに，X1クロックの発振安定時間を確認することができます。

★ ・CPUクロックがHOCOクロックで，X1クロックの発振を開始した場合

★ ・CPUクロックがHOCOクロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除した場合

OSTCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生（$\overline{\text{RESET}}$入力，POR, LVD, WDT，不正命令の実行によるリセット），STOP命令，MSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）= 1により，00Hになります。

図17－1　発振安定時間カウンタ状態レジスタ（OSTC）のフォーマット

アドレス：FFFA2H　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
									f_X = 10 MHz時	f_X = 20 MHz時
0	0	0	0	0	0	0	0	$2^8/f_X$未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	$2^8/f_X$以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	$2^9/f_X$以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	$2^{10}/f_X$以上	102.4 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	$2^{11}/f_X$以上	204.8 μs以上	102.4 μs以上
1	1	1	1	1	0	0	0	$2^{13}/f_X$以上	819.2 μs以上	409.6 μs以上
1	1	1	1	1	1	0	0	$2^{15}/f_X$以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	1	1	0	$2^{17}/f_X$以上	13.11 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	$2^{18}/f_X$以上	26.21 ms以上	13.11 ms以上

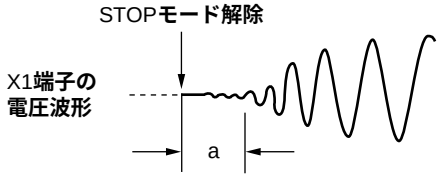
注意1．上記時間経過後，MOST8ビットから順番に“1”となっていき，そのまま“1”を保持します。

2．発振安定時間カウンタは発振安定時間選択レジスタ（OSTS）で設定した発振安定時間までしか★**カウントしません。CPUクロックがHOCOクロック時に，STOPモードに入り，解除するときは，OSTSレジスタの発振安定時間を次のように設定してください。**

・期待するOSTCレジスタの発振安定時間≦OSTSレジスタで設定する発振安定時間

したがって，STOPモード解除後のOSTCレジスタは，OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください。

3．X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。



備考　f_X：X1クロック発振周波数

(2) 発振安定時間選択レジスタ（OSTS）

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合，STOPモード解除後は，OSTSレジスタで設定した時間をウエイトします。

★ CPUクロックにHOCOクロックを選択した場合，STOPモード解除後は，発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間が経過したかを確認してください。OSTCレジスタでは，あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，07Hになります。

図17－2 発振安定時間選択レジスタ（OSTS）のフォーマット

アドレス：FFFA3H リセット時：07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				f_X = 10 MHz時	f_X = 20 MHz時
0	0	0	$2^8/f_X$	25.6 μs	設定禁止
0	0	1	$2^9/f_X$	51.2 μs	25.6 μs
0	1	0	$2^{10}/f_X$	102.4 μs	51.2 μs
0	1	1	$2^{11}/f_X$	204.8 μs	102.4 μs
1	0	0	$2^{13}/f_X$	819.2 μs	409.6 μs
1	0	1	$2^{15}/f_X$	3.27 ms	1.64 ms
1	1	0	$2^{17}/f_X$	13.11 ms	6.55 ms
1	1	1	$2^{18}/f_X$	26.21 ms	13.11 ms

注意1．CPUクロックがX1クロック時にSTOPモードへ移行する場合は，STOP命令の実行よりも前にOSTSレジスタを設定しておいてください。

2．発振安定時間が20 μs以下は設定禁止です。

3．OSTSレジスタの設定を変更する場合は，変更前にOSTCレジスタのカウント動作が終了していることを確認してください。

4．X1クロックの発振安定時間中は，OSTSレジスタを変更しないでください。

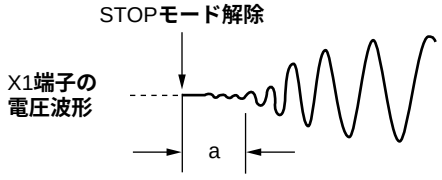
5．発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。

★ CPUクロックがHOCOクロック時に，STOPモードに入り，解除するときは，OSTSレジスタの発振安定時間を次のように設定してください。

・期待するOSTCレジスタの発振安定時間≦OSTSレジスタで設定する発振安定時間

したがって，STOPモード解除後のOSTCレジスタは，OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください。

6．X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。



備考 f_X：X1クロック発振周波数

17. 2　スタンバイ機能の動作

17. 2. 1　HALTモード

（1）HALTモード

HALTモードは，HALT命令の実行により設定されます。設定前のCPUクロックは，高速システム・クロ
★ ックとHOCOクロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表17ー1　HALTモード時の動作状態

HALTモードの設定 / 項目			メイン・システム・クロックでCPU動作中のHALT命令実行時		
			HOCOクロック（f_{IH}）でCPU動作時	X1クロック（f_X）でCPU動作時	外部メイン・システム・クロック（f_{EX}）でCPU動作時
システム・クロック			CPUへのクロック供給は停止		
	メイン・システム・クロック	f_{IH}	動作継続（停止不可）	動作禁止	
		f_X	動作禁止	動作継続（停止不可）	動作不可
		f_{EX}		動作不可	動作継続（停止不可）
	f_{IL}		オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）および動作スピード・モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 ・WUTMMCK0 = 1：発振 ・WUTMMCK0 = 0かつWDTON = 0：停止 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき：発振 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき：停止		
CPU			動作停止		
コード・フラッシュ・メモリ			動作停止		
データ・フラッシュ・メモリ					
RAM					
ポート（ラッチ）			HALTモード設定前の状態を保持		
タイマ・アレイ・ユニット			動作可能		
インターバル・タイマ					
ウォッチドッグ・タイマ			第9章　ウォッチドッグ・タイマ参照		
クロック出力／ブザー出力			動作可能		
A/Dコンバータ					
シリアル・アレイ・ユニット（SAU）					
シリアル・インタフェース（IICA）					
乗除・積和演算器					
DMAコントローラ					
パワーオン・リセット機能					
電圧検出機能					
外部割り込み					
キー割り込み機能					
CRC演算機能	高速CRC				
	汎用CRC				
不正メモリ・アクセス検出機能					

備考　動作停止：HALTモード移行時に自動的に動作停止
動作禁止：HALTモード移行前に動作を停止させる
★　f_{IH}　：HOCOクロック
★　f_{IL}　：LOCOクロック
f_X　：X1クロック
f_{EX}　：外部メイン・システム・クロック

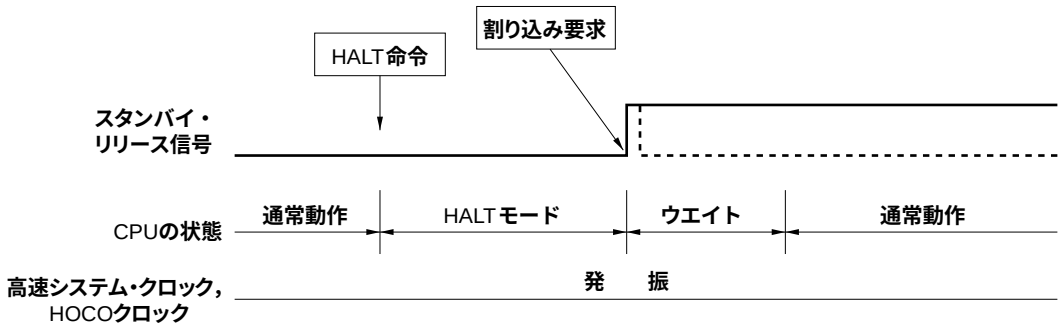
(2) HALTモードの解除

HALTモードは，次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると，HALTモードは解除されます。そして，割り込み受け付け許可状態であれば，ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば，次のアドレスの命令が実行されます。

図17－3　HALTモードの割り込み要求発生による解除



★

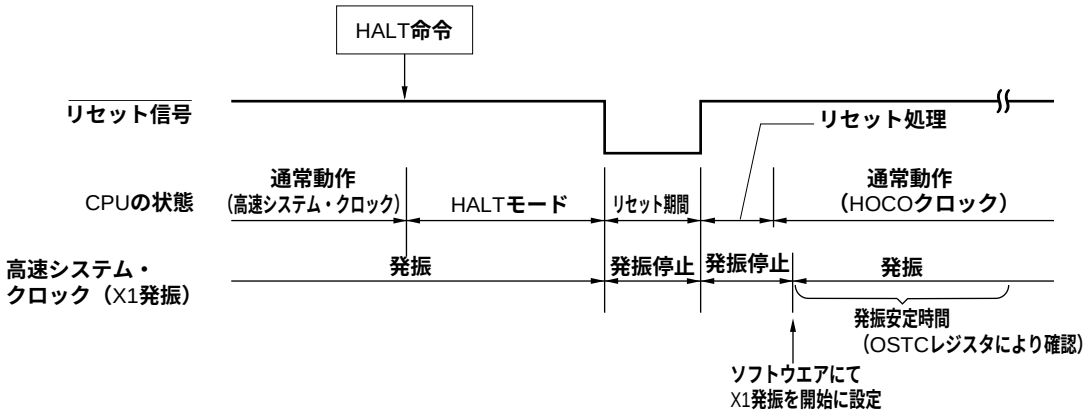
備考　破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

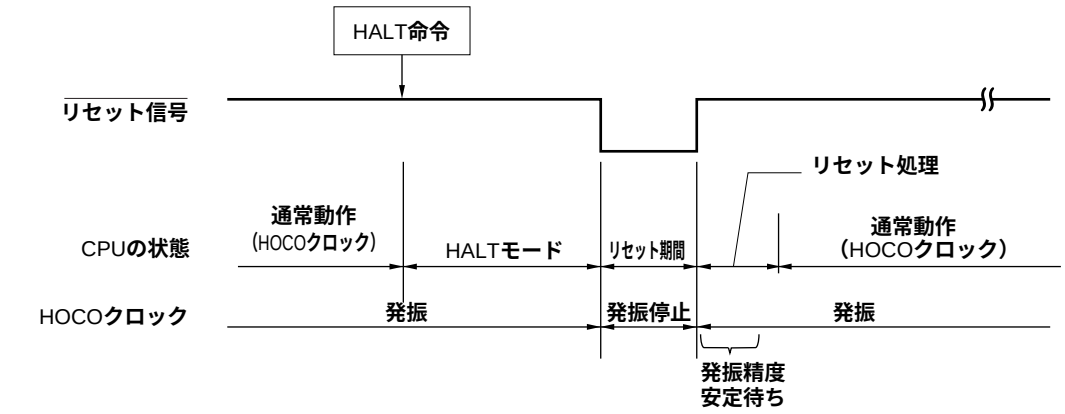
リセット信号の発生により，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図17ー4 HALTモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



★ **(2) CPUクロックがHOCOクロックの場合**



17. 2. 2　STOPモード

（1）STOPモードの設定および動作状態

STOPモードは，STOP命令の実行により設定されます。設定前のCPUクロックが，メイン・システム・クロックの場合のみ設定可能です。

注意1. **割り込み要求フラグがセット，割り込みマスク・フラグがリセットされている割り込みソースがある場合には，スタンバイ・モードの解除に割り込み要求信号が用いられるため，スタンバイ・モードに入ってもただちに解除されます。したがって，その状況でSTOP命令を実行しても，すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウエイトしたあと動作モードに戻ります。**

2. CSI00, UART0, A/D**コンバータを**SNOOZE**モードで使用する場合は，シリアル・スタンバイ・コントロール・レジスタ**0（SSC0）**，**A/D**コンバータ・モード・レジスタ**2（ADM2）**をSTOPモードに移行前に設定してください。詳細は，**12. 3　シリアル・アレイ・ユニットを制御するレジスタ，**11. 3　A/D**コンバータで使用するレジスタを参照してください。**

次にSTOPモード時の動作状態を示します。

★ **表17ー2　STOPモード時の動作状態**

項目 ＼ STOPモードの設定	メイン・システム・クロックでCPU動作中のSTOP命令実行時		
	HOCOクロック（f_{IH}）でCPU動作時	X1クロック（f_X）でCPU動作時	外部メイン・システム・クロック（f_{EX}）でCPU動作時
システム・クロック	CPUへのクロック供給は停止		
メイン・システム・クロック（f_{IH} / f_X / f_{EX}）	停止		
f_{IL}	オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）および動作スピード・モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 ・WUTMMCK = 1：発振 ・WUTMMCK = 0かつWDTON = 0：停止 ・WUTMMCK = 0, WDTON = 1かつWDSTBYON = 1のとき：発振 ・WUTMMCK = 0, WDTON = 1かつWDSTBYON = 0のとき：停止		
CPU	動作停止		
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ	動作停止（データ・フラッシュのプログラミング時は，STOP命令は不実行）		
RAM	動作停止		
ポート（ラッチ）	STOPモード設定前の状態を継続		
タイマ・アレイ・ユニット	動作禁止		
インターバル・タイマ	動作可能		
ウォッチドッグ・タイマ	第9章　ウォッチドッグ・タイマ参照		
クロック出力／ブザー出力	動作停止		
A/Dコンバータ	ウエイク・アップ動作可能（SNOOZEモードへ移行）		
シリアル・アレイ・ユニット（SAU）	CSI00, UART0のみウエイク・アップ動作可能（SNOOZEモードへ移行） CSI00, UART0以外は動作禁止		
シリアル・アレイ・ユニット（IICA）	アドレス一致によるウエイク・アップ動作可能		
乗除・積和算器	動作禁止		
DMAコントローラ			
パワーオン・リセット機能	動作可能		
電圧検出機能			
外部割り込み			
キー割り込み機能			
CRC演算機能（高速CRC / 汎用CRC）	動作停止		
不正メモリ･アクセス検出機能			

備考　動作停止：STOPモード移行時に自動的に動作停止
動作禁止：STOPモード移行前に動作を停止させる

★ f_{IH}　：HOCOクロック
★ f_{IL}　：LOCOクロック
f_X　：X1クロック
f_{EX}　：外部メイン・システム・クロック

注意1. STOP**モード中に動作停止する周辺ハードウエア，および発振停止するクロックを選択している周辺ハードウエアを**STOP**モード解除後に使用する場合は，周辺ハードウエアをリスタートしてください。**

★ 2. STOP**モード中にLOCOクロックを停止したい場合は，オプション・バイトで「**HALT/STOP**モード時にウォッチドッグ・タイマ動作停止」に設定（**000C0H**のビット**0（WDSTBYON）= 0**）してから，** STOP**命令を実行してください。**

3. **高速システム・クロック（**X1**発振）で**CPU**動作していて，**STOP**モード解除後の発振安定時間を短縮したい**

★ **場合は，**STOP**命令実行前に，**CPU**クロックを一時的にHOCOクロックに切り替えてください。**STOP**モード解除後，**CPU**クロックをHOCOクロックから高速システム・クロック（**X1**発振）に切り替える場合は，発振安定時間カウンタ状態レジスタ（**OSTC**）で発振安定時間を確認してから，行ってください。**

（2）STOP**モードの解除**

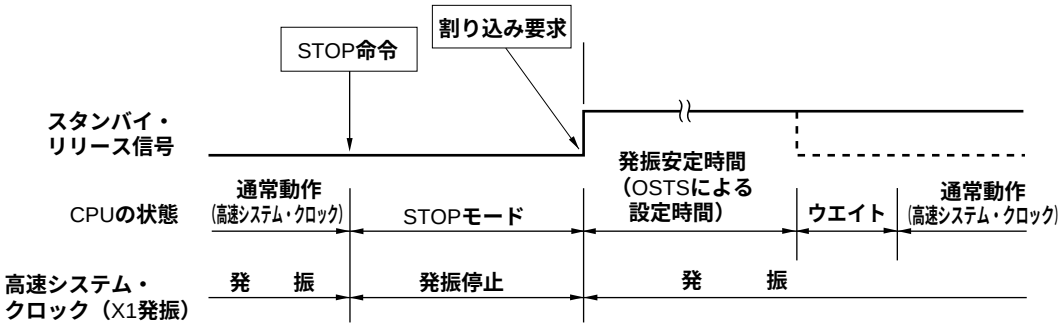
STOP**モードは，次の**2**種類のソースによって解除することができます。**

（a）**マスクされていない割り込み要求による解除**

マスクされていない割り込み要求による解除の場合，STOP**モードを解除します。発振安定時間経過後，割り込み受け付け許可状態であれば，ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば，次のアドレスの命令を実行します。**

図17－5　STOP**モードの割り込み要求発生による解除（**1/2**）**

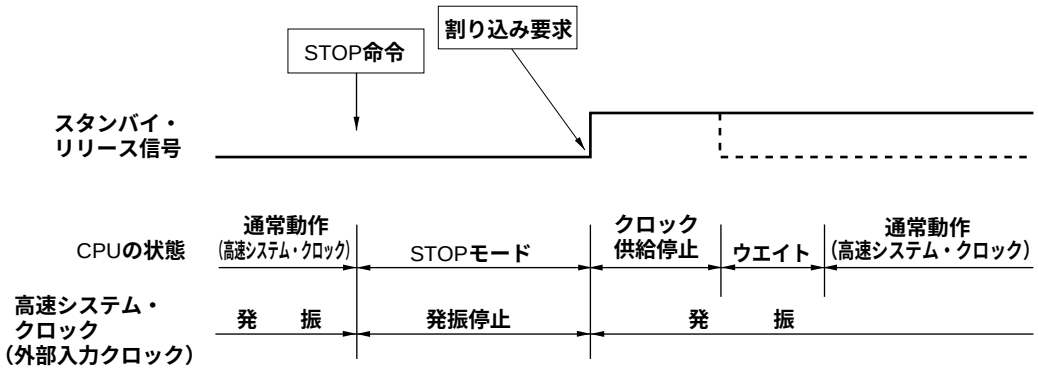
（1**）CPU**クロックが高速システム・クロック（**X1**発振）の場合**



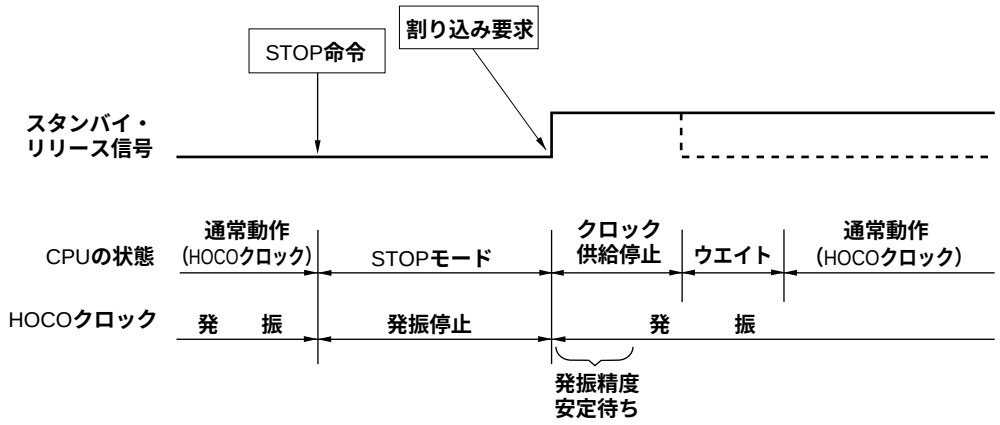
備考　破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

図17ー5 STOPモードの割り込み要求発生による解除（2/2）

（2）CPUクロックが高速システム・クロック（外部クロック入力）の場合



★ **（3）CPUクロックがHOCOクロックの場合**



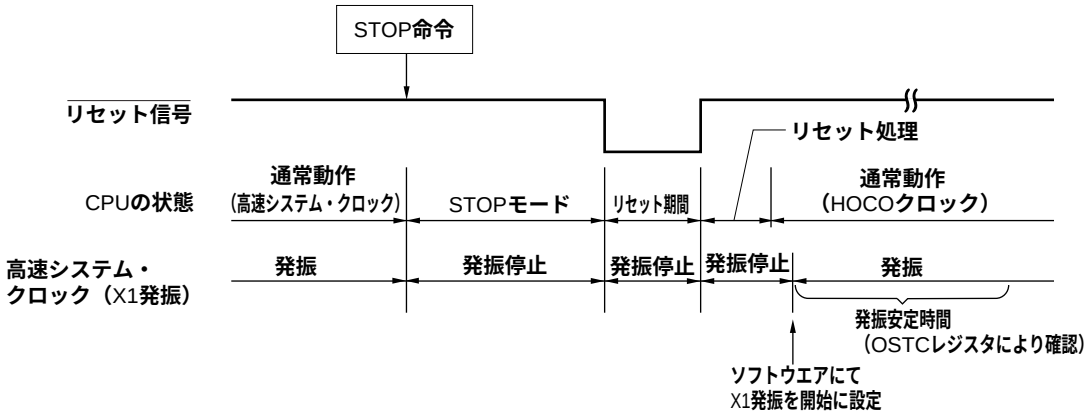
備考 破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

リセット信号の発生により，STOPモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

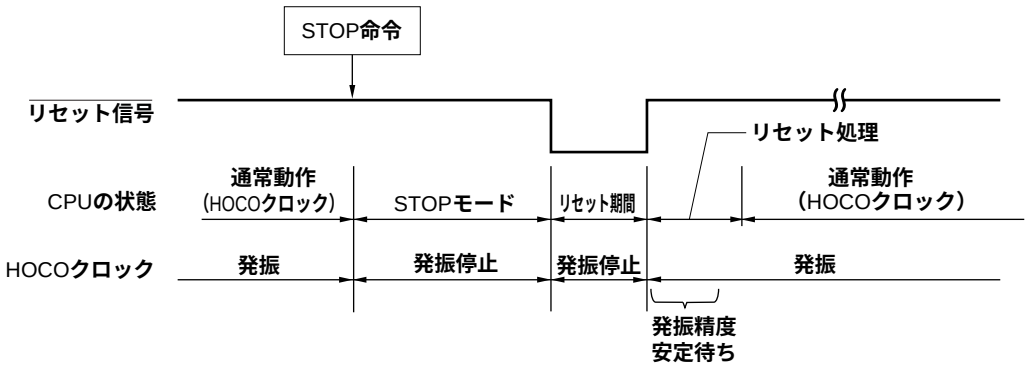
図17－6　STOPモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



★

(2) CPUクロックがHOCOクロックの場合



★

★

17. 2. 3　SNOOZEモード

（1）SNOOZEモードの設定および動作状態

★ CSI00, UART0または，A/Dコンバータのみ設定可能です。また，設定前のCPUクロックが，HOCOクロックの場合のみ設定可能です。

CSI00, UART0をSNOOZEモードで使用する場合は，シリアル・スタンバイ・コントロール・レジスタ0（SSC0）をSTOPモードに移行前に設定してください。詳細は，11. 3　**シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

A/Dコンバータを SNOOZEモードで使用する場合は，A/Dコンバータ・モード・レジスタ2（ADM2）をSTOPモードに移行前に設定してください。詳細は，10. 3　A/D**コンバータで使用するレジスタ**を参照してください。

次にSNOOZEモード時の動作状態を示します。

表17－3　SNOOZEモード時の動作状態

★ 項目 ＼ STOPモードの設定	STOPモード中にCSI00, UART0のデータ受信信号およびA/Dコンバータのタイマ・トリガ信号入力時 HOCOクロック（f_{IH}）でCPU動作時
システム・クロック	CPUへのクロック供給は停止
メイン・システム・クロック（f_{IH}）	動作開始
メイン・システム・クロック（f_X）	停止
メイン・システム・クロック（f_{EX}）	停止
f_{IL}	オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）および動作スピード・モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 ・WUTMMCK = 1：発振 ・WUTMMCK = 0かつWDTON = 0：停止 ・WUTMMCK = 0, WDTON = 1かつWDSTBYON = 1のとき：発振 ・WUTMMCK = 0, WDTON = 1かつWDSTBYON = 0のとき：停止
CPU	動作停止
コード・フラッシュ・メモリ	
データ・フラッシュ・メモリ	
RAM	
ポート（ラッチ）	STOPモード中の状態を継続
タイマ・アレイ・ユニット	動作禁止
インターバル・タイマ	動作可能
ウォッチドッグ・タイマ	第9章　ウォッチドッグ・タイマ参照
クロック出力／ブザー出力	動作停止
A/Dコンバータ	動作可能
シリアル・アレイ・ユニット（SAU）	CSI00, UART0のみ動作可能 CSI00, UART0以外は動作禁止
シリアル・アレイ・ユニット（IICA）	動作禁止
乗除・積和算器	
DMAコントローラ	
パワーオン・リセット機能	動作可能
電圧検出機能	
外部割り込み	
キー割り込み機能	
CRC演算機能	動作禁止
不正メモリ･アクセス検出機能	

備考　動作停止：STOPモード移行時に自動的に動作停止
　　動作禁止：STOPモード移行前に動作を停止させる
★　f_{IH}　：HOCOクロック
★　f_{IL}　：LOCOクロック
　　f_X　：X1クロック
　　f_{EX}　：外部メイン・システム・クロック

第18章　リセット機能

リセット信号を発生させる方法には，次の7種類があります。

(1) $\overline{\text{RESET}}$端子による外部リセット入力
(2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
(3) パワーオン・リセット（POR）回路の電源電圧と検出電圧との比較による内部リセット
(4) 電圧検出回路（LVD）の電源電圧と検出電圧の比較による内部リセット
(5) 不正命令の実行による内部リセット[注]
(6) RAMパリティ・エラーによる内部リセット
(7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に，リセット信号の発生により，0000H，0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$端子にロウ・レベルが入力されるか，ウォッチドッグ・タイマがプログラム暴走を検出するか，POR回路，LVD回路の電圧検出，不正命令の実行[注]，RAMパリティ・エラーの発生，または不正メモリ・アクセスにより，リセットがかかり，各ハードウエアは表18－1に示すような状態になります。また，リセット信号発生中およびリセット解除直後の発振安定時間中の各端子の状態は，ハイ・インピーダンスとなっています。

★ $\overline{\text{RESET}}$端子にロウ･レベルが入力されて，リセットがかかり，$\overline{\text{RESET}}$端子にハイ・レベルが入力されると，リセットが解除され，リセット処理後，HOCOクロックでプログラムの実行を開始します。ウォッチドック・タイマによるリセットは，自動的にリセットが解除され，リセット処理後，HOCOクロックでプログラムの実行を開始します（図18－2から図18－4参照）。POR回路，LVD回路の電圧検出によるリセットは，リセット後$V_{DD} \geqq V_{POR}$または$V_{DD} \geqq V_{LVI}$になったときにリセットが解除され，リセット処理後，HOCOクロックでプログラムの実行を開始します（第19章　パワーオン・リセット回路と第20章　電圧検出回路参照）。

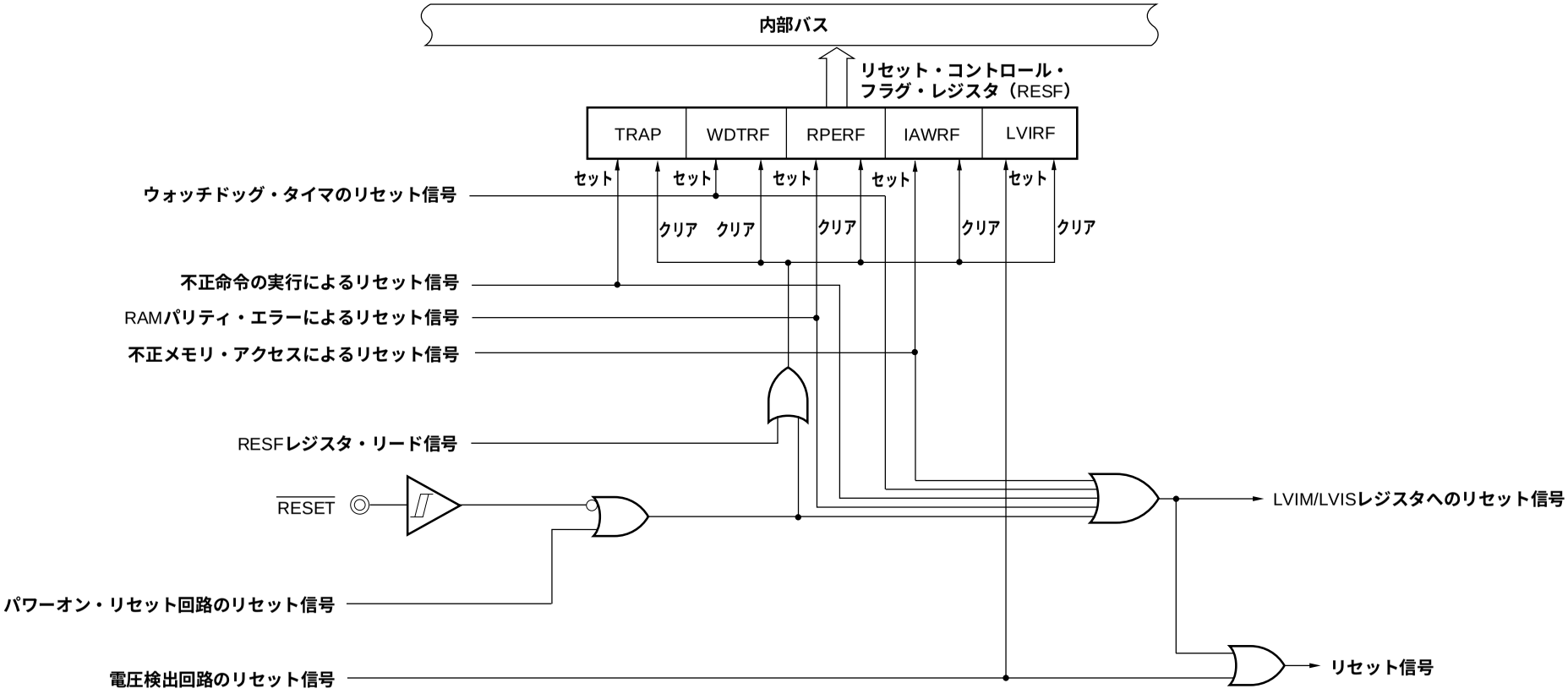
注　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1．外部リセットを行う場合，$\overline{\text{RESET}}$端子に10 μs以上のロウ・レベルを入力してください。
（電源立ち上げ時に外部リセットを行う場合は，動作電圧範囲内（$V_{DD} \geqq 1.6$V）の期間に10 μs以上ロウ・レベルを継続する必要があります。）

★ 2．リセット信号発生中では，X1クロック，HOCOクロック，LOCOクロックの発振は停止します。また，外部メイン・システム・クロックの入力は無効となります。
3．リセットでSTOPモードを解除するとき，リセット入力中はSTOPモード時のRAMの内容を保持します。
4．リセットがかかると各SFRと2nd SFRは初期化されるため，ポート端子はハイ・インピーダンスとなります。

備考　V_{POR}　：POR電源立ち上がり検出電圧

図18－1　リセット機能のブロック図



注意　LVD**回路の内部リセットの場合，**LVD**回路はリセットされません。**

備考1.　LVIM：**電圧検出レジスタ**

2.　LVIS：**電圧検出レベル・レジスタ**

図18－2　$\overline{\text{RESET}}$入力によるリセット・タイミング

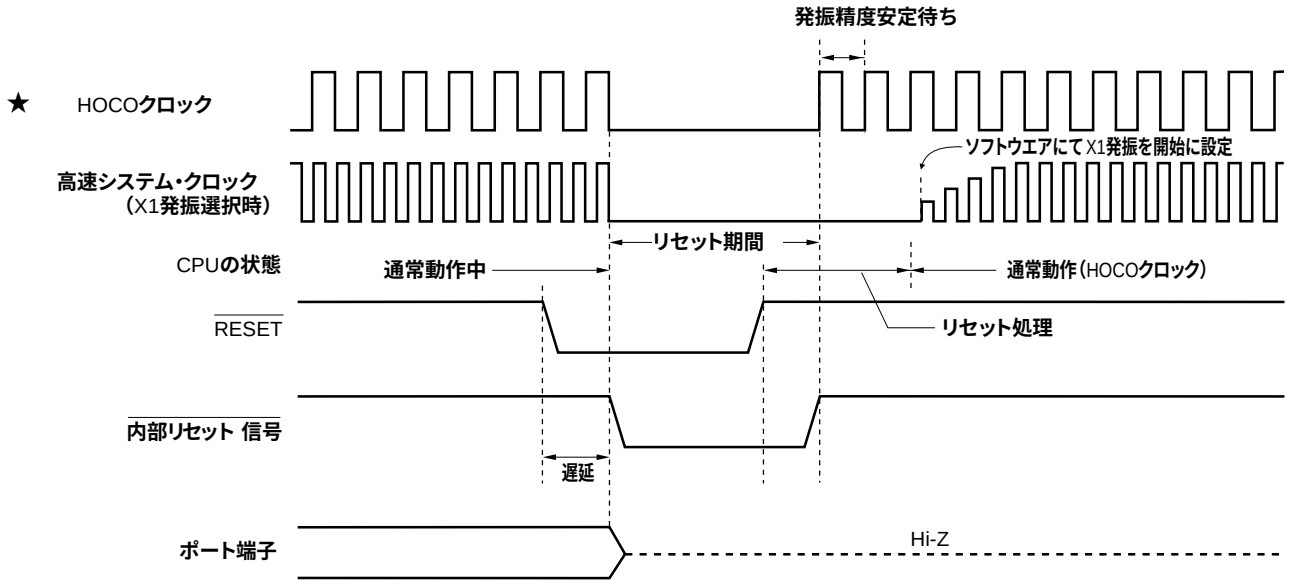
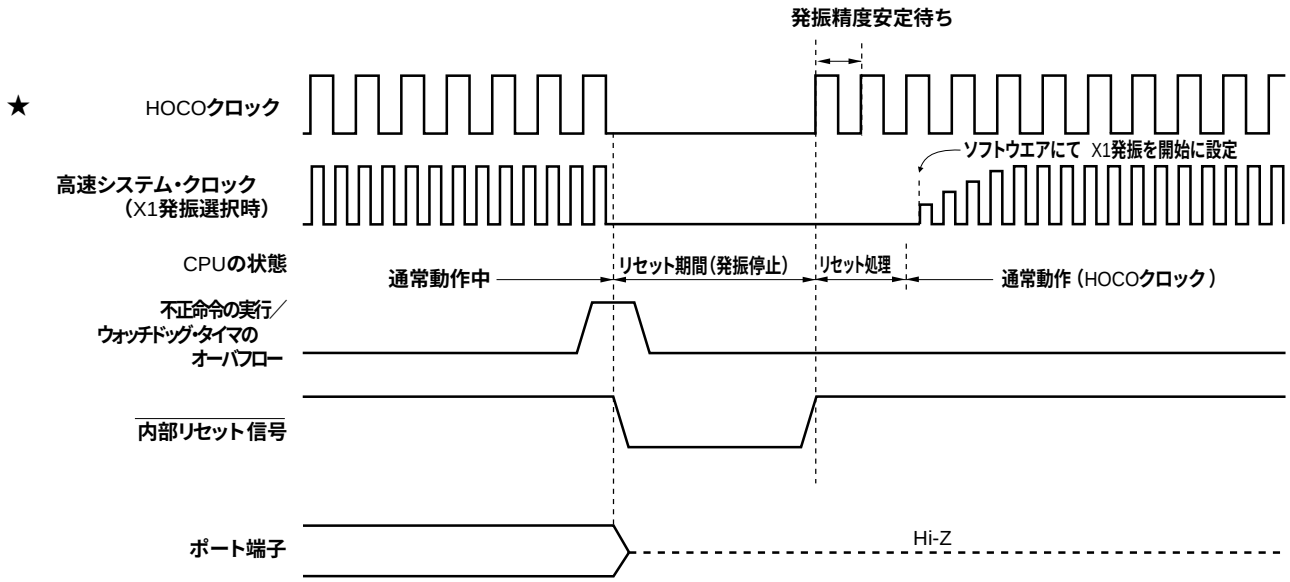
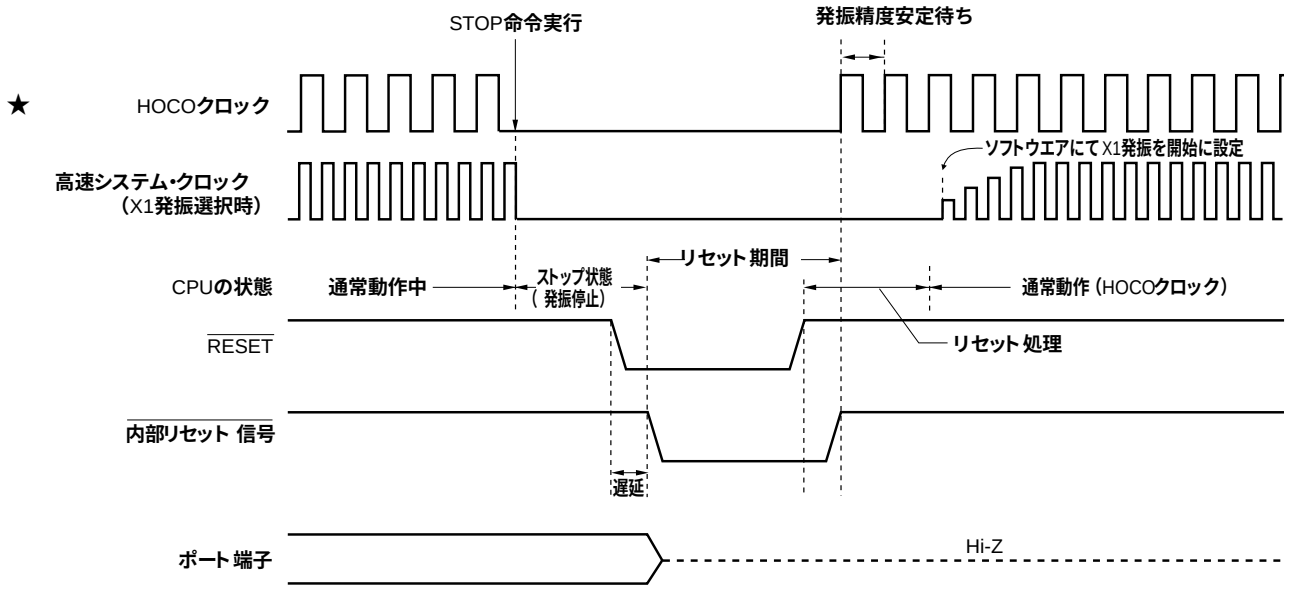


図18－3　不正命令の実行／ウォッチドッグ・タイマのオーバフローによるリセット・タイミング



注意　ウォッチドッグ・タイマの内部リセットの場合，ウォッチドッグ・タイマもリセットされます。

図18－4　STOPモード中の$\overline{\text{RESET}}$入力によるリセット・タイミング



備考　パワーオン・リセット回路と電圧検出回路のリセット・タイミングは，第19章　パワーオン・リセット回路と第20章　電圧検出回路を参照してください。

表18ー1 リセット期間中の動作状態

項目			リセット期間中
システム・クロック			CPUへのクロック供給は停止
	メイン・システム・クロック	f_{IH}	動作停止
		f_X	動作停止（X1, X2端子は入力ポート・モード）
		f_{EX}	クロックの入力無効（端子は入力ポート・モード）
	f_{IL}		動作停止
CPU			
コード・フラッシュ・メモリ			動作停止（オプション・バイト読み出し後，LV（低電圧メイン）モードで動作）
データ・フラッシュ・メモリ			動作停止
RAM			動作停止（ただし，パワーオン・リセット検出電圧以上時では，値を保持）
ポート（ラッチ）			ハイ・インピーダンス。
タイマ・アレイ・ユニット			動作停止
インターバル・タイマ			
ウォッチドッグ・タイマ			
クロック出力／ブザー出力			
A/Dコンバータ			
シリアル・アレイ・ユニット（SAU）			
シリアル・インタフェース（IICA）			
乗除・積和演算器			
DMAコントローラ			
パワーオン・リセット機能			検出動作可能
電圧検出機能			動作停止（オプション・バイト読み出し後，LVD検出動作可能）
外部割り込み			動作停止
キー割り込み機能			
CRC演算機能	高速CRC		
	汎用CRC		
不正メモリ・アクセス検出機能			

★ **備考** f_{IH} ：HOCOクロック

f_X ：X1発振クロック

f_{EX} ：外部メイン・システム・クロック

★ f_{IL} ：LOCOクロック

表18－2 各ハードウエアのリセット受け付け後の状態（1/3）

	ハードウエア		リセット受け付け後の状態[注1]
	プログラム・カウンタ（PC）		リセット・ベクタ・テーブル（0000H, 0001H）の内容がセットされる。
	スタック・ポインタ（SP）		不定
	プログラム・ステータス・ワード（PSW）		06H
	RAM	データ・メモリ	不定[注2]
		汎用レジスタ	不定[注2]
	プロセッサ・モード・コントロール・レジスタ（PMC）		00H
★	ポート・レジスタ（P0-P6, P12-P14）（出力ラッチ）		00H
★	ポート・モード・レジスタ（PM0-PM6, PM12, PM14）		FFH
★	ポート・モード・コントロール・レジスタ1, 4（PMC0, PMC1, PMC4, PMC12, PMC14）		FFH
★	ポート入力モード・レジスタ1（PIM0, PIM1）		00H
★	ポート出力モード・レジスタ0, 1, 4（POM0, POM1, POM4, POM5）		00H
★	プルアップ抵抗オプション・レジスタ（PU0, PU1, PU3-PU5, PU12, PU14）		00H（PU4は01H）
	周辺I/Oリダイレクション・レジスタ（PIOR）		00H
	クロック動作モード制御レジスタ（CMC）		00H
	クロック動作ステータス制御レジスタ（CSC）		C0H
	システム・クロック制御レジスタ（CKC）		09H
	発振安定時間カウンタ状態レジスタ（OSTC）		00H
	発振安定時間選択レジスタ（OSTS）		07H
	ノイズ・フィルタ許可レジスタ0（NFEN0）		00H
	周辺イネーブル・レジスタ0（PER0）		00H
★	高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）		10H
	温度トリミング・レジスタ0-3（TEMPCAL0-TEMPCAL3）		T.B.D.
	動作スピード・モード制御レジスタ（OSMC）		00H
★	タイマ・アレイ・ユニット	タイマ・データ・レジスタ00-07（TDR00-TDR07）	0000H
★		タイマ・モード・レジスタ00-07（TMR00-TMR07）	0000H
		タイマ・ステータス・レジスタ00-03（TSR00-TSR03）	0000H
		タイマ入力選択レジスタ0（TIS0）	00H
★		タイマ・カウンタ・レジスタ00-07（TCR00-TCR07）	FFFFH
		タイマ・チャネル許可ステータス・レジスタ0（TE0）	0000H
		タイマ・チャネル開始レジスタ0（TS0）	0000H
		タイマ・チャネル停止レジスタ0（TT0）	0000H
		タイマ・クロック選択レジスタ0（TPS0）	0000H
	タイマ・アレイ・ユニット	タイマ出力レジスタ0（TO0）	0000H
		タイマ出力許可レジスタ0（TOE0）	0000H
		タイマ出力レベル・レジスタ0（TOL0）	0000H
		タイマ出力モード・レジスタ0（TOM0）	0000H
	インターバル・タイマ	コントロール・レジスタ（ITMC）	0FFFH
	クロック出力／ブザー出力制御回路	クロック出力選択レジスタ0, 1（CKS0, CKS1）	00H
	ウォッチドッグ・タイマ	イネーブル・レジスタ（WDTE）	1AH/9AH[注3]

注1．リセット信号発生中および発振安定時間ウエイト中の各ハードウエアの状態は，PCの内容のみ不定となります。その他は，リセット後の状態と変わりありません。

2． スタンバイ・モード時でのリセット後の状態は保持となります。

3． WDTEのリセット値は，オプション・バイトの設定で決定します。

表18ー2 各ハードウエアのリセット受け付け後の状態（2/3）

	ハードウエア		リセット受け付け後の状態[注]
	A/Dコンバータ	10ビットA/D変換結果レジスタ（ADCR）	0000H
		8ビットA/D変換結果レジスタ（ADCRH）	00H
		モード・レジスタ0-2（ADM0-ADM2）	00H
		変換結果比較上限値設定レジスタ（ADUL）	FFH
		変換結果比較下限値設定レジスタ（ADLL）	00H
		A/Dテスト・レジスタ（ADTES）	00H
		アナログ入力チャネル指定レジスタ（ADS）	00H
		A/Dポート・コンフィギュレーション・レジスタ（ADPC）	00H
★	シリアル・アレイ・ユニット（SAU）	シリアル・データ・レジスタ00-03, 10, 11（SDR00-SDR03, SDR10, SDR11）	0000H
★		シリアル・ステータス・レジスタ00-03, 10, 11（SSR00-SSR03, SSR10, SSR11）	0000H
★		シリアル・フラグ・クリア・トリガ・レジスタ00-03, 10, 11（SIR00-SIR03, SIR10, SIR10）	0000H
★		シリアル・モード・レジスタ00-03, 10, 11（SMR00-SMR03, SMR10, SMR11）	0020H
★		シリアル通信動作設定レジスタ00-03, 10, 11（SCR00-SCR03, SCR10, SCR11）	0087H
		シリアル・チャネル許可ステータス・レジスタ0, 1（SE0, SE1）	0000H
		シリアル・チャネル開始レジスタ0, 1（SS0, SS1）	0000H
		シリアル・チャネル停止レジスタ0, 1（ST0, ST1）	0000H
		シリアル・クロック選択レジスタ0, 1（SPS0, SPS1）	0000H
		シリアル出力レジスタ0, 1（SO0, SO1）	0F0FH
		シリアル出力許可レジスタ0, 1（SOE0, SOE1）	0000H
		シリアル出力レベル・レジスタ0, 1（SOL0, SOL1）	0000H
		シリアル・スタンバイ・コントロール・レジスタ0（SSC0）	0000H
		入力切り替え制御レジスタ（ISC）	00H
	シリアル・インタフェースIICA	IICAシフト・レジスタ0（IICA0）	00H
		IICAステータス・レジスタ0（IICS0）	00H
		IICAフラグ・レジスタ0（IICF0）	00H
		IICAコントロール・レジスタ00（IICCTL00）	00H
		IICAコントロール・レジスタ01（IICCTL01）	00H
		IICAロウ・レベル幅設定レジスタ0（IICWL0）	FFH
		IICAハイ・レベル幅設定レジスタ0（IICWH0）	FFH
		スレーブ・アドレス・レジスタ0（SVA0）	00H
	乗除・積和演算器	乗除算データ・レジスタA（L）（MDAL/MULA）	0000H
		乗除算データ・レジスタA（H）（MDAH/MULB）	0000H
		乗除算データ・レジスタB（L）（MDBL/MULOL）	0000H
		乗除算データ・レジスタB（H）（MDBH/MULOH）	0000H
		乗除算データ・レジスタC（L）（MDCL）	0000H
		乗除算データ・レジスタC（H）（MDCH）	0000H
		乗除算コントロール・レジスタ（MDUC）	00H
	キー割り込み	キー・リターン・モード・レジスタ（KRM）	00H

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウエアの状態は，PCの内容のみ不定となります。その他は，リセット後の状態と変わりありません。

表18－2 各ハードウエアのリセット受け付け後の状態（3/3）

	ハードウエア		リセット受け付け後の状態[注1]
	リセット機能	リセット・コントロール・フラグ・レジスタ（RESF）	不定[注2]
	電圧検出回路	電圧検出レジスタ（LVIM）	00H[注2]
		電圧検出レベル・レジスタ（LVIS）	00H/01H/81H[注2, 3]
	DMAコントローラ	SFRアドレス・レジスタ0, 1（DSA0, DSA1）	00H
		RAMアドレス・レジスタ0, 1（DRA0, DRA1）	00H
		バイト・カウント・レジスタ0, 1（DBC0, DBC1）	00H
		モード・コントロール・レジスタ0, 1（DMC0, DMC1）	00H
		動作コントロール・レジスタ0, 1（DRC0, DRC1）	00H
★	割り込み	要求フラグ・レジスタ0L, 0H, 1L, 1H, 2L, 2H （IF0L, IF0H, IF1L, IF1H, IF2L, IF2H）	00H
★		マスク・フラグ・レジスタ0L, 0H, 1L, 1H, 2L, 2H （MK0L, MK0H, MK1L,MK 1H, MK2L, MK2H）	FFH
★		優先順位指定フラグ・レジスタ00L, 00H, 01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H （PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L,PR11H, PR12L, PR12H）	FFH
		外部割り込み立ち上がりエッジ許可レジスタ0, 1（EGP0, EGP1）	00H
		外部割り込み立ち下がりエッジ許可レジスタ0, 1（EGN0, EGN1）	00H
	安全機能	フラッシュ・メモリCRC制御レジスタ（CRC0CTL）	00H
		フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）	0000H
		CRC入力レジスタ	00H
		CRCデータ・レジスタ	0000H
		不正メモリ・アクセス検出制御レジスタ（IAWCTL）	00H
		RAMパリティ・エラー制御レジスタ（RPECTL）	00H
	フラッシュ・メモリ	データ・フラッシュ・コントロール・レジスタ（DFLCTL）	00H
	10進補正（BCD）回路	BCD補正結果レジスタ（BCDADJ）	不定

注1. **リセット信号発生中および発振安定時間ウエイト中の各ハードウエアの状態は，PCの内容のみ不定となります。その他は，リセット後の状態と変わりありません。**

2. **リセット要因により，次のように異なります。**

リセット要因 ＼ レジスタ		RESET入力	PORによるリセット	不正命令の実行によるリセット	WDTによるリセット	RAMパリティ・エラーによるリセット	不正メモリ・アクセスによるリセット	LVDによるリセット
RESF	TRAP	クリア（0）	クリア（0）	セット（1）	保持	保持	保持	保持
	WDTRF			保持	セット（1）	保持	保持	保持
	RPERF			保持	保持	セット（1）	保持	保持
	IAWRF			保持	保持	保持	セット（1）	保持
	LVIRF			保持	保持	保持	保持	セット（1）
LVIM		クリア（00H）	クリア（00H）	クリア（00H）	クリア（00H）	クリア（00H）	クリア（00H）	保持
LVIS		クリア（00H/81H）	クリア（00H/81H）	クリア（00H/81H）	クリア（00H/81H）	クリア（00H/81H）	クリア（00H/81H）	保持

3. LVD**以外のリセット時は，次のようになります。**
   - **オプション・バイト**LVIMDS1, LVIMDS0 = 1, 0**のとき：**00H
   - **オプション・バイト**LVIMDS1, LVIMDS0 = 1, 1**のとき：**81H
   - **オプション・バイト**LVIMDS1, LVIMDS0 = 0, 1**のとき：**01H

18. 1　リセット要因を確認するレジスタ

RL78/G12は内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ（RESF）は，どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは，8ビット・メモリ操作命令で，読み出すことができます。

$\overline{\text{RESET}}$入力，パワーオン・リセット（POR）回路によるリセットおよびRESFレジスタのデータを読み出すことにより，TRAP, WDTRF, RPERF, IAWRF, LVIRFフラグはクリアされます。

図18－5　リセット・コントロール・フラグ・レジスタ（RESF）のフォーマット

アドレス：FFFA8H　リセット時：00[注1]　R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF

TRAP	不正命令の実行による内部リセット要求[注2]
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

WDTRF	ウォッチドッグ・タイマ（WDT）による内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

RPERF	RAMパリティ・エラーによる内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

IAWRF	不正メモリ・アクセスによる内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

LVIRF	電圧検出（LVD）回路による内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

注1.　リセット要因により異なります。

2.　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1.　1ビット・メモリ操作命令でデータを読み出さないでください。

★ 2.　RAMフェッチ中の命令コードは，パリティ・エラー検出対象外です。ただし，RAMの命令フェッチによるRAMデータ読み出しは，パリティ・エラー検出を行います。

★ 3.　RL78はパイプ・ライン動作のためCPUが先読みを行い，使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで，RAMパリティ・エラーが発生する場合があります。したがって，RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 1）場合，「使用するRAM領域＋10バイト」の領域を必ず初期化してください。また，RAMパリティ・エラー・リセット発生を許可し（RPERDIS = 1），セルフ・プログラミング機能を使用する場合は，「書き換えるRAM領域＋10バイト」の領域を，書き換える前に必ず初期化してください。

リセット要求時のRESFレジスタの状態を表18－3に示します。

表18－3 リセット要求時のRESFレジスタの状態

リセット要因 / フラグ	$\overline{\text{RESET}}$入力	PORによるリセット	不正命令の実行によるリセット	WDTによるリセット	RAMパリティ・エラーによるリセット	不正メモリ・アクセスによるリセット	LVDによるリセット
TRAP	クリア（0）	クリア（0）	セット（1）	保持	保持	保持	保持
WDTRF			保持	セット（1）	保持	保持	保持
RPERF			保持	保持	セット（1）	保持	保持
IAWRF			保持	保持	保持	セット（1）	保持
LVIRF			保持	保持	保持	保持	セット（1）

第19章　パワーオン・リセット回路

19. 1　パワーオン・リセット回路の機能

パワーオン・リセット（POR）回路は次のような機能を持ちます。

・電源投入時に内部リセット信号を発生します。
電源電圧（V_{DD}）が1.51 V±0.03 Vを越えた場合に，リセットを解除します。

・電源電圧（V_{DD}）と検出電圧（V_{PDR} = 1.50 V±0.03 V）を比較し，V_{DD}＜V_{PDR}になったとき内部リセット信号を発生します。

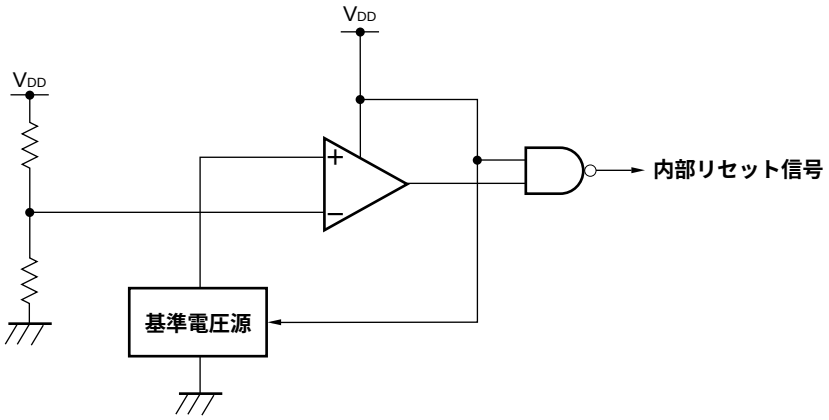
注意　POR回路で内部リセット信号が発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）のTRAP, WDTRF, RPERF, IAWRF, LVIRFフラグがクリア（00H）されます。

備考　本製品には内部リセット信号を発生するハードウエアが複数内蔵されています。ウォッチドッグ・タイマ（WDT）／電圧検出（LVD）回路／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合，そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は，クリア（00H）されずフラグがセット（1）されます。RESFレジスタの詳細については，第18章　リセット機能を参照してください。

19. 2　パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図19－1に示します。

図19－1　パワーオン・リセット回路のブロック図



19. 3　パワーオン・リセット回路の動作

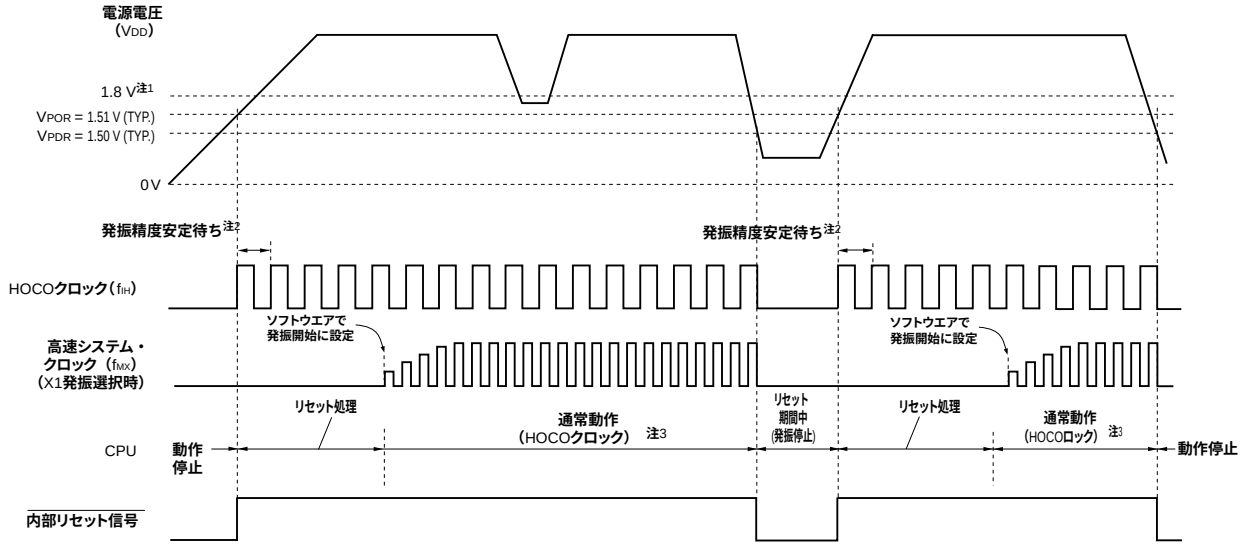
・電源投入時に内部リセット信号を発生し，電源電圧（V_{DD}）が検出電圧（V_{POR} = 1.51 V±0.03 V）を越えたら，リセットを解除します。

・電源電圧（V_{DD}）と検出電圧（V_{PDR} = 1.50 V±0.03 V）を比較し，V_{DD}＜V_{PDR}になったとき内部リセット信号を発生します。

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図19－2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（1/2）

（1）LVDオフ時（オプション・バイト000C1Hのの VPOC0-VPOC2 = 111B）



★ **注1. 動作保証範囲は，1.8 V≦VDD≦5.5 Vです。電源立ち下がり時に1.8 V未満をリセット状態にしたい場合は，電圧検出回路のリセット機能を使用，またはRESET端子にロウ・レベルを入力してください。**

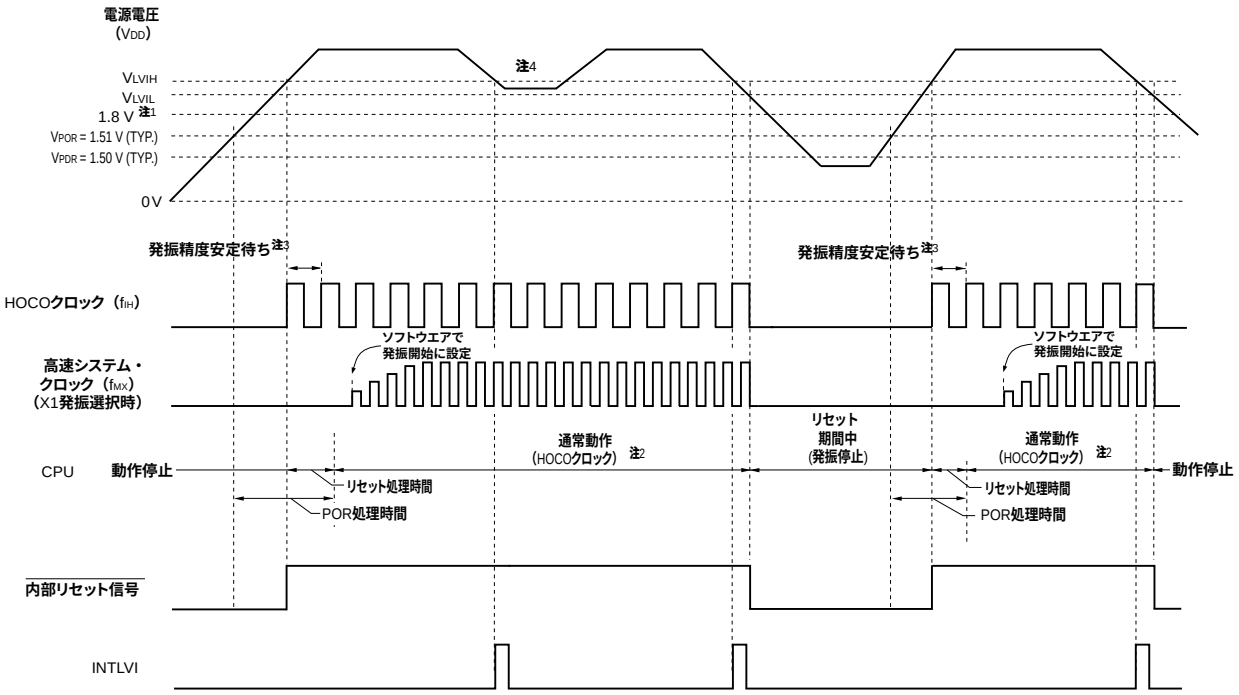
★ **2. HOCOクロックの発振精度安定待ち時間は，内部の電圧安定待ちなどのリセット処理時間に含まれます。**

★ **3. CPUクロックをHOCOクロックから高速システム・クロックに切り替え可能です。X1クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（OSTC）を確認してから切り替えてください。**

備考 VPOR **：POR電源立ち上がり検出電圧**
VPDR **：POR電源立ち下がり検出電圧**

図19－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（2/2）

（2）LVDが割り込み＆リセットモード時（オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0）



★ **注1.　動作保証範囲は，1.8 V≦VDD≦5.5 Vです。電源立ち下がり時に1.8 V未満をリセット状態にしたい場合は，電圧検出回路のリセット機能を使用，またはRESET端子にロウ・レベルを入力してください。**

★ 2. **CPUクロックをHOCOクロックから高速システム・クロックに切り替え可能です。X1クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（OSTC）を確認してから切り替えてください。**

★ 3. **HOCOクロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。**

4. **1回目の割り込み要求信号（INTLVI）が発生したあと，電圧検出レベル・レジスタ（LVIS）のLVIL, LVIMD**

★ **ビットは自動的に1に設定されます。そのため，動作電圧が電圧検出電圧（VLVIL）を下回らずに，1.8 V以上に復帰した場合は，INTLVI発生後，必要な退避処理を行い，ソフトウエアで次の設定を①，②の順で行ってください。**

① LVISレジスタのLVILVビットを0に設定

② LVISレジスタのLVIMDビットを0に設定

備考　VLVIH, VLVIL　：LVD検出電圧

VPOR　　：POR電源立ち上がり検出電圧

VPDR　　：POR電源立ち下がり検出電圧

19. 4　パワーオン・リセット回路の注意事項

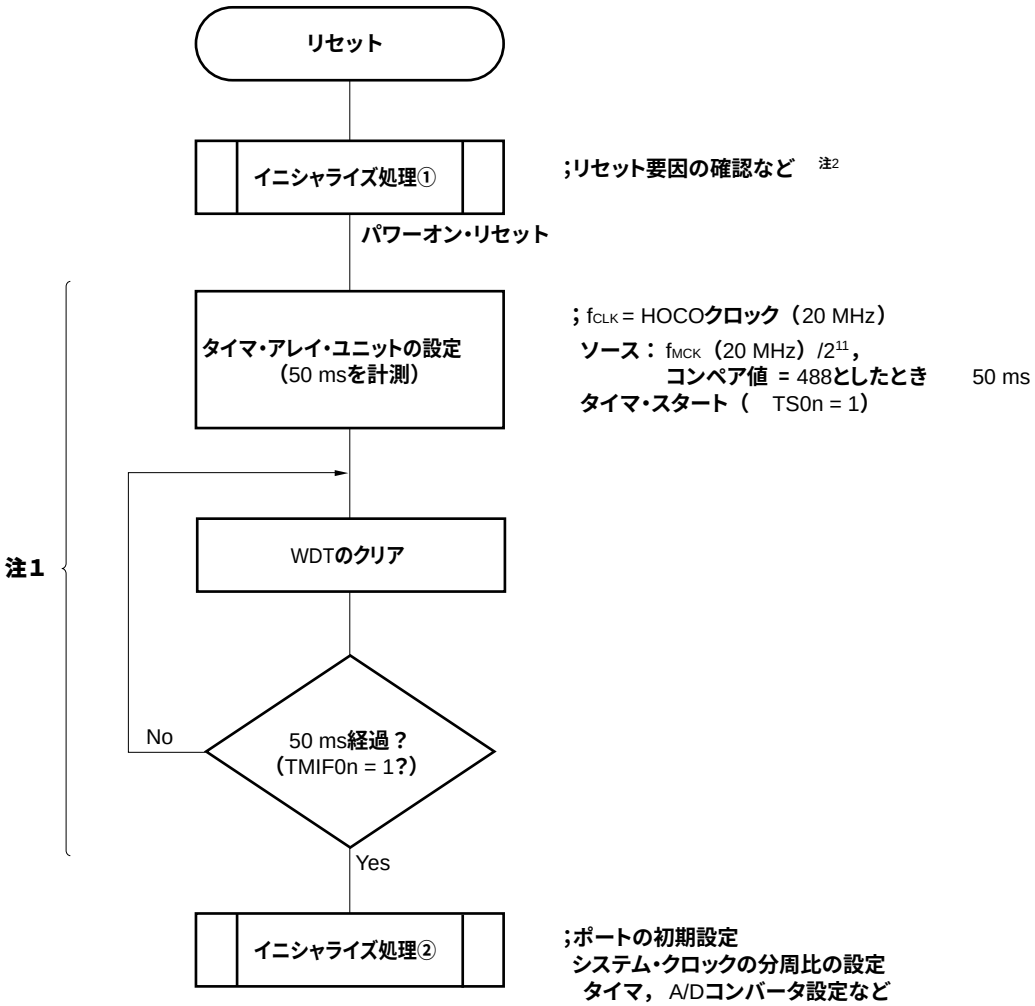
電源電圧（V_{DD}）がPOR検出電圧（V_{POR}, V_{PDR}）付近で，ある期間ふらつくような構成のシステムでは，リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって，リセット解除からマイコン動作開始までの時間を任意に設定できます。

＜処　置＞

リセット解除後，タイマなどを使用するソフトウエア・カウンタにて，システムごとに異なる電源電圧変動期間をウエイトしてから，ポートなどを初期設定してください。

図19－3　リセット解除後のソフト処理例（1/2）

・POR検出電圧付近での電源電圧変動が50 ms以下の場合



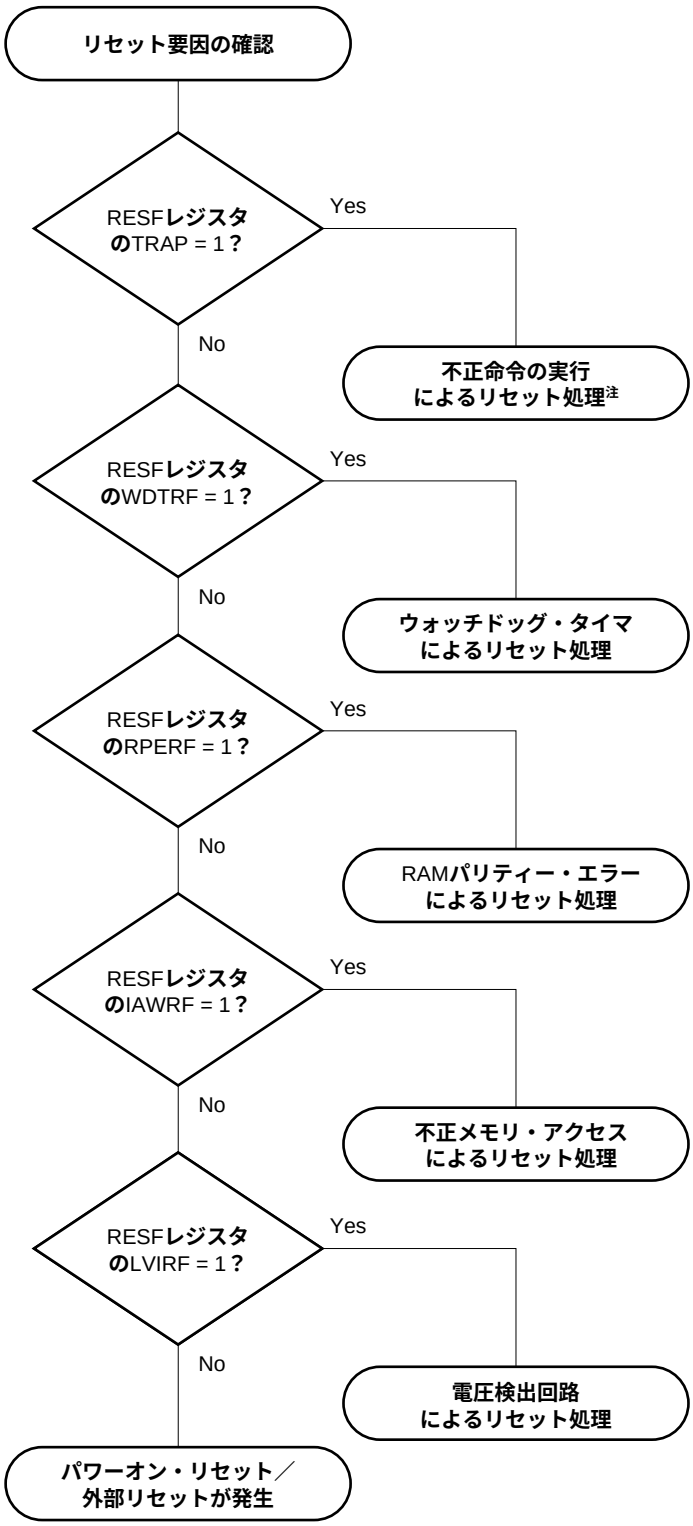
注1．この間に再度リセットが発生した場合，イニシャライズ処理②には移行しません。

2．次ページにフロー・チャートを示します。

備考　n = 0-3

図19ー3　リセット解除後のソフト処理例（2/2）

・リセット要因の確認



注　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第20章　電圧検出回路

20. 1　電圧検出回路の機能

電圧検出（LVD）回路は，次のような機能を持ちます。

- 電源電圧（V_{DD}）と検出電圧（V_{LVIH}, V_{LVIL}）を比較し，内部リセットまたは内部割り込み信号を発生します。
- 電源電圧の検出電圧（V_{LVIH}, V_{LVIL}）は，オプション・バイトにて検出レベルを12段階より選択できます（第22章　オプション・バイト参照）。
- STOPモード時においても動作可能です。
- オプション・バイトにて，次の3つの動作モードを選択できます。

（a）割り込み＆リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）

オプション・バイト000C1Hで選択する2つの検出電圧に対して，高電圧検出レベル（V_{LVIH}）を割り込み発生／リセット解除用，低電圧検出レベル（V_{LVIL}）をリセット発生用として使用します。

（b）リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 1）

オプション・バイト000C1Hで選択する1つの検出電圧（V_{LVI}）を，リセット発生／解除用として使用します。

（c）割り込みモード（オプション・バイトLVIMDS1, LVIMDS0 = 0, 1）

オプション・バイト000C1Hで選択する1つの検出電圧（V_{LVI}）を，割り込み発生用として使用します。

割り込み＆リセット・モードでは2つの検出電圧（V_{LVIH}, V_{LVIL}）を，リセット・モードおよび割り込みモードでは1つの検出電圧（V_{LVI}）を設定できます。

リセットと割り込み信号は，オプション・バイト（LVIMDS0, LVIMDS1）の選択により，次のように発生します。

割り込み＆リセット・モード （LVIMDS1, LVIMDS0 = 1, 0）	リセット・モード （LVIMDS1, LVIMDS0 = 1, 1）	割り込みモード （LVIMDS1, LVIMDS0 = 0, 1）
V_{DD}＜V_{LVIH}になったときに内部割り込み信号を発生し，V_{DD}＜V_{LVIL}になったときに内部リセットを発生。 V_{DD}≧V_{LVIH}になったときに内部リセットを解除。	V_{DD}＜V_{LVI}になったときに内部リセットを発生し，V_{DD}≧V_{LVI}になったときに内部リセットを解除	電源電圧降下時にV_{DD}＜V_{LVI}になったとき，または電源電圧上昇時にV_{DD}≧V_{LVI}になったときに内部割り込み信号を発生

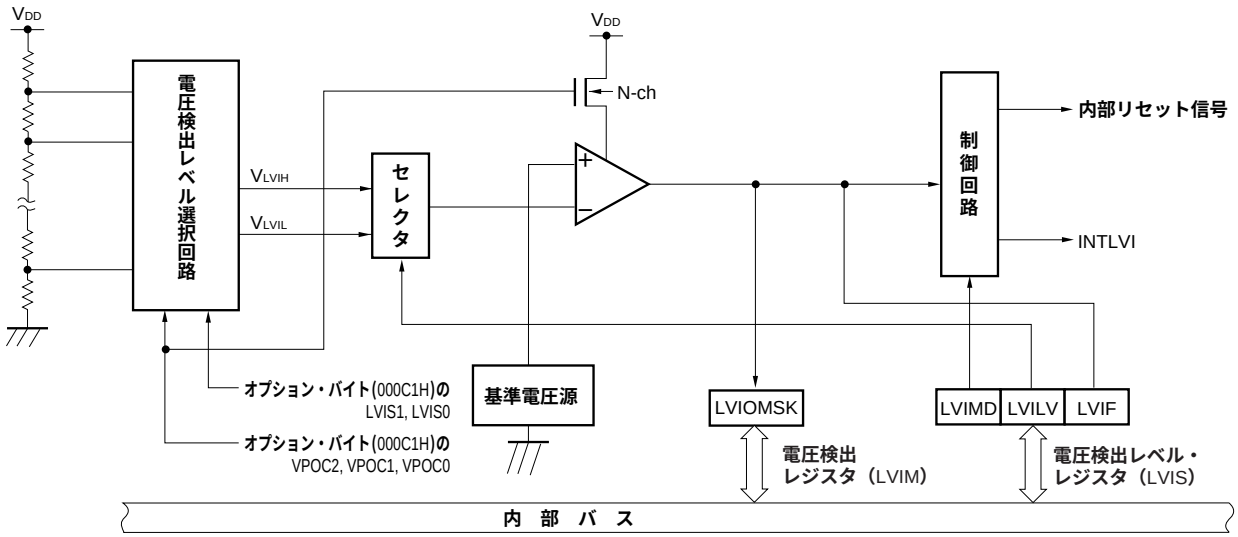
★ 電圧検出回路動作時では，電圧検出フラグ（LVIF：電圧検出レジスタ（LVIM）のビット0）を読み出すことにより，電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）のビット0（LVIRF）がセット（1）されます。RESFレジスタについての詳細は，第18章　リセット機能を参照してください。

20. 2　電圧検出回路の構成

電圧検出回路のブロック図を図20－1に示します。

図20－1　電圧検出回路のブロック図



20. 3　電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

- 電圧検出レジスタ（LVIM）
- 電圧検出レベル・レジスタ（LVIS）

(1) 電圧検出レジスタ（LVIM）

電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定，LVD出力のマスク状態を確認するレジスタです。

LVIMレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図20－2　電圧検出レジスタ（LVIM）のフォーマット

アドレス：FFFA9H　リセット時：00H[注1]　R/W[注2]

略号	7	6	5	4	3	2	1	0
LVIM	LVISEN	0	0	0	0	0	LVIOMSK	LVIF

LVISEN	電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定
0	書き換え禁止
1	書き換え許可

LVIOMSK	LVD出力マスク状態フラグ
0	マスク無効
1	マスク有効

LVIF	電圧検出フラグ
0	電源電圧（V_{DD}）≧検出電圧（V_{LVI}），またはLVD動作禁止時
1	電源電圧（V_{DD}）＜検出電圧（V_{LVI}）

注1．リセット値は，リセット要因により変化します。

LVDによるリセットのときには，LVIMレジスタの値はリセットされず，そのままの値を保持します。その他のリセットでは，“ 00H ”にクリアされます。

2．ビット0はRead Onlyです。

(2) 電圧検出レベル・レジスタ（LVIS）

電圧検出レベルを設定するレジスタです。

LVISレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H/01H/81H[注1]になります。

図20－3　電圧検出レベル・レジスタ（LVIS）のフォーマット

アドレス：FFFAAH　リセット時：0EH　R/W

略号	7	6	5	4	3	2	1	0
LVIS	LVIMD	0	0	0	0	0	0	LVILV

LVIMD	電圧検出の動作モード
0	割り込みモード[注2]
1	リセット・モード

LVILV	LVD検出レベル
0	高電圧検出レベル（V_{LVIH}）[注2]
1	低電圧検出レベル（V_{LVIL}）

注1．リセット値は，リセット要因およびオプション・バイトの設定により変化します。
LVDによるリセットのときには，LVIMレジスタの値はリセットされず，そのままの値を保持します。その他のリセットでは，“00H”にクリアされます。

2．オプション・バイトでLVIMDS1, LVIMDS0 = 1, 0または0, 1（割り込み＆リセット・モード，または割り込みモード）選択時のみ設定可能

注意1. LVISレジスタを書き換える場合は，LVISENビット（LVIMレジスタのビット7）を必ず1にしてから行ってください。

2. LVDの動作モード，検出電圧（V_{LVIH}, V_{LVIL}）は，オプション・バイト（000C1H）で設定します。オプション・バイト（000C1H）の設定を表20－1に示します。オプション・バイトの詳細は第22章　オプション・バイトを参照してください。

表20－1　ユーザ・オプション・バイト（000C1H）によるLVD動作モード・検出電圧設定（1/2）

・割り込み＆リセット・モード時の設定

検出電圧		オプション・バイト設定値						
V_{LVIL}	V_{LVIH}	LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
1.8 V	＋0.1 V	1	0	0	0	1	1	0
	＋0.2 V						0	1
	＋1.2 V						0	0
2.4 V	＋0.1 V			0	1	0	1	0
	＋0.2 V						0	1
	＋1.2 V						0	0
2.7 V	＋0.1 V			0	1	1	1	0
	＋0.2 V						0	1
	＋1.2 V						0	0
上記以外		設定禁止						

・リセット・モード時の設定

検出電圧	オプション・バイト設定値						
V_{LVI}	LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
LVDOFF	1	1	1	1	1	×	×
1.88 V			0	0	1	1	1
1.98 V			0	0	1	1	0
2.09 V			0	0	1	0	1
2.50 V			0	1	0	1	1
2.61 V			0	1	0	1	0
2.71 V			0	1	0	0	1
2.81 V			0	1	1	1	1
2.92 V			0	1	1	1	0
3.02 V			0	1	1	0	1
3.13 V			0	0	1	0	0
3.75 V			0	1	0	0	0
4.06 V			0	1	1	0	0
上記以外	設定禁止						

表20－1　ユーザ・オプション・バイト（000C1H）によるLVD動作モード・検出電圧設定（2/2）

・割り込みモード時の設定

検出電圧	オプション・バイト設定値						
V_{LVI}	LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
LVDOFF	0	1	1	1	1	×	×
1.88 V			0	0	1	1	1
1.98 V			0	0	1	1	0
2.09 V			0	0	1	0	1
2.50 V			0	1	0	1	1
2.61 V			0	1	0	1	0
2.71 V			0	1	0	0	1
2.81 V			0	1	1	1	1
2.92 V			0	1	1	1	0
3.02 V			0	1	1	0	1
3.13 V			0	0	1	0	0
3.75 V			0	1	0	0	0
4.06 V			0	1	1	0	0
上記以外	設定禁止						

20. 4　電圧検出回路の動作

20. 4. 1　リセット・モードとして使用時の設定

●動作開始時

次の初期設定の状態でスタートする。

動作モード（リセット・モード（LVIMDS1, LVIMDS0 = 1, 1））と検出電圧（V_{LVI}）の設定は，オプション・バイト000C1H/010C1Hで設定しておきます。

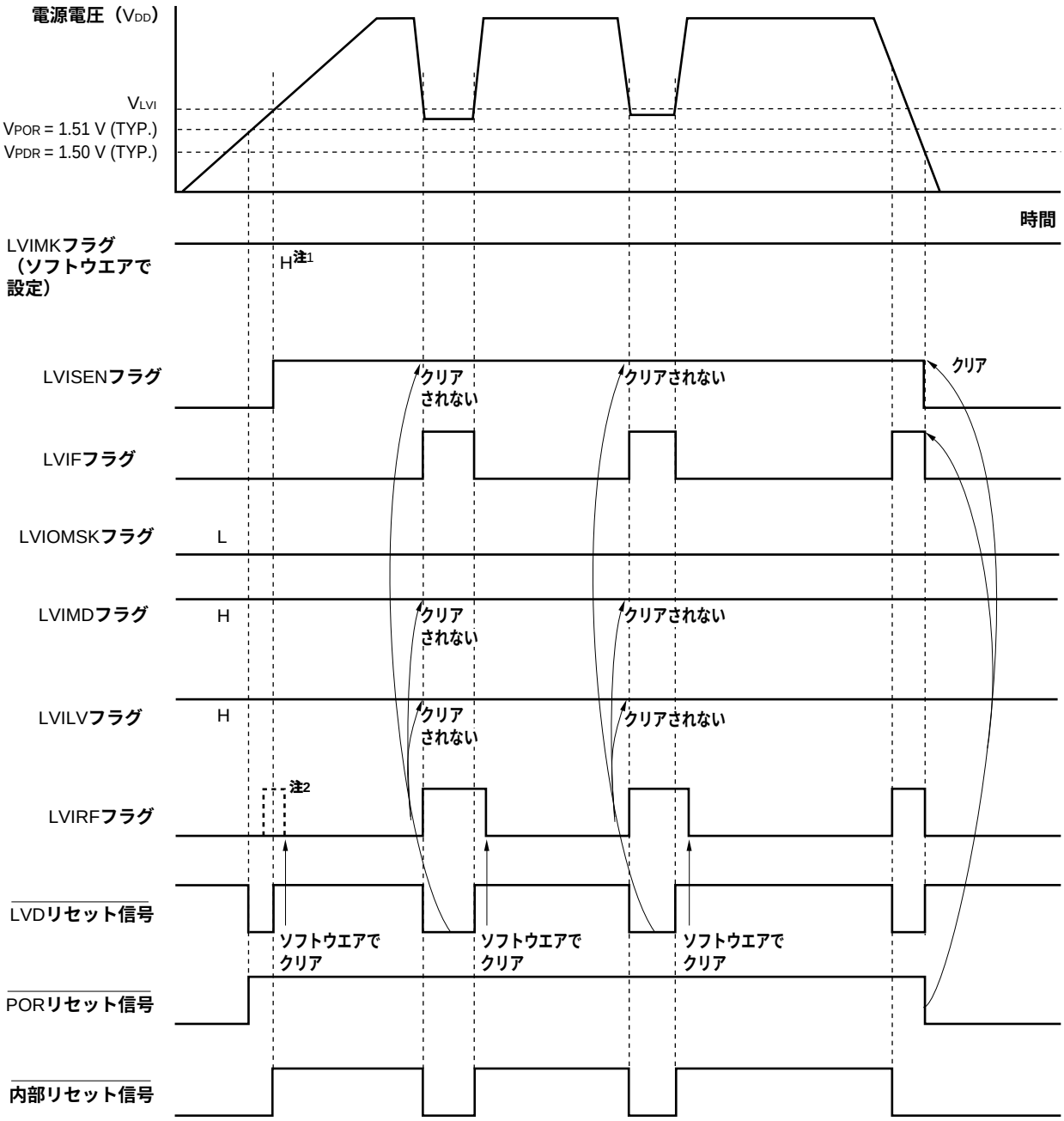
- 電圧検出レジスタ（LVIM）のビット7（LVISEN）は“1”（電圧検出レベル・レジスタ（LVIS）の書き換え許可）
- オプション・バイトLVIMDS1, LVIMDS0 = 1, 1に設定すると，LVISレジスタの初期値は，81Hに設定されます。

  ビット7（LVIMD）は“1”（リセット・モード）

  ビット0（LVILV）は“1”（低電圧検出レベル：V_{LVI}）

図20－4に，電圧検出回路の内部リセット信号発生のタイミングを示します。

図20ー4　**内部リセット信号発生のタイミング（オプション・バイト**LVIMDS1, LVIMDS0 = 1, 1**）**



注1.　LVIMK**フラグはリセット信号の発生により，“**1**”になっています。**

2.　LVIRF**フラグはリセット・コントロール・フラグ・レジスタ（**RESF**）のビット**0**です。**
電源立ち上がり波形により，LVIRF**フラグが最初から**1**になることがあります。**
RESF**レジスタについての詳細は，第**18**章　リセット機能を参照してください。**

備考　VPOR**：POR電源立ち上がり検出電圧**
VPDR**：POR電源立ち下がり検出電圧**

20. 4. 2　割り込みモードとして使用時の設定

●動作開始時

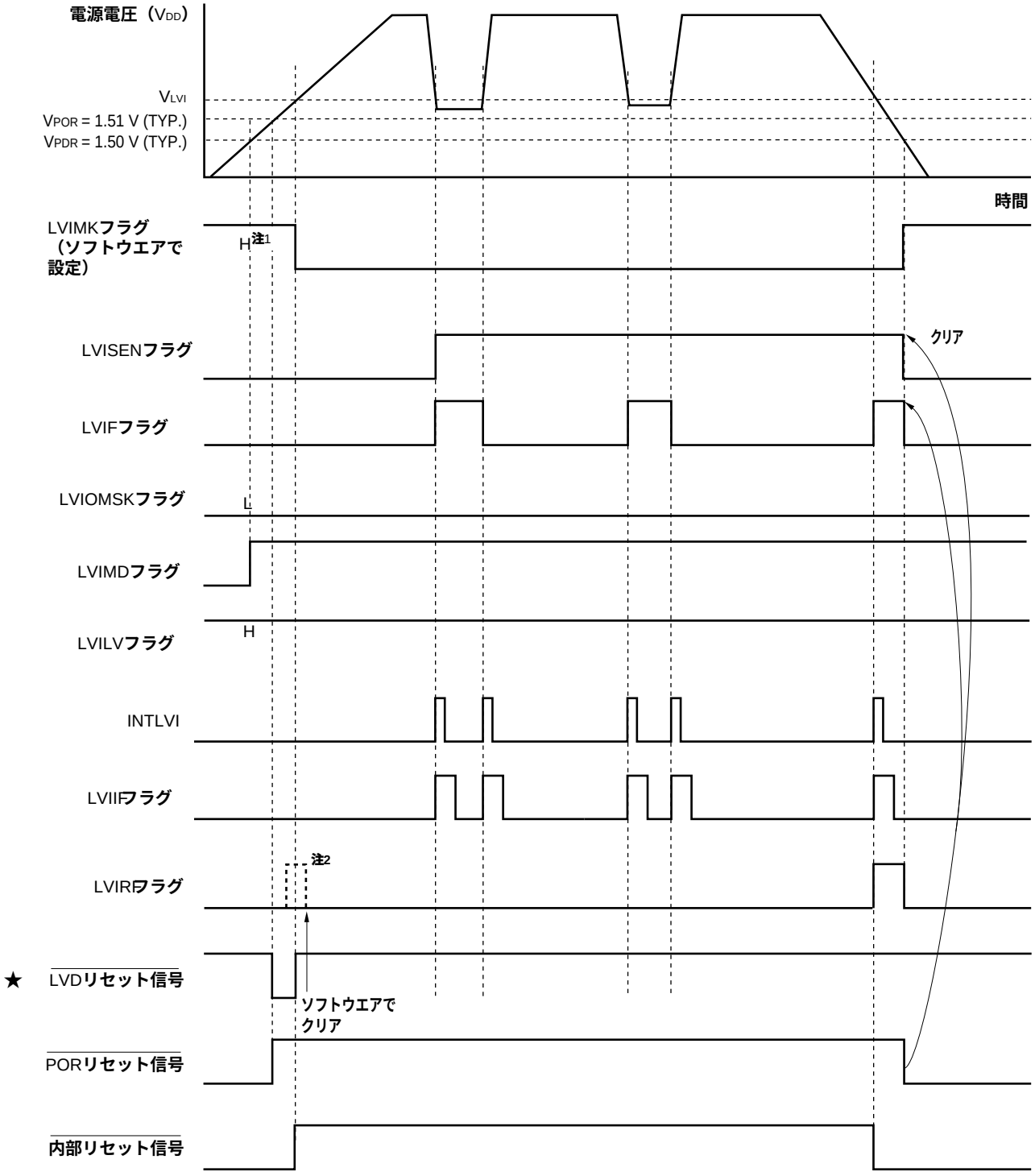
動作モード（割り込みモード（LVIMDS1, LVIMDS0 = 0, 1））と検出電圧（V_{LVI}）の設定は，オプション・バイト000C1Hで設定しておきます。

次の初期設定の状態でスタートする。

- 電圧検出レジスタ（LVIM）のビット7（LVISEN）は“1”（電圧検出レベル・レジスタ（LVIS）の書き換え許可）
- オプション・バイトLVIMDS1, LVIMDS0 = 0, 1に設定すると，LVISレジスタの初期値は，00Hに設定されます。
  - ビット7（LVIMD）は“0”（割り込みモード）
  - ビット0（LVILV）は“1”（低電圧検出レベル：V_{LVI}）

図20－5に，電圧検出回路の内部割り込み信号発生のタイミングを示します。

図20－5　割り込み信号発生のタイミング（オプション・バイトLVIMDS1, LVIMDS0 = 0, 1**）**



注1．LVIMK**フラグはリセット信号の発生により，“**1**”になっています。**

2. LVIRF**フラグはリセット・コントロール・フラグ・レジスタ（**RESF**）のビット**0**です。**
電源立ち上がり波形により，LVIRF**フラグが最初から**1**になることがあります。**
RESF**レジスタについての詳細は，第**18**章　リセット機能を参照してください。**

備考　VPOR：**POR電源立ち上がり検出電圧**
VPDR：**POR電源立ち下がり検出電圧**

20. 4. 3　割り込み＆リセット・モードとして使用時の設定

●動作開始時

動作モード（割り込み＆リセット・モード（LVIMDS1, LVIMDS0 = 1, 0））と検出電圧（V_{LVIH}, V_{LVIL}）の設定は，オプション・バイト000C1Hで設定しておきます。

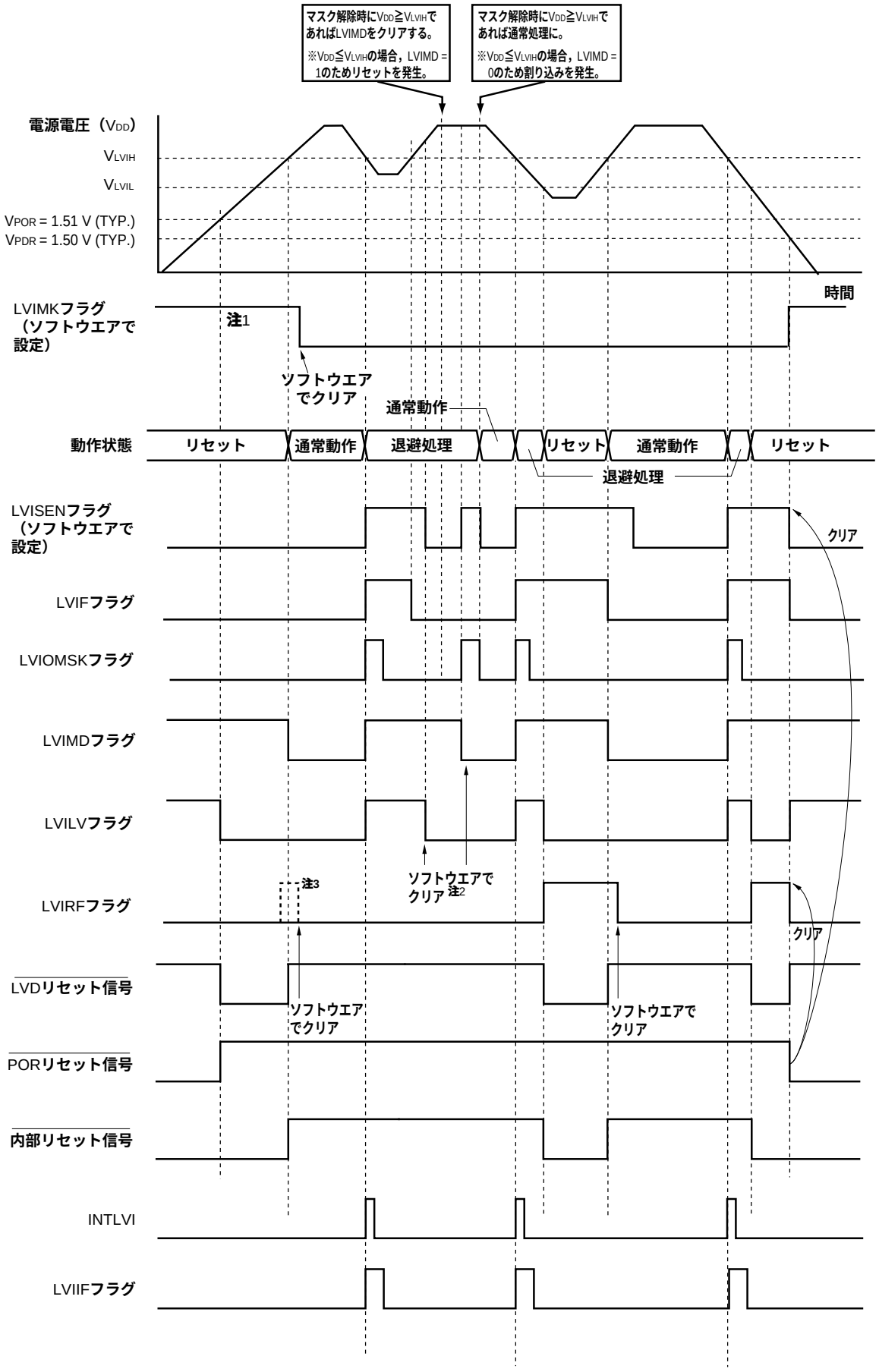
次の初期設定の状態でスタートする。

- 電圧検出レジスタ（LVIM）のビット7（LVISEN）は“1”（電圧検出レベル・レジスタ（LVIS）の書き換え許可）
- オプション・バイトLVIMDS1, LVIMDS0 = 1, 0に設定すると，LVISレジスタの初期値は，00Hに設定されます。
  - ビット7（LVIMD）は“0”（割り込みモード）
  - ビット0（LVILV）は“0”（高電圧検出レベル：V_{LVIH}）

注意　電源立ち上がり波形により，LVIRFフラグが最初から1になることがあります。
RESFレジスタについての詳細は，第18章　リセット機能を参照してください。

図20－6に，電圧検出回路の内部リセット信号と割り込み信号発生のタイミングを示します。

図20－6　割り込み＆リセット信号発生のタイミング（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0**）**



（注，備考は次ページにあります。）

注1．LVIMK**フラグはリセット信号の発生により，“**1**”になっています。**

2. **割り込み要求信号（**INTLVI**）が発生したあと，電圧検出レベル・レジスタ（**LVIS**）の**LVIL, LVIMD**ビットは自動的に**1**に設定され，次の**V_{DD}＜V_{LVIH}**検出時の動作はリセット発生になってしまいます。動作電圧が電圧検出電圧（**V_{LVIL}**）を下回らずに，**1.8 V**以上に復帰した場合，**INTLVI**発生後，必要な退避処理を行い，ソフトウエアで次の設定を①，②の順に行ってください。**
   - **① LVIS**レジスタの**LVILV**ビットを**0**に設定**
   - **② LVIS**レジスタの**LVIMD**ビットを**0**に設定**
3. LVIRF**フラグはリセット・コントロール・フラグ・レジスタ（**RESF**）のビット**0**です。**
   電源立ち上がり波形により，LVIRF**フラグが最初から**1**になることがあります。**
   RESF**レジスタについての詳細は，第**18**章　リセット機能**を参照してください。

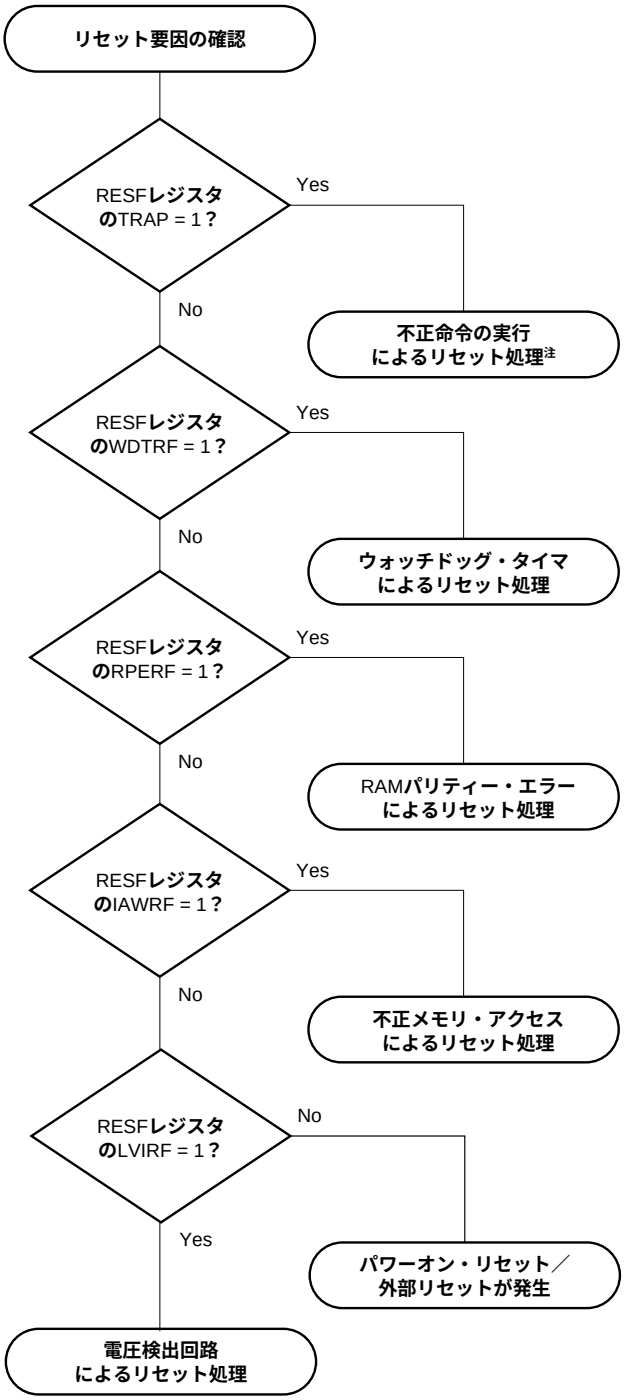
備考　V_{POR}**：POR電源立ち上がり検出電圧**
　　V_{PDR}**：POR電源立ち下がり検出電圧**

20. 5　電圧検出回路の注意事項

(1) リセット要因の確認方法

リセットが発生した場合は，次の方法でリセット要因を確認してください。

図20－7　リセット要因確認方法

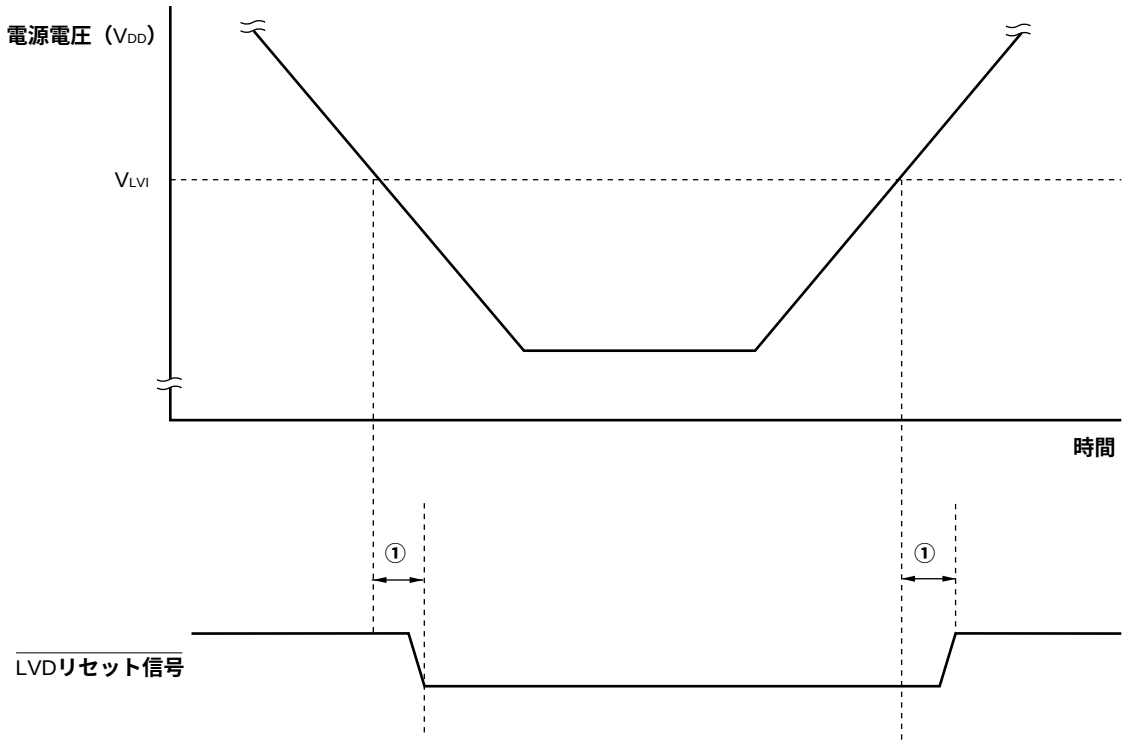


注　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

(2) LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧（V_{DD}）＜LVD検出電圧（V_{LVI}）になってから，LVDリセットが発生するまでには遅延が生じます。同じようにLVD検出電圧（V_{LVI}）≦電源電圧（V_{DD}）になってから，LVDリセットが解除されるまでにも遅延が生じます（図20－8参照）。

図20－8　LVDリセット要因発生からLVDリセット発生または解除までの遅延



①　**：最小パルス幅**（200 μs（MIN.））

第21章　安全機能

21. 1　安全機能の概要

RL78/G12では，以下の機能により製品の異常動作を回避もしくは検知し，システムの安全性を確保します。

(1) フラッシュ・メモリCRC演算機能

CRC演算を行うことにより，フラッシュ・データの誤りを検出します。

また，RL78/G12には多用途で使用できる汎用CRC機能を内蔵しています。

データ・フラッシュ搭載品に内蔵している機能です。

(2) RAMパリティ・エラー検出機能

RAMをデータとして読み出すとき，パリティ・エラーを検出します。

(3) 不正メモリ・アクセス検出機能

不正メモリ領域へのアクセスを検出します。

(4) RAMガード機能

CPUの暴走によるRAMデータの書き換えを保護します。

データ・フラッシュ搭載品に内蔵している機能です。

(5) SFRガード機能

CPUの暴走によるSFRの書き換えを保護します。

データ・フラッシュ搭載品に内蔵している機能です。

(6) 周波数検出機能

TAUを使用して，発振周波数を検出することができます。

(7) A/Dテスト機能

内部基準電圧をA/D変換することにより，A/D変換の自己チェックができます。

21. 2　安全機能で使用するレジスタ

安全機能には，次のレジスタを使用します。

- CRC入力レジスタ（CRCIN）
- CRCデータ・レジスタ（CRCD）
- RAMパリティ・エラー制御レジスタ（RPECTL）
- 不正メモリ・アクセス検出制御レジスタ（IAWCTL）
- タイマ入力選択レジスタ0（TIS0）
- A/Dテスト・レジスタ（ADTES）

（1）CRC入力レジスタ（CRCIN）

CRCデータを設定するレジスタです（データ・フラッシュ搭載品に内蔵）。

設定可能範囲は，00H-FFHです。

CRCINレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図21－1　CRC入力レジスタ（CRCIN）のフォーマット

アドレス：FFFACH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CRCIN								

(2) CRCデータ・レジスタ（CRCD）

CRC演算結果を格納するレジスタです（データ・フラッシュ搭載品に内蔵）。

設定可能範囲は，0000H-FFFFHです。

CRCINレジスタ書き込みから，CPU／周辺ハードウエア・クロック（f_{CLK}）の1クロック経過後に，CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図21－2　CRCデータ・レジスタ（CRCD）のフォーマット

アドレス：F02FAH　リセット時：0000H　R/W

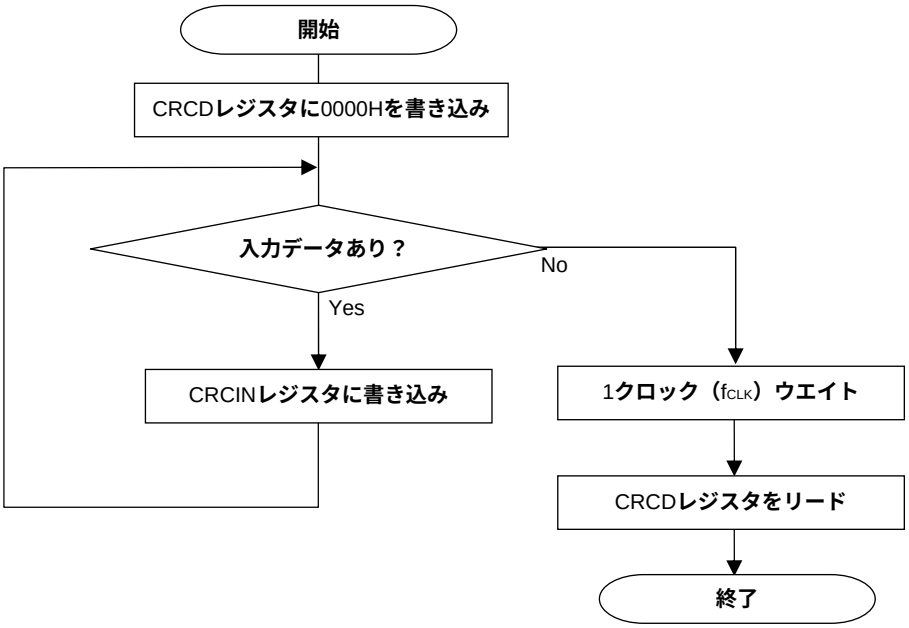
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCD																

注意1. CRCDレジスタに書き込まれた値を読み出す場合は，CRCINレジスタへの書き込みを行う前にリードしてください。

2. CRCDレジスタへの書き込みと演算結果の格納が競合した場合，書き込みは無視されます。

CRCINレジスタとCRCDレジスタの設定方法を図21－3に示します。

図21－3　CRCINレジスタとCRCDレジスタの設定方法



(3) RAMパリティ・エラー制御レジスタ（RPECTL）

パリティ・エラーによるリセット発生を制御するレジスタです。

RPECTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図21－4　RAMパリティ・エラー制御レジスタ（RPECTL）のフォーマット

アドレス：F00F5H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF

RPERDIS	パリティ・エラー・リセット・マスク・フラグ
0	パリティ・エラー・リセット発生を許可
1	パリティ・エラー・リセット発生を禁止

RPEF	パリティ・エラー・ステータス・フラグ
0	パリティ・エラーが発生していない
1	パリティ・エラーが発生した

注意1. RAMフェッチ中の命令コードは，パリティ・エラー検出対象外です。ただし，RAMの命令フェッチによるRAMデータ読み出しは，パリティ・エラー検出を行います。

★ 2. RL78はパイプ・ライン動作のためCPUが先読みを行い，使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで，RAMパリティ・エラーが発生する場合があります。したがって，RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 1）場合，「使用するRAM領域＋10バイト」の領域を必ず初期化してください。また，RAMパリティ・エラー・リセット発生を許可し（RPERDIS = 1），セルフ・プログラミング機能を使用する場合は，「書き換えるRAM領域＋10バイト」の領域を，書き換える前に必ず初期化してください。

備考1. RPERDIS = 1の場合でも，パリティ・エラーが発生したときは，RPEFフラグがセット（1）されます。

2. RPEFフラグはRAMのパリティ・エラーによりセット（1）され，0の書き込みまたはすべてのリセット要因によりクリア（0）されます。RPEF = 1のときに，パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。

(4) 不正メモリ・アクセス検出制御レジスタ（IAWCTL）

不正メモリ・アクセスの検出を制御するレジスタです。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図21－5　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス：F0078H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN[注1]	不正メモリ・アクセスの検出制御
0	不正メモリ・アクセスの検出無効
1	不正メモリ・アクセスの検出有効

GRAM1	GRAM0	RAMガード空間[注2]
0	0	無効。RAMへのライト可能
0	1	RAM下位アドレスから128バイト
1	0	RAM下位アドレスから256バイト
1	1	RAM下位アドレスから512バイト（R5F10266では設定禁止）

GPORT	ポート・レジスタのガード[注3]
0	無効。ポート・レジスタのリード／ライト可能
1	有効。ポート・レジスタのライト無効。リード可能。

GINT	割り込みレジスタのガード[注4]
0	無効。割り込みレジスタのリード／ライト可能
1	有効。割り込みレジスタのライト無効。リード可能。

GCSC	チップ・ステート・コントロール・レジスタのガード[注5, 6]
0	無効。チップ・ステート・コントロール・レジスタのリード／ライト可能
1	有効。チップ・ステート・コントロール・レジスタのライト無効。リード可能。

備考　オプション・バイトWDTON = 1の設定により，不正メモリ・アクセス機能は，IAWENビットの設定にかかわらず常に有効となります（第22章　オプション・バイト参照）。

注1. IAWENビットは1の書き込みのみを有効とし，IAWEN = 1としたあとの0の書き込みは無効です。

2. RAMの先頭アドレスは，製品の搭載RAMサイズにより変わります（データ・フラッシュ搭載品に内蔵の機能）。
3. ガードされるレジスタは，PMxx, PUxx, PIMx, POMx, PMCxx, ADPC, PIORです。Pxxはガードされません。
4. ガードされるレジスタは，IFxx, MKxx, PRxx, EGPx, EGNxです。
5. ガードされるレジスタは，CMC, CSC, OSTS, CKC, PERx, OSMC, LVIM, LVIS, RPECTLです。
6. セルフ／シリアル・プログラミング時は，CSCレジスタのガード機能を使用しないでください。

(5) タイマ入力選択レジスタ0（TIS0）

チャネル1のタイマ入力を選択するレジスタです。

タイマ入力にLOCOクロックを選択することにより，周波数検出を行うことができます。

TIS0レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図21－6　タイマ入力選択レジスタ0（TIS0）のフォーマット

アドレス：F0074H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	0	TIS01	TIS00

TIS01	TIS00	チャネル1で使用するタイマ入力の選択
X	0	タイマ入力端子（TI01）の入力信号
0	1	LOCOクロック（f_{IL}）
上記以外		設定禁止

(6) A/Dテスト・レジスタ（ADTES）

A/Dテスト機能として，A/D変換対象にAV_{REFP}, AV_{REFM}入力電圧を選択するレジスタです。

ADTESレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図21－7　A/Dテスト・レジスタ（ADTES）のフォーマット

アドレス：F0013H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	ADTES2	ADTES1	ADTES0

ADTES2	ADTES1	ADTES0	A/D変換対象
0	0	0	ANIxx（アナログ入力チャネル指定レジスタ（ADS）で設定）
0	1	0	AV_{REFM}
0	1	1	AV_{REFP}
上記以外			設定禁止

★ 第22章　レギュレータ

22. 1　レギュレータの概要

RL78/G12の30ピン製品は，デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために，REGC端子にはレギュレータ安定として，コンデンサ（0.47～1 μF）を介し，Vssに接続してください。また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。

レギュレータ出力電圧は，通常は2.1 V（TYP.），低消費電流モードでは1.8 V（TYP.）です。

表22－1　レギュレータ出力電圧条件

モード	出力電圧	条　　件
低消費電流モード	1.8 V	STOPモード時（OCDモード中は除く）
通常電流モード	2.1 V	上記以外

第23章　オプション・バイト

23. 1　オプション・バイトの機能

RL78/G12のフラッシュ・メモリの000C0H-000C3Hは，オプション・バイト領域です。

オプション・バイトは，ユーザ・オプション・バイト（000C0H-000C2H）とオンチップ・デバッグ・オプション・バイト（000C3H）で構成されています。

電源投入時またはリセットからの起動時に，自動的にオプション・バイトを参照して，指定された機能の設定を行います。製品使用の際には，必ずオプション・バイトにて次に示す機能の設定を行ってください。

23. 1. 1　ユーザ・オプション・バイト（000C0H-000C2H）

（1）000C0H

○ウォッチドッグ・タイマの動作

・HALT/STOPモード時の動作停止／可能

○ウォッチドッグ・タイマのオーバフロー時間の設定

○ウォッチドッグ・タイマの動作

・動作停止／可能

○ウォッチドッグ・タイマのウインドウ・オープン期間の設定

○ウォッチドッグ・タイマのインターバル割り込み

・使用する／使用しない

（2）000C1H

○LVDの動作モード設定

・割り込み＆リセット・モード

・リセット・モード

○LVD検出レベル（V_{LVIH}）の設定

・V_{LVIL}, V_{LVIL}＋0.1V, V_{LVIL}＋0.2 V, V_{LVIL}＋1.2Vから選択

○動作下限電圧（V_{LVIL}）の設定

・1.86 V, 2.47 V, 2.77 V から選択

○P125/$\overline{\text{RESET}}$端子の制御

・P125/KR1/SI01か$\overline{\text{RESET}}$かを選択

（3）000C2H

○フラッシュの動作モード設定

・LS（低速メイン）モード

・HS（高速メイン）モード

★ ○HOCOの周波数設定

・1～24 MHzから選択

23. 1. 2　オンチップ・デバッグ・オプション・バイト（000C3H）

○オンチップ・デバッグ動作制御

・オンチップ・デバッグ動作禁止／許可

○セキュリティID認証失敗時のフラッシュ・メモリ・データの処理

・オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する／消去しない

23. 2　ユーザ・オプション・バイトのフォーマット

図23ー1　ユーザ・オプション・バイト（000C0H）のフォーマット

アドレス：000C0H

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%到達時にインターバル割り込みを発生する

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間[注]
0	0	設定禁止
0	1	50 %
1	0	75 %
1	1	100 %

WDTON	ウォッチドッグ・タイマのカウンタの動作制御
0	カウンタ動作禁止（リセット解除後，カウント停止）
1	カウンタ動作許可（リセット解除後，カウント開始）

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 （f_{IL} = 17.25 kHz（MAX.）の場合）
0	0	0	$2^6/f_{IL}$（3.71 ms）
0	0	1	$2^7/f_{IL}$（7.42 ms）
0	1	0	$2^8/f_{IL}$（14.84 ms）
0	1	1	$2^9/f_{IL}$（29.68 ms）
1	0	0	$2^{11}/f_{IL}$（118.72 ms）
1	0	1	$2^{13}/f_{IL}$（474.90 ms）
1	1	0	$2^{14}/f_{IL}$（949.80 ms）
1	1	1	$2^{16}/f_{IL}$（3799.19 ms）

WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御（HALT/STOPモード時）
0	HALT/STOPモード時，カウンタ動作停止[注]
1	HALT/STOPモード時，カウンタ動作許可

注　WDSTBYON = 0のときは，WINDOW1, WINDOW0ビットの値に関係なく，ウインドウ・オープン期間100%となります。

注意　**フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも，ウォッチドッグ・タイマの動作は継続します。ただし，これらの処置中には割り込みの受け付け時間が遅れるので，遅延を考慮し，オーバフロー時間およびウインドウ・サイズを設定してください。**

★ **備考**　f_{IL}：LOCOクロック周波数

図23－2 ユーザ・オプション・バイト（000C1H）のフォーマット（1/2）

アドレス：000C1H

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	PORTSELB	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・割り込み＆リセット・モード時の設定

検出電圧		オプション・バイト設定値						
V_{LVIL}	V_{LVIH}	LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
1.6 V	＋0.2 V	1	0	0	0	0	0	1
	＋1.2 V						0	0
1.8 V	＋0.1 V			0	0	1	1	0
	＋0.2 V						0	1
	＋1.2 V						0	0
2.4 V	＋0.1 V			0	1	0	1	0
	＋0.2 V						0	1
	＋1.2 V						0	0
2.7 V	＋0.1 V			0	1	1	1	0
	＋0.2 V						0	1
	＋1.2 V						0	0
上記以外		設定禁止						

・リセット・モード時の設定

検出電圧	オプション・バイト設定値						
V_{LVI}	LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
LVDOFF	1	1	1	1	1	×	×
1.88 V			0	0	1	1	1
1.98 V			0	0	1	1	0
2.09 V			0	0	1	0	1
2.50 V			0	1	0	1	1
2.61 V			0	1	0	1	0
2.71 V			0	1	0	0	1
2.81 V			0	1	1	1	1
2.92 V			0	1	1	1	0
3.02 V			0	1	1	0	1
3.13 V			0	0	1	0	0
3.75 V			0	1	0	0	0
4.06 V			0	1	1	0	0
上記以外	設定禁止						

備考 ×：don’t care

図23－2 ユーザ・オプション・バイト（000C1H）のフォーマット（2/2）

アドレス：000C1H

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	PORTSELB	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・割り込みモード時の設定

検出電圧	オプション・バイト設定値						
V_{LVI}	LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
LVDOFF	0	1	1	1	1	×	×
1.88 V			0	0	1	1	1
1.98 V			0	0	1	1	0
2.09 V			0	0	1	0	1
2.50 V			0	1	0	1	1
2.61 V			0	1	0	1	0
2.71 V			0	1	0	0	1
2.81 V			0	1	1	1	1
2.92 V			0	1	1	1	0
3.02 V			0	1	1	0	1
3.13 V			0	0	1	0	0
3.75 V			0	1	0	0	0
4.06 V			0	1	1	0	0
上記以外	**設定禁止**						

PORTSELB	P125/$\overline{\text{RESET}}$**端子の制御**
0	**ポート機能**（P125/KR1/SI01）
1	$\overline{\text{RESET}}$**入力**（PU125 = 1**となり，内部プルアップ抵抗が有効**）

備考 ×：don’t care

図23－3　ユーザ・オプション・バイト（000C2H）のフォーマット

アドレス：000C2H

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定
1	0	LS（低速メイン）モード
1	1	HS（高速メイン）モード
上記以外		設定禁止

★

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

23. 3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図23ー4 オンチップ・デバッグ・オプション・バイト（000C3H）のフォーマット

アドレス：000C3H

7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

注意 ビット7, 0（OCDENSET, OCDERSD）のみ，値を指定できます。
ビット6-1には，必ず000010Bを書き込んでください。

備考 ビット3-1は，オンチップ・デバッグ機能使用時に値が書き変わるので，設定後は不定となります。
ただし，設定時にはビット3-1にも，必ず初期値（0, 1, 0）を設定してください。

23. 4　オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは，ソースへの記述による設定の他にアセンブラまたはPM+のリンカ・オプションでも設定することができます。その場合，下記のようにソースに記述があってもリンカ・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウエア記述例を次に示します。

```
OPT   CSEG        OPT_BYTE
      DB          36H     ; ウォッチドッグ・タイマのインターバル割り込みを使用しない，
                          ; ウォッチドッグ・タイマ動作許可，
                          ; ウォッチドッグ・タイマのウインドウ・オープン期間50%，
                          ; ウォッチドッグ・タイマのオーバフロー時間2^9/fIL，
                          ; HALT/STOPモード時，ウォッチドッグ・タイマの動作停止
      DB          09H     ; VLVILに1.84 Vを選択
                          ; VLVIHに1.94 Vを選択
                          ; LVDの動作モードに割り込み＆リセット・モードを選択
                          ; RESET入力を使用せず
      DB          2DH     ; フラッシュの動作モードにLP（低電力メイン）モード，
                            HOCOクロック周波数 1 MHzを選択
      DB          85H     ; オンチップ・デバッグ動作許可，セキュリティID認証失敗時に
                          ; フラッシュ・メモリのデータを消去しない。
```

★

注意　オプション・バイトをアセンブリ言語により指定する場合，CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。

第24章　フラッシュ・メモリ

RL78/G12は，基板に実装した状態でプログラムの書き込み，消去，再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには，プログラム実行可能な“コード・フラッシュ”と，データ格納領域の“データ・フラッシュ”（データ・フラッシュ搭載品のみ）があります。

フラッシュ・メモリのプログラミング方法は，次の3通りあります。

・フラッシュ・メモリ・プログラマによる書き込み　（24. 1 参照）
・外部デバイス（UART内蔵）による書き込み　（24. 2 参照）
・セルフ・プログラミング　（24. 7 参照）

24. 1　フラッシュ・メモリ・プログラマによる書き込み方法

RL78/G12の内蔵フラッシュ・メモリにデータを書き込むために，次の専用フラッシュ・メモリ・プログラマを使用できます。

・PG-FP5, FL-PR5
・E1オンチップ・デバッギング・エミュレータ

専用フラッシュ・メモリ・プログラマにより，オンボードまたはオフボードで書き込みができます。

（1）オンボード・プログラミング

ターゲット・システム上にRL78/G12を実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

（2）オフボード・プログラミング

ターゲット・システム上にRL78/G12を実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考　FL-PR5, FAシリーズは，（株）内藤電誠町田製作所の製品です。

表24－1　RL78/G12と専用フラッシュ・メモリ・プログラマの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号		
					20ピン	24ピン	30ピン
信号名		入出力	端子機能		SSOP	WQFN (4×4)	SSOP
PG-FP5, FL-PR5	E1オンチップ・デバッギング・エミュレータ						
－	TOOL0	入出力	送受信信号	TOOL0/ P40	4	24	5
SI/RxD	－	入出力	送受信信号				
SCK	－	出力	－	－	－	－	－
CLK	－	出力	－	－	－	－	－
－	$\overline{\text{RESET}}$	出力	リセット信号	$\overline{\text{RESET}}$	5	1	6
/RESET	－	出力					
FLMD0	－	出力	モード信号	－	－	－	－
V_{DD}		入出力	V_{DD}電圧生成／電源監視	V_{DD}	10	6	12
GND		－	グランド	V_{SS}	9	5	11
EMV_{DD}		－	TOOL0端子駆動電源	V_{DD}	10	6	12

備考　この表に記載されていない端子は，フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

24. 1. 1　プログラミング環境

RL78/G12のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図24－1　フラッシュ・メモリにプログラムを書き込むための環境

専用フラッシュ・メモリ・プログラマには，これを制御するホスト・マシンが必要です。

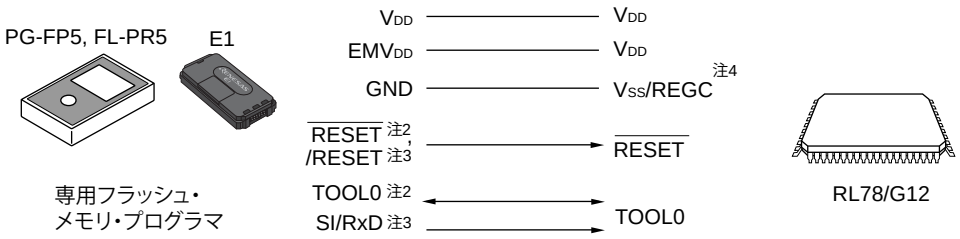
また，専用フラッシュ・メモリ・プログラマとRL78/G12とのインタフェースはTOOL0端子を使用して，専用の単線UARTで書き込み／消去の操作を行います。オフボードで書き込む場合は，専用プログラム・アダプタ（FAシリーズ）が必要です。

24. 1. 2　通信方式

専用フラッシュ・メモリ・プログラマとRL78/G12との通信は，RL78/G12のTOOL0端子を使用して，専用の単線UARTによるシリアル通信で行います。

転送レート：　1 Mbps[注1]

図24－2　専用フラッシュ・メモリ・プログラマとの通信



注1.　E1オンチップ・デバッギング・エミュレータ使用時。

2.　PG-FP5, FL-PR5使用時。

★ 3.　REGC端子はコンデンサ（デフォルト：0.47μF）を介してグランドに接続してください（30ピン製品）。

専用フラッシュ・メモリ・プログラマはRL78/G12に対して次の信号を生成します。詳細はPG-FP5, FL-PR5またはE1オンチップ・デバッギング・エミュレータのマニュアルを参照してください。

表24－2　端子接続一覧

専用フラッシュ・メモリ・プログラマ				RL78/G12	接続時の処置
信号名		入出力	端子機能	端子名	
PG-FP5,FL-PR5	E1オンチップ・デバッギング・エミュレータ				
FLMD0	－	出力	モード信号	－	×
V_{DD}		入出力	V_{DD}電圧生成／電圧監視	V_{DD}	◎
GND		－	グランド	V_{SS}, REGC[注]	◎
EMV_{DD}		－	TOOL0端子駆動電源	V_{DD}	◎
CLK	－	出力	クロック出力	－	×
/RESET	－	出力	リセット信号	$\overline{RESET}$	◎
－	$\overline{RESET}$	出力			
－	TOOL0	入出力	送受信信号	TOOL0	◎
★ SI/RxD	－	出力	送信信号		
SCK	－	出力	転送クロック	－	×

★ **注**　REGC端子はコンデンサ（デフォルト：0.47μF）を介してグランドに接続してください（30ピン製品）。

備考　◎：必ず接続してください。
×：接続の必要はありません。

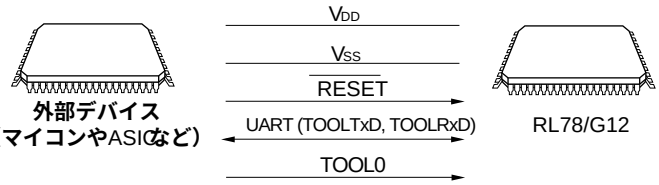
24. 2　外部デバイス（UART内蔵）による書き込み方法

オンボード上でRL78/G12とUART接続されている外部デバイス（マイコンやASIC)を使って，内蔵フラッシュ・メモリにデータを書き込むことできます。

24. 2. 1　プログラミング環境

RL78/G12のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図24－3　フラッシュ・メモリにプログラムを書き込むための環境



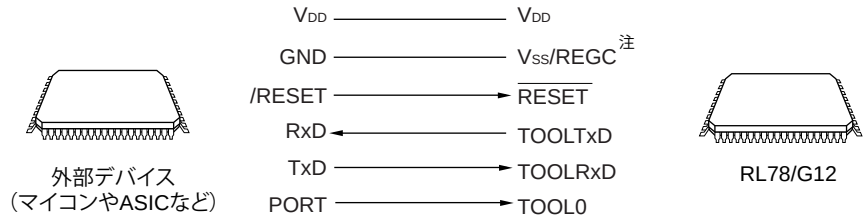
外部デバイスからRL78/G12に書き込み／消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

24. 2. 2　通信方式

外部デバイスとRL78/G12**との通信は，**RL78/G12**の**TOOLTxD，TOOLRxD**端子を使用して，シリアル・アレイ・ユニットの**UART0**によるシリアル通信で行います。**

転送レート： 1 Mbps

図24－4　**外部デバイスとの通信**



外部デバイスはRL78/G12**に対して次の信号を生成します。**

表24－3　**端子接続一覧**

外部デバイス			RL78/G12	接続時の処置
信号名	入出力	端子機能	端子名	
VDD	入出力	VDD電圧生成／電圧監視	VDD	◎
GND	－	グランド	VSS, REGC注	◎
CLK	出力	クロック出力	－	×
RESETOUT	出力	リセット信号出力	RESET	◎
RxD	入力	受信信号	TOOLTxD	◎
TxD	出力	送信信号	TOOLRxD	◎
PORT	出力	モード信号	TOOL0	◎
SCK	出力	転送クロック	－	×

★　**注**　REGC端子はコンデンサ（デフォルト：0.47μF）を介してグランドに接続してください（30ピン製品）。

備考　◎：必ず接続してください。
×：接続の必要はありません。

24. 3　オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は，ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また，オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

★　24. 3. 1　P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は，外部で1 kΩの抵抗でプルアップし，専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合，以下の方法で使用してください。

入力時：端子リセット解除時から1 ms幅以上のロウ・レベルを入力しないでください。また，プルダウンで使用する場合は，500 kΩ以上の抵抗を使用してください。

出力時：プルダウンで使用する場合は，500 kΩ以上の抵抗を使用してください。

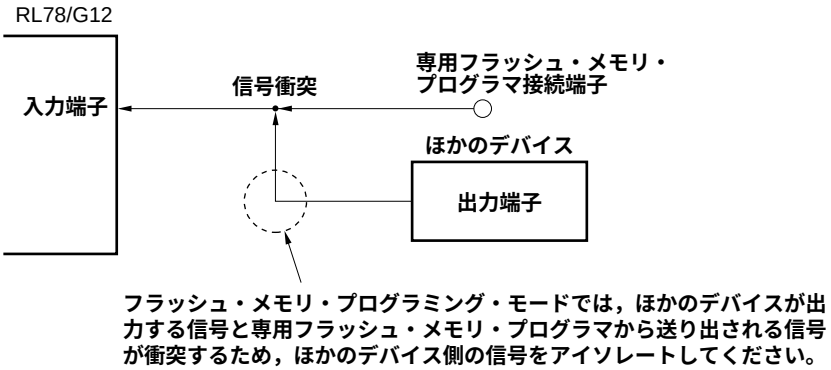
備考　RL78/G12**と専用フラッシュ・メモリ・プログラマとの通信には，単線**UART（TOOL0**端子）を使用するので，**SAU**や**IICA**の端子は使用しません。**

24. 3. 2　$\overline{\text{RESET}}$端子

オンボード上で，リセット信号生成回路と接続している$\overline{\text{RESET}}$**端子に，専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合，信号の衝突が発生します。この信号の衝突を避けるため，リセット信号生成回路との接続をアイソレートしてください。**

また，フラッシュ・メモリ・プログラミング・モード期間中に，ユーザ・システムからリセット信号を入力した場合，正常なプログラミング動作が行われなくなるので，専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図24－5　**信号の衝突（**$\overline{\text{RESET}}$**端子）**



24. 3. 3　ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，各ポートに接続された外部デバイスが，リセット直後のポート状態を認めない場合は，抵抗を介してV_{DD}に接続するか，または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

★　24. 3. 4　REGC端子

REGC端子は，通常動作時と同様に，コンデンサ（0.47～1μF）を介し，GNDに接続してください。また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。

24. 3. 5　X1, X2端子

X1, X2**は，通常動作モード時と同じ状態に接続してください。**

備考　フラッシュ・メモリ・プログラミング・モード時は，HOCO**クロック（**f_{IH}**）を使用します。**

24. 3. 6　電　　源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は，V_{DD}**端子はフラッシュ・メモリ・プログラマの**V_{DD}**に，**V_{SS}**端子はフラッシュ・メモリ・プログラマの**GND**に，それぞれ接続してください。**

オンボード上の電源を使用する場合は，通常動作モード時に準拠した接続にしてください。

ただしフラッシュ・メモリ・プログラマによる書き込みの場合は，オンボード上の電源を使用する場合においても，フラッシュ・メモリ・プログラマで電圧監視をするため，V_{DD}**，**V_{SS}**端子はフラッシュ・メモリ・プログラマの**V_{DD}**，**GND**と必ず接続してください。**

24. 4　データ・フラッシュ

24. 4. 1　データ・フラッシュの概要

★　RL78/G12のデータ・フラッシュ搭載品は，2 K～16Kバイトのコード・フラッシュとは別に，データを格納する2 Kバイトのデータ・フラッシュ（フラッシュ・メモリ）を内蔵しています。

★

データ・フラッシュの概要は次のとおりです。

- フラッシュ・メモリ・プログラマや外部デバイスによるプログラミングに対応
- プログラミング単位は8ビット単位
- 1ブロック = 1 Kバイト単位で消去可能
- CPU命令によるアクセスはバイト・リードのみ（読み出し：4クロック）
- データ専用領域なので，データ・フラッシュからの命令実行（コード・フェッチ）はできない
- データ・フラッシュの書き換え中に，コード・フラッシュからの命令実行が可能（デュアル・オペレーション対応）
- コード・フラッシュの書き換え中（セルフ・プログラミング時など）に，データ・フラッシュにアクセスすることは禁止
- リセット解除後は停止状態なので，使用するためにはデータ・フラッシュ・コントロール・レジスタ（DFLCTL）を設定する
- データ・フラッシュの書き換え中に，DFLCTLレジスタを操作することは禁止

24. 4. 2　データ・フラッシュを制御するレジスタ

(1) データ・フラッシュ・コントロール・レジスタ（DFLCTL）

データ・フラッシュへのアクセス許可／禁止を設定するレジスタです。

DFLCTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図24－6　データ・フラッシュ・コントロール・レジスタ（DFLCTL）のフォーマット

アドレス：F0090H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
DFLCTL	0	0	0	0	0	0	0	DFLEN

DFLEN	データ・フラッシュのアクセス制御
0	データ・フラッシュのアクセス禁止
1	データ・フラッシュのアクセス許可

注意　データ・フラッシュの書き換え中に，DFLCTLレジスタを操作することは禁止です。

24. 4. 3　データ・フラッシュへのアクセス手順

リセット解除後の初期状態では，データ・フラッシュは停止状態であり，そのままではアクセス（リードおよびプログラミング）はできません。アクセスするには以下の手順を行ってください。

① データ・フラッシュ・コントロール・レジスタ（DFLCTL）のビット0（DFLEN）に“1”を書き込む。

② セットアップ時間をウエイトする。

セットアップ時間はメイン・クロックの各モードによって異なります。

＜各メイン・クロック・モードでのセットアップ時間＞

- **ハイ・スピード・モード時　　：5 μs**
- **ロウ・スピード・モード時　　：720 ns**

③ セットアップ時間のウエイト完了後，データ・フラッシュはアクセス可能となります。

注意1. **セットアップ時間中は，データ・フラッシュへのアクセス禁止です。**

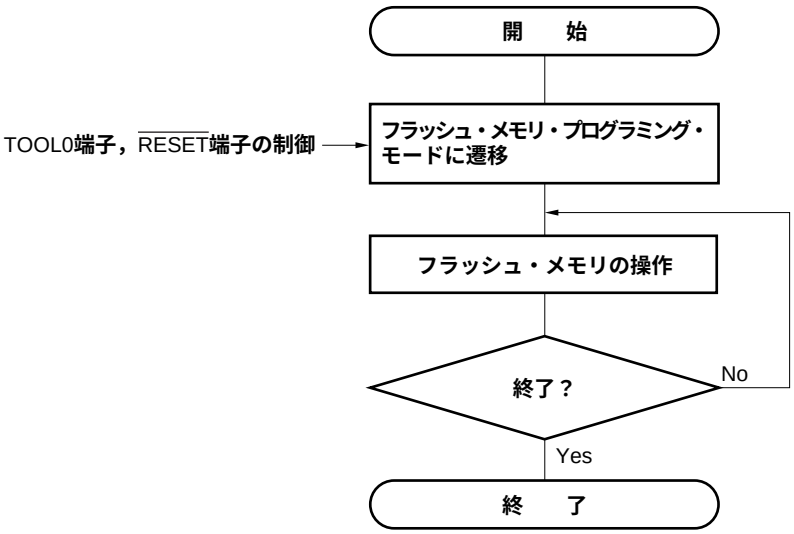
2. **セットアップ時間中に**STOP**命令を実行したい場合は，いったん**DFLEN = 0**に設定してから**STOP**命令を実行してください。**

24. 5　プログラミング方法

24. 5. 1　フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図24－7　フラッシュ・メモリの操作手順



24. 5. 2 フラッシュ・メモリ・プログラミング・モード

フラッシュ・メモリの内容を書き換えるときは，RL78/G12をフラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには，次のようにしてください。

＜専用フラッシュ・メモリ・プログラマを使用してプログラミングする場合＞

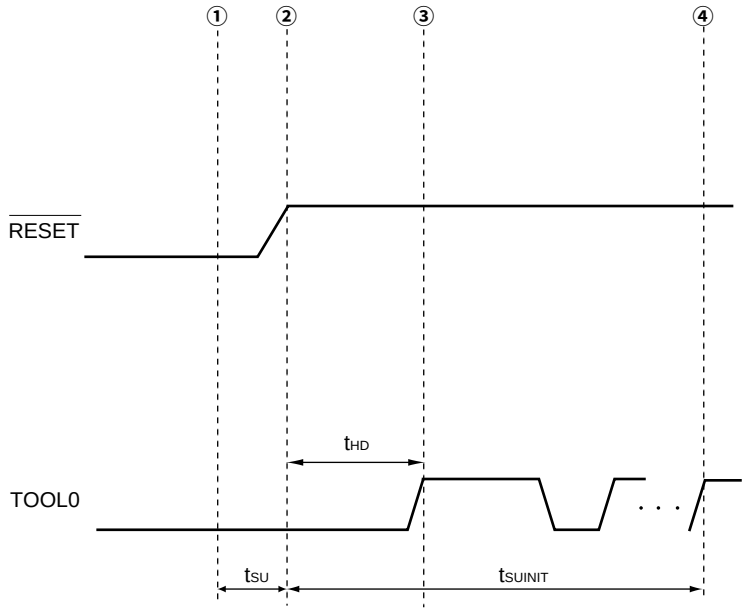
TOOL0端子をロウ・レベルに設定後，リセットを解除します。その後，専用フラッシュ・メモリ・プログラマからの通信により，自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

＜外部デバイスを使用してプログラミングする場合＞

TOOL0端子をロウ・レベルに設定後，リセットを解除します。リセット解除から1 ms以上，TOOL0端子をロウ･レベルに保持したのち，外部デバイスからUART通信でデータ“ 00H ”を送信してください。UART通信は，リセット解除から100 ms以内に開始してください。

オンボード書き込みを行うときは，ジャンパ等でモードを切り替えるか，あらかじめフラッシュ・メモリ・プログラミング・モードに遷移しても大丈夫なように端子処理してください（24. 3 **オンボード上の端子処理**参照）。

★ **図**24－8 **フラッシュ・メモリ・プログラミング・モードへの引き込み**



① TOOL0端子にロウ・レベルを入力
② 端子リセットを解除（その前にPOR，LVDリセットが解除されていること）
③ TOOL0端子のロウ・レベルを解除
④ UART受信によるモード引きこみ，ボー・レート設定完了

備考 t_{SUINIT}：この区間では，リセット解除から100 ms 以内に初期設定通信を完了してください。
t_{HD} ：外部／内部リセット解除から，TOOL0端子をロウ・レベルに保持する時間（Min. 1 μs）

表24－4　リセット解除時のTOOL0端子の動作モードとの関係

TOOL0	動作モード
V_{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

また，フラッシュ・メモリ・プログラミング・モードには，書き込み／消去／ベリファイの実行可能電圧範囲の異なる次の2つのモードがあります。

表24－5　プログラミング・モードと書き込み／消去／ベリファイ実行可能電圧

モード	書き込み／消去／ベリファイ実行可能電圧
ワイド・ボルテージ・モード	1.8 V～5.5 V
フルスピード・モード 注	2.4 V～5.5 V
	2.7 V～5.5 V

注　オプション・バイト000C2HのCMODE1, CMODE0 = 1, 1の場合のみ設定可能

書き込みを行う電圧範囲に合わせて，いずれかのモードを設定してください。専用フラッシュ・メモリ・プログラマではGUI上で電圧設定を行うことでモードが自動選択されます。

備考1.　ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも，書き込み／消去／ベリファイを行ううえで制限事項はありません。

2.　通信コマンドの詳細は，24. 5. 4　**通信コマンド**を参照してください。

24. 5. 3　通信方式

RL78/G12の通信方式は，次のようになります。

表24－6　通信方式

通信方式	Standard設定[注1]				使用端子
	Port	Speed[注2]	Frequency	Multiply Rate	
単線UART （フラッシュ・メモリ・プログラマ使用時）	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	－	－	TOOL0
UART0 （外部デバイス使用時）	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	－	－	TOOLTxD, TOOLRxD

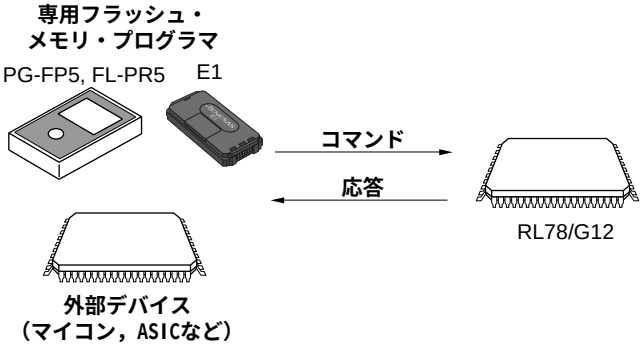
注1.　フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2.　UART通信にはボー・レート誤差のほかに，信号波形の鈍りなどが影響するため，評価のうえ使用してください。

24. 5. 4　通信コマンド

RL78/G12と専用フラッシュ・メモリ・プログラマまたは外部デバイスは，コマンドを介して通信します。専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78/G12へ送られる信号を「コマンド」と呼び，RL78/G12から専用フラッシュ・メモリ・プログラマまたは外部デバイスへ送られる信号を「応答」と呼びます。

図24－9　通信コマンド



RL78/G12のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマまたは外部デバイスから発行され，RL78/G12がコマンドに対応した各処理を行います。

表24－7　フラッシュ・メモリ制御用コマンド

分　類	コマンド名称	機　　能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランク・チェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。
★ 情報取得	Silicon Signature	RL78/G12情報（品名，フラッシュ・メモリ構成，ファームウエア・バージョンなど）を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

また，RL78/G12は，専用フラッシュ・メモリ・プログラマまたは外部デバイスから発行されたコマンドに対して，応答を返します。RL78/G12が送出する応答名称を次に示します。

表24－8　応答名称

応答名称	機　　能
ACK	コマンド／データなどのアクノリッジ
NAK	不正なコマンド／データなどのアクノリッジ

24. 6　セキュリティ設定

RL78/G12は，フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており，第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより，次の操作をすることができます。セキュリティの設定は，次回のプログラミング・モードより有効になります。

・ブロック消去禁止
　オンボード／オフボード・プログラミング時に，フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし，セルフ・プログラミング時でのブロック消去は可能です。

・書き込み禁止
　オンボード／オフボード・プログラミング時に，フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし，セルフ・プログラミング時での書き込みは可能です。

出荷時の初期状態では，ブロック消去／書き込みは許可になっています。セキュリティは，オンボード／オフボード・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては，同時に組み合わせて使用できます。

RL78/G12のセキュリティ機能を有効にした場合の，消去，書き込みコマンドの関係を表24－9に示します。

備考　セルフ・プログラミング時の書き込み／消去を禁止したい場合には，フラッシュ・シールド・ウインドウ機能を使います（24.7.1参照）。

表24－9 セキュリティ機能有効時とコマンドの関係

(1) オンボード／オフボード・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる[注]
書き込み禁止	ブロック消去できる	書き込みできない

注 書き込み領域に，すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため，データが消去されていない場合は，データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には，フラッシュ・シールド・ウインドウ機能を使います（24.7.1参照）。

表24－10 各プログラミング・モード時のセキュリティ設定方法

(1) オンボード／オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後，無効にできない
書き込み禁止		セキュリティ・リリース・コマンドを実行する

注意 セキュリティ・リリース・コマンドは，「ブロック消去禁止」に設定されておらず，コード・フラッシュ領域およびデータ・フラッシュ領域がブランクである場合に有効となります。

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	セット・インフォメーション・ライブラリで設定する	設定後，無効にできない
書き込み禁止		オンボード／オフボード・プログラミングで，セキュリティ・リリース・コマンドを実行する（セルフ・プログラミングでは無効にできない）

24. 7　セルフ書き込みによるフラッシュ・メモリ・プログラミング

RL78/G12は，ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はRL78/G12セルフ・プログラミング・ライブラリを利用することにより，ユーザ・アプリケーションでフラッシュ･メモリの書き換えが可能となるので，フィールドでのプログラムのアップグレードなどができるようになります。

注意1. **セルフ・プログラミング中に割り込みを禁止するためには，通常動作モード時と同様に，**DI**命令により**IE**フラグがクリア（**0**）されている状態でセルフ・プログラミング・ライブラリを実行してください。割り込みを許可する場合は，**EI**命令により**IE**フラグがセット（**1**）されている状態で，受け付ける割り込みの割り込みマスク・フラグをクリア（**0**）して，セルフ・プログラミング・ライブラリを実行してください。**

★ 2. RAM**パリティ・エラー・リセット発生を許可する（**RPERDIS = 1**）場合，「書き換える**RAM**領域＋**10**バイト」の領域を，書き換える前に必ず初期化してください。**

備考1. **セルフ・プログラミング機能の詳細およびRL78/G12セルフ・プログラミング・ライブラリの詳細については、**RL78**マイクロコントローラ　フラッシュ・セルフ・プログラミング・ライブラリ** Type01 **ユーザーズ・マニュアル（**R01AN0350J**）を参照してください。**

2. **セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。**

また，セルフ・プログラミング機能には，フラッシュ・メモリ・プログラマによる書き込み時同様，書き込み／消去／ベリファイ実行可能電圧範囲の異なる次の2つのモードがあります。

表24－11　**プログラミング・モードと書き込み／消去／ベリファイ実行可能電圧**

モード	書き込み／消去／ベリファイ実行可能電圧	書き込み周波数
ワイド・ボルテージ・モード	1.8 V～5.5 V	8 MHz（MAX.）
フルスピード・モード 注1	2.4 V～5.5 V	16 MHz（MAX.）
	2.7 V～5.5 V	32 MHz（MAX.）

注　オプション・バイト000C2H**の**CMODE1, CMODE0 = 1, 1**の場合のみ設定可能**

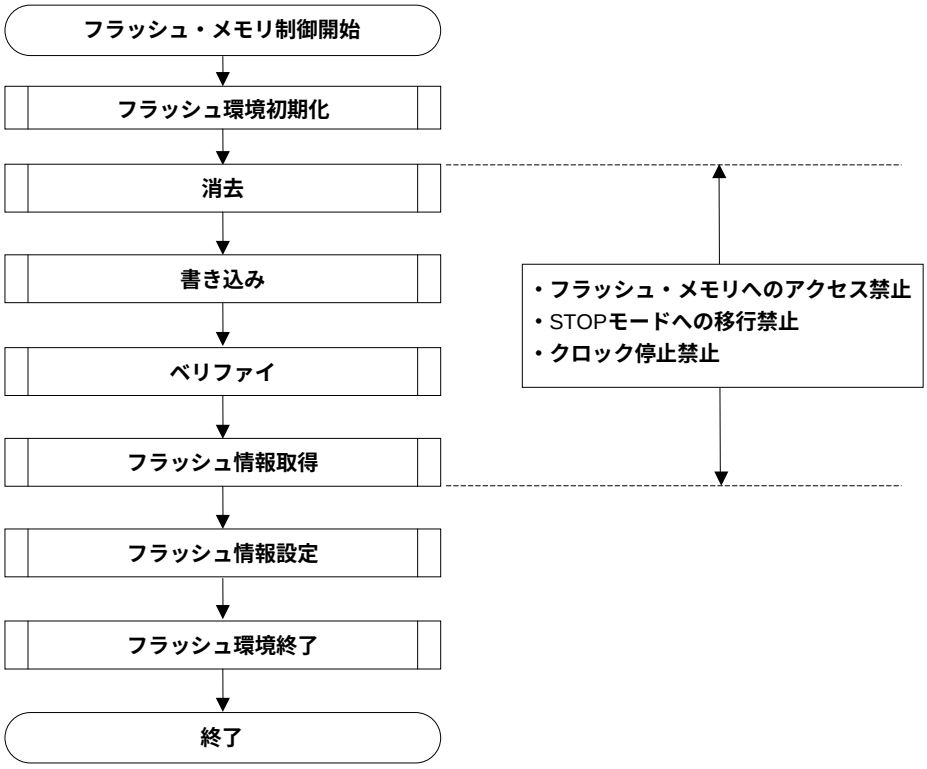
書き込みを行う電圧範囲に合わせて，いずれかのモードを設定してください。ワイド・ボルテージ・モード，フルスピード・モードを設定する場合は，当社提供のセルフ・プログラミング・ライブラリの関数“ FSL_Init **”実行時に，引数である“** fsl_flash_voltage_u08 **”が**00H**以外であればワイド・ボルテージ・モードに，**00H**であればフルスピード・モードに設定されます。**

備考1. **ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも，書き込み／消去／ベリファイを行ううえで制限事項はありません。**

2. **セルフ・プログラミング機能の詳細およびRL78/G12セルフ・プログラミング・ライブラリの詳細については、**RL78**マイクロコントローラ　フラッシュ・セルフ・プログラミング・ライブラリ** Type01 **ユーザーズ・マニュアル（**R01AN0350J**）を参照してください。**

次に，セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図24－10 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



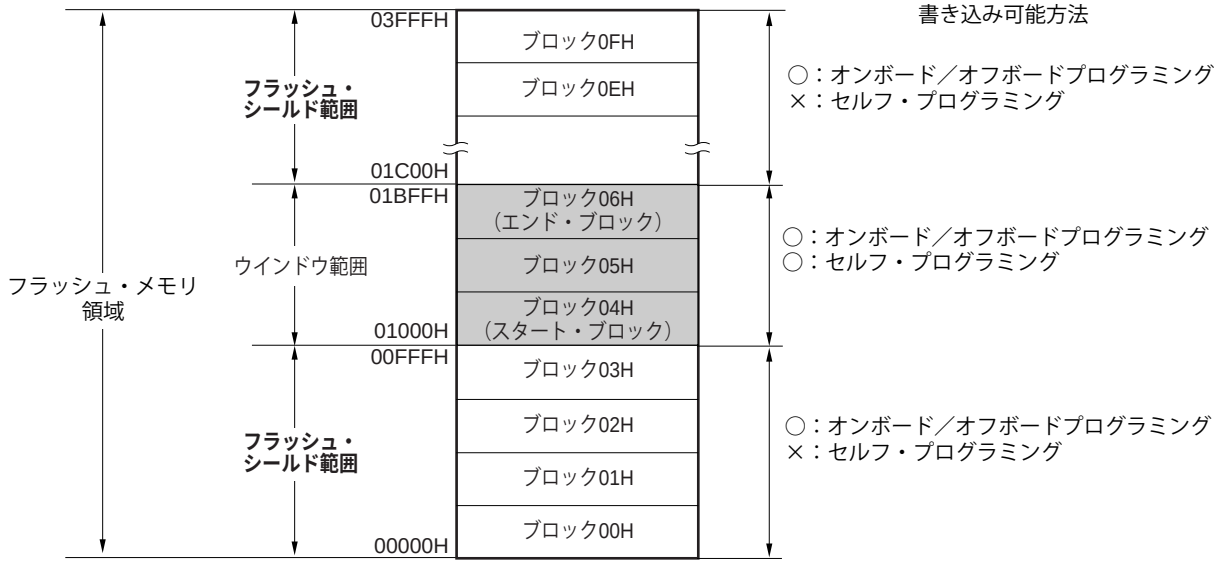
★　24. 7. 1　フラッシュ・シールド・ウインドウ機能

セルフ・プログラミング時のセキュリティ機能の一つとして，フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は，指定したウインドウ範囲以外の書き込みおよび消去を，セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は，スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は，オンボード／オフボード・プログラミングで設定／変更できます。

ウインドウ範囲以外の領域は，セルフ・プログラミング時には書き込み／消去禁止となります。ただし，オンボード／オフボード・プログラミング時にはウインドウとして指定した範囲外にも書き込み／消去可能です。

図24－11　フラッシュ・シールド・ウインドウの設定例
（対象デバイス：R5F1026A，スタート・ブロック：04H，エンド・ブロック：06Hの場合）



注意　フラッシュ・シールド・ウインドウはコード・フラッシュのみ設定可能です（データ・フラッシュは対応していません）。

表24－12　フラッシュ・シールド・ウインドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定／変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	セット・インフォメーション・ライブラリで，ウインドウの先頭ブロック，最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
オンボード／オフボード・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで，ウインドウの先頭ブロック，最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考　オンボード／オフボード・プログラミング時の書き込み／消去を禁止したい場合には，24. 6　**セキュリティ設定**を参照してください。

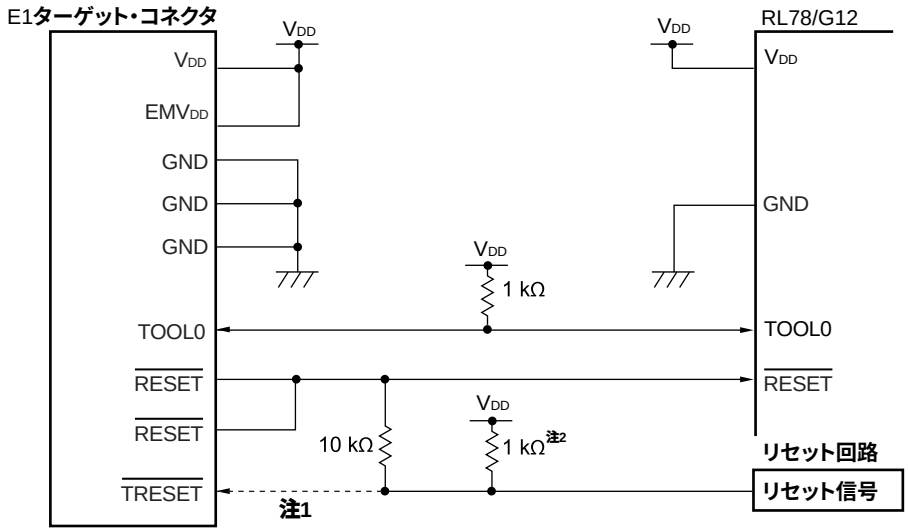
第25章　オンチップ・デバッグ機能

25. 1　E1オンチップ・デバッギング・エミュレータとRL78/G12の接続

RL78/G12は，オンチップ・デバッグ対応のE1オンチップ・デバッギング・エミュレータを介して，ホスト・マシンとの通信を行う場合，V_{DD}, $\overline{RESET}$, TOOL0，V_{SS}端子を使用します。シリアル通信としては，TOOL0端子を使用した単線UARTを使用します。

注意　RL78/G12には開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

図25－1　E1オンチップ・デバッギング・エミュレータとRL78/G12の接続例



注1.　フラッシュ・プログラミング時，点線部の接続は必要ありません。

2.　ターゲット・システム上のリセット回路にバッファがなく，抵抗やコンデンサのみでリセット信号を生成する場合，このプルアップは必要ありません。

注意　リセット信号の出力がN-chオープン・ドレーンのバッファ（出力抵抗が100Ω以下）を想定した回路例です。

25. 2　オンチップ・デバッグ・セキュリティID

RL78/G12は，第三者からメモリの内容を読み取られないようにするために，フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット（第23章　オプション・バイトを参照）を，000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

表25－1　オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード

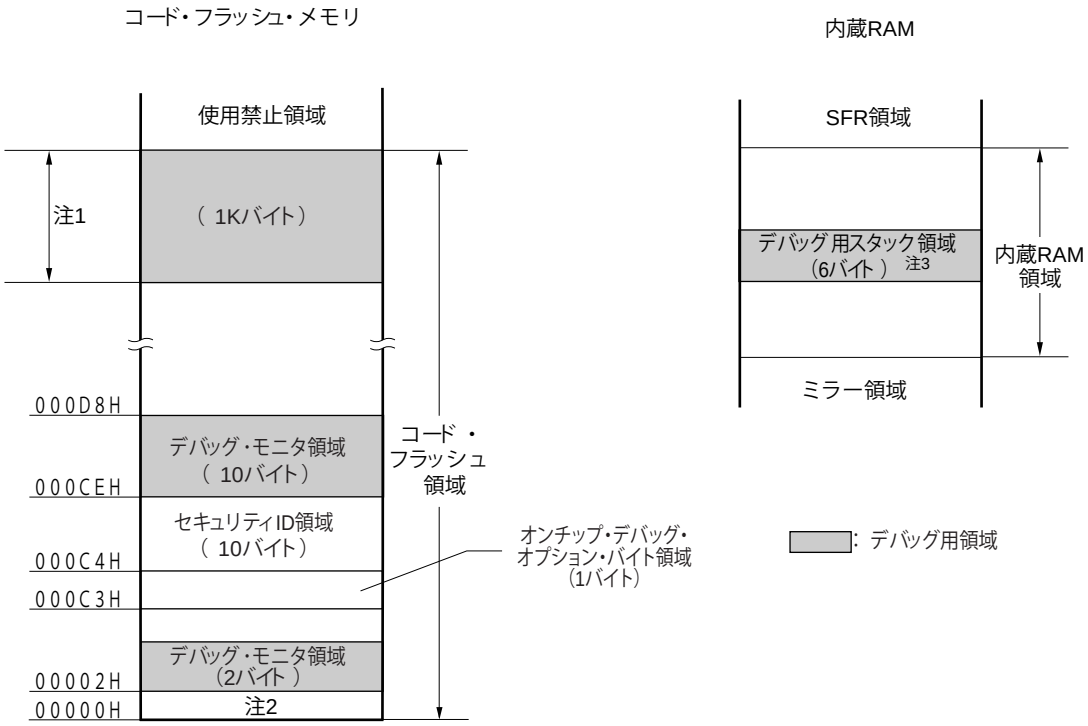
25. 3　ユーザ資源の確保

RL78/G12とE1オンチップ･デバッギング･エミュレータとの通信，または各デバッグ機能を実現するためには，メモリ空間の確保を事前に行う必要があります。また，当社製アセンブラ，コンパイラを使用している場合は，リンカ・オプションで設定することもできます。

（1）メモリ空間の確保

図25－2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために，ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は，この空間を使用しないように領域を確保する必要があります。また，ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図25－2　デバッグ用モニタ・プログラムが配置されるメモリ空間



★　**注**1.　**製品によって，次のようにアドレスが異なります。**

製品名　（コード・フラッシュ・メモリ容量）	**注1のアドレス**
R5F1266, R5F10366（2K**バイト**）	00400H-007FFH
R5F10x67, R5F10x77, R5F10xA7（4 K**バイト**）	00C00H-00FFFH
R5F10x68, R5F10x78, R5F10xA8（8 K**バイト**）	01C00H-01FFFH
R5F10x69, R5F10x79, R5F10xA9（12 K**バイト**）	02C00H-02FFFH
R5F10x6A, R5F10x7A, R5F10xAA（16 K**バイト**）	03C00H-03FFFH

（x = 2, 3）

2. **デバッグ時，リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。**
3. **この領域はスタック領域の直下に配置されるため，スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し，6バイト余分に消費します。**

第26章　10進補正（BCD）回路

26. 1　10進補正回路の機能

BCDコード（2進化10進数）とBCDコード（2進化10進数）の加減算結果を，BCDコード（2進化10進数）で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと，さらにBCD補正結果レジスタ（BCDADJ）を加減算することで10進補正演算結果が求められます。

26. 2　10進補正回路で使用するレジスタ

10進補正回路は，次のレジスタを使用します。

・BCD補正結果レジスタ（BCDADJ）

（1）BCD補正結果レジスタ（BCDADJ）

BCDADJレジスタには，Aレジスタをオペランドにもつ加減算命令によって，BCDコードで加減算結果を求めるための補正値が格納されます。

また，BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは，8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，不定になります。

図26－1　BCD補正結果レジスタ（BCDADJ）のフォーマット

アドレス：F00FEH　リセット時：不定　R

略号	7	6	5	4	3	2	1	0
BCDADJ								

26. 3　10進補正回路の動作

10進補正回路の基本動作を次に示します。

（1）加算　BCDコード値とBCDコード値の加算結果を，BCDコード値で求める

① 加算したいBCDコード値（被加算値）をAレジスタに格納する。

② Aレジスタと第2オペランドの値（もう1つの加算したいBCDコード値，加算値）を，そのまま2進数で加算することにより，2進数での演算結果がAレジスタに格納され，補正値がBCD補正結果レジスタ（BCDADJ）に格納される。

③ Aレジスタ（2進数での加算結果）とBCDADJレジスタの値（補正値）を2進数で加算することにより10進補正演算を行い，AレジスタとCYフラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため，②の命令のあとは，他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。

例を次に示します。

例1　99＋89 = 188

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV　A, #99H　; ①	99H	－	－	－
ADD　A, #89H　; ②	22H	1	1	66H
ADD　A, !BCDADJ　; ③	88H	1	0	－

例2　85＋15 = 100

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV　A, #85H　; ①	85H	－	－	－
ADD　A, #15H　; ②	9AH	0	0	66H
ADD　A, !BCDADJ　; ③	00H	1	1	－

例3　80＋80 = 160

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV　A, #80H　; ①	80H	－	－	－
ADD　A, #80H　; ②	00H	1	0	60H
ADD　A, !BCDADJ　; ③	60H	1	0	－

（2）減算　BCDコード値からBCDコード値の減算結果を，BCDコード値で求める

① 減算されるBCDコード値（被減算値）をAレジスタに格納する。

② Aレジスタから第2オペランドの値（減算するBCDコード値，減算値）を，そのまま2進数で減算することにより，2進数での演算結果がAレジスタに格納され，補正値がBCD補正結果レジスタ（BCDADJ）に格納される。

③ Aレジスタ（2進数での減算結果）からBCDADJレジスタの値（補正値）を2進数で減算することにより10進補正演算を行い，AレジスタとCYフラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため，②の命令のあとは，他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。

例を次に示します。

例　91－52 = 39

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #91H ; ①	91H	－	－	－
SUB A, #52H ; ②	3FH	0	1	06H
SUB A, !BCDADJ ; ③	39H	0	0	－

第27章　命令セットの概要

RL78マイクロコントローラの命令セットを一覧表にして示します。なお，各命令の詳細な動作および機械語（命令コード）については，RL78マイクロコントローラ　ユーザーズ・マニュアル　命令編（作成中）を参照してください。

27. 1　凡　　例

27. 1. 1　オペランドの表現形式と記述方法

各命令のオペランド欄には，その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は，アセンブラ仕様によります）。記述方法の中で複数個あるものは，それらの要素の1つを選択します。大文字で書かれた英字および#，!，!!，$，$!，[ ]，ES:の記号はキーワードであり，そのまま記述します。記号の説明は，次のとおりです。

- #　　：イミーディエト・データ指定
- !　　：16ビット絶対アドレス指定
- !!　　：20ビット絶対アドレス指定
- $　　：8ビット相対アドレス指定
- $!　　：16ビット相対アドレス指定
- [ ]　　：間接アドレス指定
- ES:　　：拡張アドレス指定

イミーディエト・データのときは，適当な数値またはラベルを記述します。ラベルで記述する際も#，!，!!，$，$!，[ ]，ES:記号は必ず記述してください。

また，オペランドのレジスタの記述形式r, rpには，機能名称（X, A, Cなど），絶対名称（表27－1の中のカッコ内の名称，R0, R1, R2など）のいずれの形式でも記述可能です。

表27－1　オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0)，A(R1)，C(R2)，B(R3)，E(R4)，D(R5)，L(R6)，H(R7)
rp	AX(RP0)，BC(RP1)，DE(RP2)，HL(RP3)
sfr	特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ[注]）FFF00H-FFFFFH
saddr	FFE20H-FFF1FH　イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH　イミーディエト・データまたはラベル（偶数アドレスのみ[注]）
addr20	00000H-FFFFFH　イミーディエト・データまたはラベル
addr16	0000H-FFFFH　イミーディエト・データまたはラベル （16ビット・データ時は偶数アドレスのみ[注]）
addr5	0080H-00BFH　イミーディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注　奇数アドレスを指定した場合はビット0が“0”になります。

備考　特殊機能レジスタは，オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3－5 SFR一覧を参照してください。

拡張特殊機能レジスタは，オペランド !addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3－6　拡張SFR（2nd SFR）一覧を参照してください。

27. 1. 2　オペレーション欄の説明

各命令のオペレーション欄には，その命令実行時の動作を次の記号を用いて表します。

表27－2　オペレーション欄の記号

記　　号	機　　能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X_H，X_L	16ビット・レジスタの場合はX_H =上位8ビット，X_L =下位8ビット
X_S，X_H，X_L	20ビット・レジスタの場合はX_S(ビット19-16)，X_H(ビット15-8)，X_L(ビット7-0)
∧	論理積（AND）
∨	論理和（OR）
∀	排他的論理和（exclusive OR）
¯	反転データ
addr16	16ビット・イミーディエト・データ
addr20	20ビット・イミーディエト・データ
jdisp8	符号付き8ビット・データ（ディスプレースメント値）
jdisp16	符号付き16ビット・データ（ディスプレースメント値）

27. 1. 3　フラグ動作欄の説明

各命令のフラグ欄には，その命令実行時のフラグの変化を下記の記号を用いて表す。

表27－3　フラグ欄の記号

記号	フラグ変化
（ブランク）	変化なし
0	0にクリアされる
1	1にセットされる
×	結果にしたがってセット／リセットされる
R	以前に退避した値がリストアされる

27. 1. 4　PREFIX命令

ES:で示される命令は，PREFIX命令コードを頭に付けることで，アクセスできるデータ領域をF0000H-FFFFFHの64 Kバイト空間から，ESレジスタの値を付加した00000H-FFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで，PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお，PREFIX命令コードと直後の1命令の間に割り込みやDMA転送を受け付けることはありません。

表27－4　PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	－
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	－	－	－	－
MOV A, ES:[HL]	11H	8BH	－	－	－

注意　ESレジスタの値は，PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

27. 2 オペレーション一覧

表27－5 オペレーション一覧（1/17）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
8ビット・データ転送	MOV	r, #byte	2	1	－	r ← byte	
		PSW, #byte	3	3	－	PSW ← byte	× × ×
		CS, #byte	3	1	－	CS ← byte	
		ES, #byte	2	1	－	ES ← byte	
		!addr16, #byte	4	1	－	(addr16) ← byte	
		ES:!addr16, #byte	5	2	－	(ES, addr16) ← byte	
		saddr, #byte	3	1	－	(saddr) ← byte	
		sfr, #byte	3	1	－	sfr ← byte	
		[DE+byte], #byte	3	1	－	(DE＋byte) ← byte	
		ES:[DE+byte],#byte	4	2	－	((ES, DE)＋byte) ← byte	
		[HL+byte], #byte	3	1	－	(HL＋byte) ← byte	
		ES:[HL+byte],#byte	4	2	－	((ES, HL)＋byte) ← byte	
		[SP+byte], #byte	3	1	－	(SP＋byte) ← byte	
		word[B], #byte	4	1	－	(B＋word) ← byte	
		ES:word[B], #byte	5	2	－	((ES, B)＋word) ← byte	
		word[C], #byte	4	1	－	(C＋word) ← byte	
		ES:word[C], #byte	5	2	－	((ES, C)＋word) ← byte	
		word[BC], #byte	4	1	－	(BC＋word) ← byte	
		ES:word[BC], #byte	5	2	－	((ES, BC)＋word) ← byte	
		A, r 注3	1	1	－	A ← r	
		r, A 注3	1	1	－	r ← A	
		A, PSW	2	1	－	A ← PSW	
		PSW, A	2	3	－	PSW ← A	× × ×
		A, CS	2	1	－	A ← CS	
		CS, A	2	1	－	CS ← A	
		A, ES	2	1	－	A ← ES	
		ES, A	2	1	－	ES ← A	
		A, !addr16	3	1	4	A ← (addr16)	
		A, ES:!addr16	4	2	5	A ← (ES, addr16)	
		!addr16, A	3	1	－	(addr16) ← A	
		ES:!addr16, A	4	2	－	(ES, addr16) ← A	
		A, saddr	2	1	－	A ← (saddr)	
		saddr, A	2	1	－	(saddr) ← A	

注1. **内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}）数。**

2. **プログラム・メモリ領域をアクセスしたときの**CPU**クロック（**f_{CLK}）数。**

3. r = A**を除く。**

備考 クロック数は内部ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表28－5　オペレーション一覧（2/17）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
8ビット・データ転送	MOV	A, sfr	2	1	－	A ← sfr	
		sfr, A	2	1	－	sfr ← A	
		A, [DE]	1	1	4	A ← (DE)	
		[DE], A	1	1	－	(DE) ← A	
		A, ES:[DE]	2	2	5	A ← (ES, DE)	
		ES:[DE], A	2	2	－	(ES, DE) ← A	
		A, [HL]	1	1	4	A ← (HL)	
		[HL], A	1	1	－	(HL) ← A	
		A, ES:[HL]	2	2	5	A ← (ES, HL)	
		ES:[HL], A	2	2	－	(ES, HL) ← A	
		A, [DE+byte]	2	1	4	A ← (DE＋byte)	
		[DE+byte], A	2	1	－	(DE＋byte) ← A	
		A, ES:[DE+byte]	3	2	5	A ← ((ES, DE)＋byte)	
		ES:[DE+byte], A	3	2	－	((ES, DE)＋byte) ← A	
		A, [HL+byte]	2	1	4	A ← (HL＋byte)	
		[HL+byte], A	2	1	－	(HL＋byte) ← A	
		A, ES:[HL+byte]	3	2	5	A ← ((ES, HL)＋byte)	
		ES:[HL+byte], A	3	2	－	((ES, HL)＋byte) ← A	
		A, [SP+byte]	2	1	－	A ← (SP＋byte)	
		[SP+byte], A	2	1	－	(SP＋byte) ← A	
		A, word[B]	3	1	4	A ← (B＋word)	
		word[B], A	3	1	－	(B＋word) ← A	
		A, ES:word[B]	4	2	5	A ← ((ES, B)＋word)	
		ES:word[B], A	4	2	－	((ES, B)＋word) ← A	
		A, word[C]	3	1	4	A ← (C＋word)	
		word[C], A	3	1	－	(C＋word) ← A	
		A, ES:word[C]	4	2	5	A ← ((ES, C)＋word)	
		ES:word[C], A	4	2	－	((ES, C)＋word) ← A	
		A, word[BC]	3	1	4	A ← (BC＋word)	
		word[BC], A	3	1	－	(BC＋word) ← A	
		A, ES:word[BC]	4	2	5	A ← ((ES, BC)＋word)	
		ES:word[BC], A	4	2	－	((ES, BC)＋word) ← A	

注1. **内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}**）数。**

2. **プログラム・メモリ領域をアクセスしたときの**CPU**クロック（**f_{CLK}**）数。**

備考　クロック数は内部ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表28－5 オペレーション一覧（3/17）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	A ← (HL＋B)	
		[HL+B], A	2	1	－	(HL＋B) ← A	
		A, ES:[HL+B]	3	2	5	A ← ((ES, HL)＋B)	
		ES:[HL+B], A	3	2	－	((ES, HL)＋B) ← A	
		A, [HL+C]	2	1	4	A ← (HL＋C)	
		[HL+C], A	2	1	－	(HL＋C) ← A	
		A, ES:[HL+C]	3	2	5	A ← ((ES, HL)＋C)	
		ES:[HL+C], A	3	2	－	((ES, HL)＋C) ← A	
		X, !addr16	3	1	4	X ← (addr16)	
		X, ES:!addr16	4	2	5	X ← (ES, addr16)	
		X, saddr	2	1	－	X ← (saddr)	
		B, !addr16	3	1	4	B ← (addr16)	
		B, ES:!addr16	4	2	5	B ← (ES, addr16)	
		B, saddr	2	1	－	B ← (saddr)	
		C, !addr16	3	1	4	C ← (addr16)	
		C, ES:!addr16	4	2	5	C ← (ES, addr16)	
		C, saddr	2	1	－	C ← (saddr)	
		ES, saddr	3	1	－	ES ← (saddr)	
	XCH	A, r 注3	1 (r = X) 2 (r = X 以外)	1	－	A ⟷ r	
		A, !addr16	4	2	－	A ⟷ (addr16)	
		A, ES:!addr16	5	3	－	A ⟷ (ES, addr16)	
		A, saddr	3	2	－	A ⟷ (saddr)	
		A, sfr	3	2	－	A ⟷ sfr	
		A, [DE]	2	2	－	A ⟷ (DE)	
		A, ES:[DE]	3	3	－	A ⟷ (ES, DE)	
		A, [HL]	2	2	－	A ⟷ (HL)	
		A, ES:[HL]	3	3	－	A ⟷ (ES, HL)	
		A, [DE+byte]	3	2	－	A ⟷ (DE＋byte)	
		A, ES:[DE+byte]	4	3	－	A ⟷ ((ES, DE)＋byte)	
		A, [HL+byte]	3	2	－	A ⟷ (HL＋byte)	
		A, ES:[HL+byte]	4	3	－	A ⟷ ((ES, HL)＋byte)	

注1. **内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}**）数。**

2. **プログラム・メモリ領域をアクセスしたときの**CPU**クロック（**f_{CLK}**）数。**

3. r = A**を除く。**

備考 クロック数は内部ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表27－5 オペレーション一覧（4/17）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
8ビット・データ転送	XCH	A, [HL+B]	2	2	－	A ←→ (HL＋B)	
		A, ES:[HL+B]	3	3	－	A ←→ ((ES, HL)＋B)	
		A, [HL+C]	2	2	－	A ←→ (HL＋C)	
		A, ES:[HL+C]	3	3	－	A ←→ ((ES, HL)＋C)	
	ONEB	A	1	1	－	A ← 01H	
		X	1	1	－	X ← 01H	
		B	1	1	－	B ← 01H	
		C	1	1	－	C ← 01H	
		!addr16	3	1	－	(addr16) ← 01H	
		ES:!addr16	4	2	－	(ES, addr16) ← 01H	
		saddr	2	1	－	(saddr) ← 01H	
	CLRB	A	1	1	－	A ← 00H	
		X	1	1	－	X ← 00H	
		B	1	1	－	B ← 00H	
		C	1	1	－	C ← 00H	
		!addr16	3	1	－	(addr16) ← 00H	
		ES:!addr16	4	2	－	(ES,addr16) ← 00H	
		saddr	2	1	－	(saddr) ← 00H	
	MOVS	[HL+byte], X	3	1	－	(HL＋byte) ← X	× ×
		ES:[HL+byte], X	4	2	－	(ES, HL＋byte) ← X	× ×
16ビット・データ転送	MOVW	rp, #word	3	1	－	rp ← word	
		saddrp, #word	4	1	－	(saddrp) ← word	
		sfrp, #word	4	1	－	sfrp ← word	
		AX, rp 注3	1	1	－	AX ← rp	
		rp, AX 注3	1	1	－	rp ← AX	
		AX, !addr16	3	1	4	AX ← (addr16)	
		!addr16, AX	3	1	－	(addr16) ← AX	
		AX, ES:!addr16	4	2	5	AX ← (ES, addr16)	
		ES:!addr16, AX	4	2	－	(ES, addr16) ← AX	
		AX, saddrp	2	1	－	AX ← (saddrp)	
		saddrp, AX	2	1	－	(saddrp) ← AX	
		AX, sfrp	2	1	－	AX ← sfrp	
		sfrp, AX	2	1	－	sfrp ← AX	

注1. **内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}**）数。**

2. **プログラム・メモリ領域をアクセスしたときの**CPU**クロック（**f_{CLK}**）数。**

3. rp = AX**を除く。**

備考 クロック数は内部ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表27－5 オペレーション一覧（5/17）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
16ビット・データ転送	MOVW	AX, [DE]	1	1	4	AX ← (DE)	
		[DE], AX	1	1	−	(DE) ← AX	
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)	
		ES:[DE], AX	2	2	−	(ES, DE) ← AX	
		AX, [HL]	1	1	4	AX ← (HL)	
		[HL], AX	1	1	−	(HL) ← AX	
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)	
		ES:[HL], AX	2	2	−	(ES, HL) ← AX	
		AX, [DE+byte]	2	1	4	AX ← (DE＋byte)	
		[DE+byte], AX	2	1	−	(DE＋byte) ← AX	
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE)＋byte)	
		ES:[DE+byte], AX	3	2	−	((ES, DE)＋byte) ← AX	
		AX, [HL+byte]	2	1	4	AX ← (HL＋byte)	
		[HL+byte], AX	2	1	−	(HL＋byte) ← AX	
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL)＋byte)	
		ES:[HL+byte], AX	3	2	−	((ES, HL)＋byte) ← AX	
		AX, [SP+byte]	2	1	−	AX ← (SP＋byte)	
		[SP+byte], AX	2	1	−	(SP＋byte) ← AX	
		AX, word[B]	3	1	4	AX ← (B＋word)	
		word[B], AX	3	1	−	(B＋word) ← AX	
		AX, ES:word[B]	4	2	5	AX ← ((ES, B)＋word)	
		ES:word[B], AX	4	2	−	((ES, B)＋word) ← AX	
		AX, word[C]	3	1	4	AX ← (C＋word)	
		word[C], AX	3	1	−	(C＋word) ← AX	
		AX, ES:word[C]	4	2	5	AX ← ((ES, C)＋word)	
		ES:word[C], AX	4	2	−	((ES, C)＋word) ← AX	
		AX, word[BC]	3	1	4	AX ← (BC＋word)	
		word[BC], AX	3	1	−	(BC＋word) ← AX	
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC)＋word)	
		ES:word[BC], AX	4	2	−	((ES, BC)＋word) ← AX	

注1. **内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}**）数。**

2. **プログラム・メモリ領域をアクセスしたときの**CPU**クロック（**f_{CLK}**）数。**

備考 クロック数は内部ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表27－5 オペレーション一覧（6/17）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)	
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)	
		DE, !addr16	3	1	4	DE ← (addr16)	
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)	
		HL, !addr16	3	1	4	HL ← (addr16)	
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)	
		BC, saddrp	2	1	−	BC ← (saddrp)	
		DE, saddrp	2	1	−	DE ← (saddrp)	
		HL, saddrp	2	1	−	HL ← (saddrp)	
	XCHW	AX, rp 注3	1	1	−	AX ⟷ rp	
	ONEW	AX	1	1	−	AX ← 0001H	
		BC	1	1	−	BC ← 0001H	
	CLRW	AX	1	1	−	AX ← 0000H	
		BC	1	1	−	BC ← 0000H	
8ビット演算	ADD	A, #byte	2	1	−	A, CY ← A＋byte	× × ×
		saddr, #byte	3	2	−	(saddr), CY ← (saddr)＋byte	× × ×
		A, r 注4	2	1	−	A, CY ← A＋r	× × ×
		r, A	2	1	−	r, CY ← r＋A	× × ×
		A, !addr16	3	1	4	A, CY ← A＋(addr16)	× × ×
		A, ES:!addr16	4	2	5	A, CY ← A＋(ES, addr16)	× × ×
		A, saddr	2	1	−	A, CY ← A＋(saddr)	× × ×
		A, [HL]	1	1	4	A, CY ← A＋(HL)	× × ×
		A, ES:[HL]	2	2	5	A,CY ← A＋(ES, HL)	× × ×
		A, [HL+byte]	2	1	4	A, CY ← A＋(HL＋byte)	× × ×
		A, ES:[HL+byte]	3	2	5	A,CY ← A＋((ES, HL)＋byte)	× × ×
		A, [HL+B]	2	1	4	A, CY ← A＋(HL＋B)	× × ×
		A, ES:[HL+B]	3	2	5	A,CY ← A＋((ES, HL)＋B)	× × ×
		A, [HL+C]	2	1	4	A, CY ← A＋(HL＋C)	× × ×
		A, ES:[HL+C]	3	2	5	A,CY ← A＋((ES, HL)＋C)	× × ×

注1. **内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}）数。**

2. **プログラム・メモリ領域をアクセスしたときの**CPU**クロック（**f_{CLK}）数。**

3. rp = AX**を除く。**

4. r = A**を除く。**

備考 クロック数は内部ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表27－5 オペレーション一覧（7/17）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	ADDC	A, #byte	2	1	－	A, CY ← A＋byte＋CY	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr)＋byte＋CY	×	×	×
		A, r 注3	2	1	－	A, CY ← A＋r＋CY	×	×	×
		r, A	2	1	－	r, CY ← r＋A＋CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A＋(addr16)＋CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A＋(ES, addr16)＋CY	×	×	×
		A, saddr	2	1	－	A, CY ← A＋(saddr)＋CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A＋(HL)＋CY	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A＋(ES, HL)＋CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A＋(HL＋byte)＋CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A＋((ES, HL)＋byte)＋CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A＋(HL＋B)＋CY	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A＋((ES, HL)＋B)＋CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A＋(HL＋C)＋CY	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A＋((ES, HL)＋C)＋CY	×	×	×
	SUB	A, #byte	2	1	－	A, CY ← A－byte	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr) －byte	×	×	×
		A, r 注3	2	1	－	A, CY ← A－r	×	×	×
		r, A	2	1	－	r, CY ← r－A	×	×	×
		A, !addr16	3	1	4	A, CY ← A－(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A－(ES, addr16)	×	×	×
		A, saddr	2	1	－	A, CY ← A－(saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A－(HL)	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A－(ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A－(HL＋byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A－((ES, HL)＋byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A－(HL＋B)	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A－((ES, HL)＋B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A－(HL＋C)	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A－((ES, HL)＋C)	×	×	×

注1. **内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}**）数。**

2. **プログラム・メモリ領域をアクセスしたときの**CPU**クロック（**f_{CLK}**）数。**

3. r = A**を除く。**

備考 クロック数は内部ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表27－5 オペレーション一覧（8/17）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUBC	A, #byte	2	1	－	A, CY ← A－byte－CY	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr)－byte－CY	×	×	×
		A, r 注3	2	1	－	A, CY ← A－r－CY	×	×	×
		r, A	2	1	－	r, CY ← r－A－CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A－(addr16)－CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A－(ES, addr16)－CY	×	×	×
		A, saddr	2	1	－	A, CY ← A－(saddr)－CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A－(HL)－CY	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A－(ES, HL)－CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A－(HL＋byte)－CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A－((ES, HL)＋byte)－CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A－(HL＋B)－CY	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A－((ES, HL)＋B)－CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A－(HL＋C)－CY	×	×	×
		A, ES:[HL+C]	3	2	5	A, CY ← A－((ES:HL)＋C)－CY	×	×	×
	AND	A, #byte	2	1	－	A ← A∧byte	×		
		saddr, #byte	3	2	－	(saddr) ← (saddr)∧byte	×		
		A, r 注3	2	1	－	A ← A∧r	×		
		r, A	2	1	－	r ← r∧A	×		
		A, !addr16	3	1	4	A ← A∧(addr16)	×		
		A, ES:!addr16	4	2	5	A ← A∧(ES:addr16)	×		
		A, saddr	2	1	－	A ← A∧(saddr)	×		
		A, [HL]	1	1	4	A ← A∧(HL)	×		
		A, ES:[HL]	2	2	5	A ← A∧(ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A∧(HL＋byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A∧((ES:HL)＋byte)	×		
		A, [HL+B]	2	1	4	A ← A∧(HL＋B)	×		
		A, ES:[HL+B]	3	2	5	A ← A∧((ES:HL)＋B)	×		
		A, [HL+C]	2	1	4	A ← A∧(HL＋C)	×		
		A, ES:[HL+C]	3	2	5	A ← A∧((ES:HL)＋C)	×		

注1. **内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}**）数。**

2. **プログラム・メモリ領域をアクセスしたときの**CPU**クロック（**f_{CLK}**）数。**

3. r = A**を除く。**

備考 クロック数は内部ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表27－5 オペレーション一覧（9/17）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
8ビット演算	OR	A, #byte	2	1	－	A ← A∨byte	×
		saddr, #byte	3	2	－	(saddr) ← (saddr)∨byte	×
		A, r 注3	2	1	－	A ← A∨r	×
		r, A	2	1	－	r ← r∨A	×
		A, !addr16	3	1	4	A ← A∨(addr16)	×
		A, ES:!addr16	4	2	5	A ← A∨(ES:addr16)	×
		A, saddr	2	1	－	A ← A∨(saddr)	×
		A, [HL]	1	1	4	A ← A∨(HL)	×
		A, ES:[HL]	2	2	5	A ← A∨(ES:HL)	×
		A, [HL+byte]	2	1	4	A ← A∨(HL+byte)	×
		A, ES:[HL+byte]	3	2	5	A ← A∨((ES:HL)+byte)	×
		A, [HL+B]	2	1	4	A ← A∨(HL+B)	×
		A, ES:[HL+B]	3	2	5	A ← A∨((ES:HL)+B)	×
		A, [HL+C]	2	1	4	A ← A∨(HL+C)	×
		A, ES:[HL+C]	3	2	5	A ← A∨((ES:HL)+C)	×
	XOR	A, #byte	2	1	－	A ← A∀byte	×
		saddr, #byte	3	2	－	(saddr) ← (saddr)∀byte	×
		A, r 注3	2	1	－	A ← A∀r	×
		r, A	2	1	－	r ← r∀A	×
		A, !addr16	3	1	4	A ← A∀(addr16)	×
		A, ES:!addr16	4	2	5	A ← A∀(ES:addr16)	×
		A, saddr	2	1	－	A ← A∀(saddr)	×
		A, [HL]	1	1	4	A ← A∀(HL)	×
		A, ES:[HL]	2	2	5	A ← A∀(ES:HL)	×
		A, [HL+byte]	2	1	4	A ← A∀(HL+byte)	×
		A, ES:[HL+byte]	3	2	5	A ← A∀((ES:HL)+byte)	×
		A, [HL+B]	2	1	4	A ← A∀(HL+B)	×
		A, ES:[HL+B]	3	2	5	A ← A∀((ES:HL)+B)	×
		A, [HL+C]	2	1	4	A ← A∀(HL+C)	×
		A, ES:[HL+C]	3	2	5	A ← A∀((ES:HL)+C)	×

注1. **内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}**）数。**

2. **プログラム・メモリ領域をアクセスしたときの**CPU**クロック（**f_{CLK}**）数。**

3. r = A**を除く。**

備考 クロック数は内部ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表27－5　オペレーション一覧（10/17）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	1	－	A－byte	×	×	×
		!addr16, #byte	4	1	4	(addr16)－byte	×	×	×
		ES:!addr16, #byte	5	2	5	(ES:addr16)－byte	×	×	×
		saddr, #byte	3	1	－	(saddr)－byte	×	×	×
		A, r 注3	2	1	－	A－r	×	×	×
		r, A	2	1	－	r－A	×	×	×
		A, !addr16	3	1	4	A－(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A－(ES:addr16)	×	×	×
		A, saddr	2	1	－	A－(saddr)	×	×	×
		A, [HL]	1	1	4	A－(HL)	×	×	×
		A, ES:[HL]	2	2	5	A－(ES:HL)	×	×	×
		A, [HL+byte]	2	1	4	A－(HL＋byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A－((ES:HL)＋byte)	×	×	×
		A, [HL+B]	2	1	4	A－(HL＋B)	×	×	×
		A, ES:[HL+B]	3	2	5	A－((ES:HL)＋B)	×	×	×
		A, [HL+C]	2	1	4	A－(HL＋C)	×	×	×
		A, ES:[HL+C]	3	2	5	A－((ES:HL)＋C)	×	×	×
	CMP0	A	1	1	－	A－00H	×	×	×
		X	1	1	－	X－00H	×	×	×
		B	1	1	－	B－00H	×	×	×
		C	1	1	－	C－00H	×	×	×
		!addr16	3	1	4	(addr16)－00H	×	×	×
		ES:!addr16	4	2	5	(ES:addr16)－00H	×	×	×
		saddr	2	1	－	(saddr)－00H	×	×	×
	CMPS	X, [HL+byte]	3	1	4	X－(HL＋byte)	×	×	×
		X, ES:[HL+byte]	4	2	5	X－((ES:HL)＋byte)	×	×	×

注1. **内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}**）数。**

2. **プログラム・メモリ領域をアクセスしたときの**CPU**クロック（**f_{CLK}**）数。**

3. r = A**を除く。**

備考　クロック数は内部ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表27－5 オペレーション一覧（11/17）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット演算	ADDW	AX, #word	3	1	－	AX, CY ← AX＋word	×	×	×
		AX, AX	1	1	－	AX, CY ← AX＋AX	×	×	×
		AX, BC	1	1	－	AX, CY ← AX＋BC	×	×	×
		AX, DE	1	1	－	AX, CY ← AX＋DE	×	×	×
		AX, HL	1	1	－	AX, CY ← AX＋HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX＋(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX＋(ES:addr16)	×	×	×
		AX, saddrp	2	1	－	AX, CY ← AX＋(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX＋(HL＋byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX＋((ES:HL)＋byte)	×	×	×
	SUBW	AX, #word	3	1	－	AX, CY ← AX－word	×	×	×
		AX, BC	1	1	－	AX, CY ← AX－BC	×	×	×
		AX, DE	1	1	－	AX, CY ← AX－DE	×	×	×
		AX, HL	1	1	－	AX, CY ← AX－HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX－(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX－(ES:addr16)	×	×	×
		AX, saddrp	2	1	－	AX, CY ← AX－(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX－(HL＋byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX－((ES:HL)＋byte)	×	×	×
	CMPW	AX, #word	3	1	－	AX－word	×	×	×
		AX, BC	1	1	－	AX－BC	×	×	×
		AX, DE	1	1	－	AX－DE	×	×	×
		AX, HL	1	1	－	AX－HL	×	×	×
		AX, !addr16	3	1	4	AX－(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX－(ES:addr16)	×	×	×
		AX, saddrp	2	1	－	AX－(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX－(HL＋byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX－((ES:HL)＋byte)	×	×	×
乗算	MULU	X	1	1	－	AX ← A×X			

注1. **内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}**）数。**

2. **プログラム・メモリ領域をアクセスしたときの**CPU**クロック（**f_{CLK}**）数。**

備考 クロック数は内部ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表27－5 オペレーション一覧（12/17）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
増減	INC	r	1	1	－	r ← r＋1	× ×
		!addr16	3	2	－	(addr16) ← (addr16)＋1	× ×
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16)＋1	× ×
		saddr	2	2	－	(saddr) ← (saddr)＋1	× ×
		[HL+byte]	3	2	－	(HL＋byte) ← (HL＋byte)＋1	× ×
		ES: [HL+byte]	4	3	－	((ES:HL)＋byte) ← ((ES:HL)＋byte)＋1	× ×
	DEC	r	1	1	－	r ← r－1	× ×
		!addr16	3	2	－	(addr16) ← (addr16)－1	× ×
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16) －1	× ×
		saddr	2	2	－	(saddr) ← (saddr)－1	× ×
		[HL+byte]	3	2	－	(HL＋byte) ← (HL＋byte) －1	× ×
		ES: [HL+byte]	4	3	－	((ES:HL)＋byte) ← ((ES:HL)＋byte) －1	× ×
	INCW	rp	1	1	－	rp ← rp＋1	
		!addr16	3	2	－	(addr16) ← (addr16)＋1	
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16)＋1	
		saddrp	2	2	－	(saddrp) ← (saddrp)＋1	
		[HL+byte]	3	2	－	(HL＋byte) ← (HL＋byte)＋1	
		ES: [HL+byte]	4	3	－	((ES:HL)＋byte) ← ((ES:HL)＋byte)＋1	
	DECW	rp	1	1	－	rp ← rp－1	
		!addr16	3	2	－	(addr16) ← (addr16)－1	
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16)－1	
		saddrp	2	2	－	(saddrp) ← (saddrp)－1	
		[HL+byte]	3	2	－	(HL＋byte) ← (HL＋byte) －1	
		ES: [HL+byte]	4	3	－	((ES:HL)＋byte) ← ((ES:HL)＋byte) －1	
シフト	SHR	A, cnt	2	1	－	(CY ← A_0, A_{m-1} ← A_m, A_7 ← 0) ×cnt	×
	SHRW	AX, cnt	2	1	－	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← 0) ×cnt	×
	SHL	A, cnt	2	1	－	(CY ← A_7, A_m ← A_{m-1}, A_0 ← 0) ×cnt	×
		B, cnt	2	1	－	(CY ← B_7, B_m ← B_{m-1}, B_0 ← 0) ×cnt	×
		C, cnt	2	1	－	(CY ← C_7, C_m ← C_{m-1}, C_0 ← 0) ×cnt	×
	SHLW	AX, cnt	2	1	－	(CY ← AX_{15}, AX_m ← AX_{m-1}, AX_0 ← 0) ×cnt	×
		BC, cnt	2	1	－	(CY ← BC_{15}, BC_m ← BC_{m-1}, BC_0 ← 0) ×cnt	×
	SAR	A, cnt	2	1	－	(CY ← A_0, A_{m-1} ← A_m, A_7 ← A_7) ×cnt	×
	SARW	AX, cnt	2	1	－	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← AX_{15}) ×cnt	×

注1. **内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}）数。**

2. **プログラム・メモリ領域をアクセスしたときの**CPU**クロック（**f_{CLK}）数。**

備考1. **クロック数は内部**ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

2. cnt**はビット・シフト数です。**

表27－5 オペレーション一覧（13/17）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
ローテート	ROR	A, 1	2	1	－	(CY, A_7 ← A_0, A_{m-1} ← A_m)×1	×
	ROL	A, 1	2	1	－	(CY, A_0 ← A_7, A_{m+1} ← A_m)×1	×
	RORC	A, 1	2	1	－	(CY ← A_0, A_7 ← CY, A_{m-1} ← A_m)×1	×
	ROLC	A, 1	2	1	－	(CY ← A_7, A_0 ← CY, A_{m+1} ← A_m)×1	×
	ROLWC	AX,1	2	1	－	(CY ← AX_{15}, AX_0 ← CY, AX_{m+1} ← AX_m) ×1	×
		BC,1	2	1	－	(CY ← BC_{15}, BC_0 ← CY, BC_{m+1} ← BC_m) ×1	×
ビット操作	MOV1	CY, A.bit	2	1	－	CY ← A.bit	×
		A.bit, CY	2	1	－	A.bit ← CY	
		CY, PSW.bit	3	1	－	CY ← PSW.bit	×
		PSW.bit, CY	3	4	－	PSW.bit ← CY	× ×
		CY, saddr.bit	3	1	－	CY ← (saddr).bit	×
		saddr.bit, CY	3	2	－	(saddr).bit ← CY	
		CY, sfr.bit	3	1	－	CY ← sfr.bit	×
		sfr.bit, CY	3	2	－	sfr.bit ← CY	
		CY,[HL].bit	2	1	4	CY ← (HL).bit	×
		[HL].bit, CY	2	2	－	(HL).bit ← CY	
		CY, ES:[HL].bit	3	2	5	CY ← (ES, HL).bit	×
		ES:[HL].bit, CY	3	3	－	(ES, HL).bit ← CY	
	AND1	CY, A.bit	2	1	－	CY ← CY∧A.bit	×
		CY, PSW.bit	3	1	－	CY ← CY∧PSW.bit	×
		CY, saddr.bit	3	1	－	CY ← CY∧(saddr).bit	×
		CY, sfr.bit	3	1	－	CY ← CY∧sfr.bit	×
		CY,[HL].bit	2	1	4	CY ← CY∧(HL).bit	×
		CY, ES:[HL].bit	3	2	5	CY ← CY∧(ES, HL).bit	×
	OR1	CY, A.bit	2	1	－	CY ← CY∨A.bit	×
		CY, PSW.bit	3	1	－	CY ← CY∨PSW.bit	×
		CY, saddr.bit	3	1	－	CY ← CY∨(saddr).bit	×
		CY, sfr.bit	3	1	－	CY ← CY∨sfr.bit	×
		CY, [HL].bit	2	1	4	CY ← CY∨(HL).bit	×
		CY, ES:[HL].bit	3	2	5	CY ← CY∨(ES, HL).bit	×

注1. **内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}）数。**

2. **プログラム・メモリ領域をアクセスしたときの**CPU**クロック（**f_{CLK}）数。**

備考 クロック数は内部ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表27－5 オペレーション一覧（14/17）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, A.bit	2	1	－	CY ← CY∀A.bit			×
		CY, PSW.bit	3	1	－	CY ← CY∀PSW.bit			×
		CY, saddr.bit	3	1	－	CY ← CY∀(saddr).bit			×
		CY, sfr.bit	3	1	－	CY ← CY∀sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY∀(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY∀(ES, HL).bit			×
	SET1	A.bit	2	1	－	A.bit ← 1			
		PSW.bit	3	4	－	PSW.bit ← 1	×	×	×
		!addr16.bit	4	2	－	(addr16).bit ← 1			
		ES:!addr16.bit	5	3	－	(ES, addr16).bit ← 1			
		saddr.bit	3	2	－	(saddr).bit ← 1			
		sfr.bit	3	2	－	sfr.bit ← 1			
		[HL].bit	2	2	－	(HL).bit ← 1			
		ES:[HL].bit	3	3	－	(ES, HL).bit ← 1			
	CLR1	A.bit	2	1	－	A.bit ← 0			
		PSW.bit	3	4	－	PSW.bit ← 0	×	×	×
		!addr16.bit	4	2	－	(addr16).bit ← 0			
		ES:!addr16.bit	5	3	－	(ES, addr16).bit ← 0			
		saddr.bit	3	2	－	(saddr.bit) ← 0			
		sfr.bit	3	2	－	sfr.bit ← 0			
		[HL].bit	2	2	－	(HL).bit ← 0			
		ES:[HL].bit	3	3	－	(ES, HL).bit ← 0			
	SET1	CY	2	1	－	CY ← 1			1
	CLR1	CY	2	1	－	CY ← 0			0
	NOT1	CY	2	1	－	CY ← CY			×

注1. **内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}**）数。**

2. **プログラム・メモリ領域をアクセスしたときの**CPU**クロック（**f_{CLK}**）数。**

備考 クロック数は内部ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表27－5 オペレーション一覧（15/17）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
コール・リターン	CALL	rp	2	3	－	(SP－2) ← (PC＋2)S, (SP－3) ← (PC＋2)H, (SP－4) ← (PC＋2)L, PC ← CS, rp, SP ← SP－4	
		$!addr20	3	3	－	(SP－2) ← (PC＋3)S, (SP－3) ← (PC＋3)H, (SP－4) ← (PC＋3)L, PC ← PC＋3＋jdisp16, SP ← SP－4	
		!addr16	3	3	－	(SP－2) ← (PC＋3)S, (SP－3) ← (PC＋3)H, (SP－4) ← (PC＋3)L, PC ← 0000, addr16, SP ← SP－4	
		!!addr20	4	3	－	(SP－2) ← (PC＋4)S, (SP－3) ← (PC＋4)H, (SP－4) ← (PC＋4)L, PC ← addr20, SP ← SP－4	
	CALLT	[addr5]	2	5	－	(SP－2) ← (PC＋2)S , (SP－3) ← (PC＋2)H, (SP－4) ← (PC＋2)L , PCS ← 0000, PCH ← (0000, addr5＋1), PCL ← (0000, addr5), SP ← SP－4	
	BRK	－	2	5	－	(SP－1) ← PSW, (SP－2) ← (PC＋2)S, (SP－3) ← (PC＋2)H, (SP－4) ← (PC＋2)L, PCS ← 0000, PCH ← (0007FH), PCL ← (0007EH), SP ← SP－4, IE ← 0	
	RET	－	1	6	－	PCL ← (SP), PCH ← (SP＋1), PCS ← (SP＋2), SP ← SP＋4	
	RETI	－	2	6	－	PCL ← (SP), PCH ← (SP＋1), PCS ← (SP＋2), PSW ← (SP＋3), SP ← SP＋4	R R R
	RETB	－	2	6	－	PCL ← (SP), PCH ← (SP＋1), PCS ← (SP＋2), PSW ← (SP＋3), SP ← SP＋4	R R R

注1. **内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。**

2. **プログラム・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。**

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表27－5 オペレーション一覧（16/17）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
スタック操作	PUSH	PSW	2	1	－	(SP－1) ← PSW, (SP－2) ← 00H, SP ← SP－2	
		rp	1	1	－	(SP－1) ← rp_H, (SP－2) ← rp_L, SP ← SP－2	
	POP	PSW	2	3	－	PSW ← (SP＋1), SP ← SP＋2	R R R
		rp	1	1	－	rp_L ← (SP), rp_H ← (SP＋1), SP ← SP＋2	
	MOVW	SP, #word	4	1	－	SP ← word	
		SP, AX	2	1	－	SP ← AX	
		AX, SP	2	1	－	AX ← SP	
		HL, SP	3	1	－	HL ← SP	
		BC, SP	3	1	－	BC ← SP	
		DE, SP	3	1	－	DE ← SP	
	ADDW	SP, #byte	2	1	－	SP ← SP＋byte	
	SUBW	SP, #byte	2	1	－	SP ← SP－byte	
無条件分岐	BR	AX	2	3	－	PC ← CS, AX	
		$addr20	2	3	－	PC ← PC＋2＋jdisp8	
		$!addr20	3	3	－	PC ← PC＋3＋jdisp16	
		!addr16	3	3	－	PC ← 0000, addr16	
		!!addr20	4	3	－	PC ← addr20	
条件付き分岐	BC	$addr20	2	2/4注3	－	PC ← PC＋2＋jdisp8 if CY = 1	
	BNC	$addr20	2	2/4注3	－	PC ← PC＋2＋jdisp8 if CY = 0	
	BZ	$addr20	2	2/4注3	－	PC ← PC＋2＋jdisp8 if Z = 1	
	BNZ	$addr20	2	2/4注3	－	PC ← PC＋2＋jdisp8 if Z = 0	
	BH	$addr20	3	2/4注3	－	PC ← PC+3+jdisp8 if (Z∨CY)=0	
	BNH	$addr20	3	2/4注3	－	PC ← PC+3+jdisp8 if (Z∨CY)=1	
	BT	saddr.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if (saddr).bit = 1	
		sfr.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if sfr.bit = 1	
		A.bit, $addr20	3	3/5注3	－	PC ← PC＋3＋jdisp8 if A.bit = 1	
		PSW.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if PSW.bit = 1	
		[HL].bit, $addr20	3	3/5注3	6/7	PC ← PC＋3＋jdisp8 if (HL).bit = 1	
		ES:[HL].bit, $addr20	4	4/6注3	7/8	PC ← PC＋4＋jdisp8 if (ES, HL).bit = 1	

注1. **内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}**）数。**

2. **プログラム・メモリ領域をアクセスしたときの**CPU**クロック（**f_{CLK}**）数。**

3. **クロック数は“条件不成立時／条件成立時”を表しています。**

備考 クロック数は内部ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

表27－5 オペレーション一覧（17/17）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
条件付き分岐	BF	saddr.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if (saddr).bit = 0	
		sfr.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if sfr.bit = 0	
		A.bit, $addr20	3	3/5[注3]	－	PC ← PC＋3＋jdisp8 if A.bit = 0	
		PSW.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if PSW.bit = 0	
		[HL].bit, $addr20	3	3/5[注3]	6/7	PC ← PC＋3＋jdisp8 if (HL).bit = 0	
		ES:[HL].bit, $addr20	4	4/6[注3]	7/8	PC ← PC＋4＋jdisp8 if (ES, HL).bit = 0	
	BTCLR	saddr.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if (saddr).bit = 1 then reset (saddr).bit	
		sfr.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if sfr.bit = 1 then reset sfr.bit	
		A.bit, $addr20	3	3/5[注3]	－	PC ← PC＋3＋jdisp8 if A.bit = 1 then reset A.bit	
		PSW.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if PSW.bit = 1 then reset PSW.bit	× × ×
		[HL].bit, $addr20	3	3/5[注3]	－	PC ← PC＋3＋jdisp8 if (HL).bit = 1 then reset (HL).bit	
		ES:[HL].bit, $addr20	4	4/6[注3]	－	PC ← PC＋4＋jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit	
条件付きスキップ	SKC	－	2	1	－	Next instruction skip if CY = 1	
	SKNC	－	2	1	－	Next instruction skip if CY = 0	
	SKZ	－	2	1	－	Next instruction skip if Z = 1	
	SKNZ	－	2	1	－	Next instruction skip if Z = 0	
	SKH	－	2	1	－	Next instruction skip if (Z∨CY)=0	
	SKNH	－	2	1	－	Next instruction skip if (Z∨CY)=1	
CPU制御	SEL[注4]	RBn	2	1	－	RBS[1:0] ← n	
	NOP	－	1	1	－	No Operation	
	EI	－	3	4	－	IE ← 1(Enable Interrupt)	
	DI	－	3	4	－	IE ← 0(Disable Interrupt)	
	HALT	－	2	3	－	Set HALT Mode	
	STOP	－	2	3	－	Set STOP Mode	

注1. **内部**RAM**領域，**SFR**領域および拡張**SFR**領域をアクセスしたとき，またはデータ・アクセスをしないときの**CPU**クロック（**f_{CLK}**）数。**

2. **プログラム・メモリ領域をアクセスしたときの**CPU**クロック（**f_{CLK}**）数。**
3. **クロック数は“条件不成立時／条件成立時”を表しています。**
4. n**はレジスタ・バンク番号です（**n = 0-3**）。**

備考 クロック数は内部ROM**（フラッシュ・メモリ）領域にプログラムがある場合です。内部**RAM**領域から命令フェッチする場合，最大**2**倍＋**3**クロックになります。**

第28章　電気的特性（ターゲット）

注意1. **この特性は，ターゲット（目標値）であり，デバイス評価後に変更の可能性があります。**

2. RL78/G12**には開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。**

3. **製品により，搭載している端子が次のようになります。**

28. 1　製品別搭載端子

28. 1. 1　ポート機能

2. 1. 1　20**ピン製品 ～** 2. 1. 3　30**ピン製品を参照してください。**

28. 1. 2　ポート以外の端子

2. 1. 4　**製品別搭載端子（ポート以外の端子）を参照してください。**

28. 2　絶対最大定格

絶対最大定格（T_A = 25 ℃）

	項　　目	略　号	条　　件		定　　格	単　位
	電源電圧	V_{DD}			−0.5〜+6.5	V
		V_{SS}			−0.5〜+0.3	V
★	REGC端子入力電圧	V_{IREGC}	REGC		−0.3〜+2.8 かつ−0.3〜V_{DD}+0.3[注1]	V
	入力電圧	V_{I1}	P60, P61以外		−0.3〜V_{DD}+0.3[注2]	V
		V_{I2}	P60, P61（N-chオープン・ドレイン）		−0.3〜+6.5	V
	出力電圧	V_O			−0.3〜V_{DD}+0.3[注2]	V
	アナログ入力電圧	V_{AI}	ANI0-ANI22		−0.3〜V_{DD}+0.3[注2]	V
★	ハイ・レベル出力電流	I_{OH1}	1端子	P20-P23以外	−40	mA
			端子合計	P20-P23以外の全端子	−170	mA
				20, 24ピン製品：P40-P42 30ピン製品：P00, P01, P40, P120	−70	mA
				20, 24ピン製品：P00-P03, P10-P14 30ピン製品：P10-P17, P30, P31, P50, P51, P147	−100	mA
		I_{OH2}	1端子	P20-P23	−0.5	mA
			端子合計		−2	mA
★	ロウ・レベル出力電流	I_{OL1}	1端子	P20-P23以外	40	mA
			端子合計	P20-P23以外の全端子	170	mA
				20, 24ピン製品：P40-P42 30ピン製品：P00, P01, P40, P120	70	mA
				20, 24ピン製品：P00-P03, P10-P14, P60, P61 30ピン製品：P10-P17, P30, P31, P50, P51, P60, P61, P147	100	mA
		I_{OL2}	1端子	P20-P23	1	mA
			端子合計		5	mA
	動作周囲温度	T_A			−40〜+85	℃
	保存温度	T_{stg}			−65〜+150	℃

注1. REGC端子にはコンデンサ（0.47〜1 μF）を介してV_{SS}に接続してください。この値は，REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2. 6.5 V以下であること。

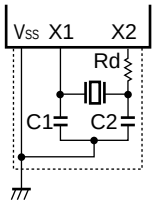
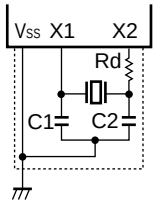
注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

28. 3　発振回路特性

28. 3. 1　メイン・システム・クロック発振回路特性

（T_A = －40～＋85 ℃，1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

発振子	推奨回路	項　　目	条　　件	MIN.	TYP.	MAX.	単位
セラミック発振子		X1クロック発振周波数（f_X）注	2.7 V≦V_{DD}≦5.5 V	1.0		20.0	MHz
			1.8 V≦V_{DD}＜2.7 V	1.0		8.0	
水晶振動子		X1クロック発振周波数（f_X）注	2.7 V≦V_{DD}≦5.5 V	1.0		20.0	MHz
			1.8 V≦V_{DD}＜2.7 V	1.0		8.0	

注　発振回路の特性だけを示すものです。命令実行時間は，AC特性を参照してください。

注意1. X1発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は，常にV_{SS}と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

★　2. リセット解除後は，HOCOクロックによりCPUが起動されるため，X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ（OSTC）でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから，OSTCレジスタ，発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。

★　28. 3. 2　オンチップ・オシレータ特性

（T_A = −40〜+85 ℃，1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

発振子	略　号	条　　件		MIN.	TYP.	MAX.	単位
HOCOクロック周波数[注]	f_{IH}	24 MHz選択時	データ・フラッシュ搭載品	T.B.D	24.00	T.B.D	MHz
			データ・フラッシュ非搭載品	T.B.D	24.00	T.B.D	MHz
		16 MHz選択時	データ・フラッシュ搭載品	T.B.D	16.00	T.B.D	MHz
			データ・フラッシュ非搭載品	T.B.D	16.00	T.B.D	MHz
		12 MHz選択時	データ・フラッシュ搭載品	T.B.D	12.00	T.B.D	MHz
			データ・フラッシュ非搭載品	T.B.D	12.00	T.B.D	MHz
		8 MHz選択時	データ・フラッシュ搭載品	T.B.D	8.00	T.B.D	MHz
			データ・フラッシュ非搭載品	T.B.D	8.00	T.B.D	MHz
		1 MHz選択時	データ・フラッシュ搭載品	T.B.D	1.00	T.B.D	MHz
			データ・フラッシュ非搭載品	T.B.D	1.00	T.B.D	MHz
LOCOクロック周波数	f_{IL}			T.B.D	15	T.B.D	kHz

注　発振回路の特性だけを示すものです。命令実行時間は，AC特性を参照してください。

28. 4　DC特性

★　28. 4. 1　端子特性

（T_A = −40〜+85 ℃，1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　（1/4）

項　目	略号	条　件			MIN.	TYP.	MAX.	単　位
ハイ・レベル出力電流[注1]	I_{OH1}	1端子	20, 24ピン製品：P00-P03, P10-P14, P40-P42 30ピン製品：P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	4.0 V≦V_{DD}≦5.5 V			−10	mA
				2.7 V≦V_{DD}＜4.0 V			−1.0	mA
				1.8 V≦V_{DD}＜2.7 V			−1.0	mA
		端子合計[注2]	20, 24ピン製品：P40-P42 30ピン製品：P00, P01, P40, P120	4.0 V≦V_{DD}≦5.5 V			−70	mA
				2.7 V≦V_{DD}＜4.0 V			−10	mA
				1.8 V≦V_{DD}＜2.7 V			−5	mA
			20, 24ピン製品：P00-P03, P10-P14 30ピン製品：P10-P17, P30, P31, P50, P51, P147	4.0 V≦V_{DD}≦5.5 V			−100	mA
				2.7 V≦V_{DD}＜4.0 V			−19	mA
				1.8 V≦V_{DD}＜2.7 V			−10	mA
			全端子	4.0 V≦V_{DD}≦5.5 V			−170	mA
				2.7 V≦V_{DD}＜4.0 V			−29	mA
				1.8 V≦V_{DD}＜2.7 V			−15	mA
	I_{OH2}	1端子	P20-P23				−0.1	mA
		端子合計[注2]					−0.4	mA

注1.　V_{DD}端子から出力端子に流れ出しても，デバイスの動作を保証する電流値です。

2.　デューティ = 70 %の条件でのスペックです。
デューティ比を変更した出力電流の値は，次の計算式で求めることができます（70 %のデューティをn %に変更する場合）。

・端子合計の出力電流 =（I_{OH}×0.7）／（n×0.01）

＜計算例＞ I_{OH} = −10.0 mAの場合，n = 50 %

端子合計の出力電流 =（−10.0×0.7）／（50×0.01）= −14.0 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

★ **注意**　20, 24ピン製品のP01, P10-P12, P41、30ピン製品のP00, P10-P15, P17, P50は、N-chオープン・ドレイン・モード時には，ハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～+85 ℃，1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V） （2/4）

項 目	略号	条 件			MIN.	TYP.	MAX.	単 位
ロウ・レベル出力電流[注1]	I_{OL1}	1端子	20, 24ピン製品：P00-P03, P10-14, P40-P42 30ピン製品：P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	4.0 V≦V_{DD}≦5.5 V			20.0	mA
				2.7 V≦V_{DD}＜4.0 V			1.5	mA
				1.8 V≦V_{DD}＜2.7 V			0.6	mA
			P60, P61	4.0 V≦V_{DD}≦5.5 V			15.0	mA
				2.7 V≦V_{DD}＜4.0 V			3.0	mA
				1.8 V≦V_{DD}＜2.7 V			2.0	mA
		端子合計[注2]	20, 24ピン製品：P40-P42 30ピン製品：P00, P01 P40, P120	4.0 V≦V_{DD}≦5.5 V			70.0	mA
				2.7 V≦V_{DD}＜4.0 V			15	mA
				1.8 V≦V_{DD}＜2.7 V			9	mA
			20, 24ピン製品：P00-P03, P10-P14, P60, P61 30ピン製品：P10-P17, P30, P31, P50, P51, P60, P61, P147	4.0 V≦V_{DD}≦5.5 V			100	mA
				2.7 V≦V_{DD}＜4.0 V			35	mA
				1.8 V≦V_{DD}＜2.7 V			20	mA
			全端子	4.0 V≦V_{DD}≦5.5 V			170.0	mA
				2.7 V≦V_{DD}＜4.0 V			50.0	mA
				1.8 V≦V_{DD}＜2.7 V			29.0	mA
	I_{OL2}	1端子	P20-P23				0.4	mA
		端子合計[注2]					1.6	mA

注1. 出力端子からV_{SS},端子に流れ込んでも，デバイスの動作を保証する電流値です。

2. デューティ = 70 %の条件でのスペックです。
デューティ比を変更した出力電流の値は，次の計算式で求めることができます（70 %のデューティをn %に変更する場合）。

・端子合計の出力電流 =（I_{OL}×0.7）／（n×0.01）

＜計算例＞ I_{OL} = 10.0 mAの場合，n = 50 %

端子合計の出力電流 = （10.0×0.7）／（50×0.01）= 14.0 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40〜+85 ℃，1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V） （3/4）

	項　目	略号	条　件		MIN.	TYP.	MAX.	単　位
★	ハイ・レベル入力電圧	V_{IH1}	通常入力バッファ 20, 24ピン製品：P00-P03, P10-P14, P40-P42 30ピン製品：P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147		0.8V_{DD}		V_{DD}	V
		V_{IH2}	TTL入力バッファ 20, 24ピン製品：P10, P11 30ピン製品：P01, P10, P11, P13-P17	4.0 V≦V_{DD}≦5.5 V	2.2		V_{DD}	V
				3.3 V≦V_{DD}＜4.0 V	2.0		V_{DD}	V
				1.8 V≦V_{DD}＜3.3 V	1.50		V_{DD}	V
		V_{IH3}	通常入力バッファ P20-P23		0.7V_{DD}		V_{DD}	V
		V_{IH4}	P60, P61		0.7V_{DD}		V_{DD}	V
		V_{IH5}	P121, P122, P137, EXCLK, $\overline{\text{RESET}}$		0.8V_{DD}		V_{DD}	V
★	ロウ・レベル入力電圧	V_{IL1}	通常入力バッファ 20, 24ピン製品：P00-P03, P10-P14, P40-P42 30ピン製品：P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147		0		0.2V_{DD}	V
		V_{IL2}	TTL入力バッファ 20, 24ピン製品：P10, P11 30ピン製品：P01, P10, P11, P13-P17	4.0 V≦EV_{DD}≦5.5 V	0		0.8	V
				2.7 V≦EV_{DD}＜4.0 V	0		0.5	V
				1.8 V≦EV_{DD}＜2.7 V	0		0.32	V
		V_{IL3}	P20-P23		0		0.3V_{DD}	V
		V_{IL4}	P60, P61		0		0.3V_{DD}	V
		V_{IL5}	P121, P122, P137, EXCLK, $\overline{\text{RESET}}$		0		0.2V_{DD}	V
	ハイ・レベル出力電圧	V_{OH1}	20, 24ピン製品：P00-P03, P10-P14, P40-P42 30ピン製品：P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	4.0 V≦V_{DD}≦5.5 V, I_{OH1} = −10.0 mA	V_{DD}−1.5			V
				4.0 V≦V_{DD}≦5.5 V, I_{OH1} = −3.0 mA	V_{DD}−0.7			V
				1.8 V≦V_{DD}≦5.5 V, I_{OH1} = −1.0 mA	V_{DD}−0.5			V
		V_{OH2}	P20-P23	1.8 V≦V_{DD}≦5.5 V, I_{OH2} = −100 μA	V_{DD}−0.5			V

★ **注意** 20, 24ピン製品のP01, P10-P12, P41, P60, P61，30ピン製品のP00, P10-P15, P17, P50, P60, P61は，N-chオープン・ドレイン・モード時でもV_{IH}の最大値（MAX.）はV_{DD}です。
また，N-chオープン・ドレイン・モード時には，ハイ・レベル出力しません。

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40〜+85 ℃，1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V） （4/4）

	項　目	略号	条　件		MIN.	TYP.	MAX.	単　位
★	ロウ・レベル出力電圧	V_{OL1}	20, 24ピン製品：P00-P03, P10-P14, P40-P42 30ピン製品：P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	4.0 V≦V_{DD}≦5.5 V, I_{OL1} = 20.0 mA			1.5	V
				4.0 V≦V_{DD}≦5.5 V, I_{OL1} = 8.5 mA			0.7	V
				4.0 V≦V_{DD}≦5.5 V, I_{OL1} = 4.0 mA			0.4	V
				2.7 V≦V_{DD}≦5.5 V, I_{OL1} = 1.5 mA			0.4	V
				1.8 V≦V_{DD}≦5.5 V, I_{OL1} = 0.6 mA			0.4	V
		V_{OL2}	P20-P23	1.8 V≦V_{DD}≦5.5 V, I_{OL2} = 400 μA			0.4	V
		V_{OL3}	P60, P61	4.0 V≦V_{DD}≦5.5 V, I_{OL3} = 15.0 mA			2.0	V
				4.0 V≦V_{DD}≦5.5 V, I_{OL3} = 5.0 mA			0.4	V
				2.7 V≦V_{DD}≦5.5 V, I_{OL3} = 3.0 mA			0.4	V
				1.8 V≦V_{DD}≦5.5 V, I_{OL3} = 2.0 mA			0.4	V
	ハイ・レベル入力リーク電流	I_{LIH1}	P121, P122以外	V_I = V_{DD}			1	μA
		I_{LIH2}	P121, P122（X1, X2）	V_I = V_{DD} 入力ポート時，外部クロック入力時			1	μA
				発振子接続時			10	μA
	ロウ・レベル入力リーク電流	I_{LIL1}	P121, P122以外	V_I = V_{SS}			−1	μA
		I_{LIL2}	P121, P122（X1, X2）	V_I = V_{SS} 入力ポート時，外部クロック入力時			−1	μA
				発振子接続時			−10	μA
★	内蔵プルアップ抵抗	R_U	20, 24ピン製品：P00-P03, P10-P14, P40-P42, $\overline{\text{RESET}}$ 30ピン製品：P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	V_I = V_{SS}，入力ポート時	10	20	100	kΩ

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

★ 28. 4. 2　電源電流特性

（T_A = −40〜+85 ℃，1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　（1/2）

項　目	略号	条　件				MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD1}	動作モード	高速動作[注2]	f_{MX} = 20 MHz[注3]，	方形波入力		3.0	T.B.D	mA
				V_{DD} = 5.0 V	発振子接続		3.1	T.B.D	
				f_{MX} = 20 MHz[注3]，	方形波入力		3.0	T.B.D	mA
				V_{DD} = 3.0 V	発振子接続		3.1	T.B.D	
				f_{MX} = 10 MHz[注3]，	方形波入力		1.9	T.B.D	mA
				V_{DD} = 5.0 V	発振子接続		2.0	T.B.D	
				f_{MX} = 10 MHz[注3]，	方形波入力		1.9	T.B.D	mA
				V_{DD} = 3.0 V	発振子接続		2.0	T.B.D	
			低速動作[注2]	f_{MX} = 8 MHz[注3]，	方形波入力		1.2	T.B.D	mA
				V_{DD} = 3.0 V	発振子接続		1.2	T.B.D	
				f_{MX} = 8 MHz[注3]，	方形波入力		1.2	T.B.D	mA
				V_{DD} = 2.0 V	発振子接続		1.2	T.B.D	
			高速動作[注2]	f_{IH} = 24 MHz[注4]	V_{DD} = 5.0 V		3.6	T.B.D	mA
					V_{DD} = 3.0 V		3.6	T.B.D	
				f_{IH} = 16 MHz[注4]	V_{DD} = 5.0 V		2.7	T.B.D	mA
					V_{DD} = 3.0 V		2.7	T.B.D	
			低速動作[注2]	f_{IH} = 8 MHz[注4]	V_{DD} = 3.0 V		1.3	T.B.D	mA
					V_{DD} = 2.0 V		1.3	T.B.D	

注1. V_{DD},に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし，A/Dコンバータ，LVD回路，I/Oポート，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。
   高速動作　：V_{DD} = 2.7〜5.5 V@1 MHz〜24 MHz
   　　V_{DD} = 2.4〜5.5 V@1 MHz〜16 MHz
   低速動作　：V_{DD} = 1.8〜5.5 V@1 MHz〜8 MHz
3. HOCO停止時。
4. 高速システム・クロック停止時。

（T_A = −40〜+85 ℃，1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V） （2/2）

項 目	略号	条 件				MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD2}	HALTモード[注2]	高速動作[注3]	f_{MX} = 20 MHz[注4]，	方形波入力		290	T.B.D	μA
				V_{DD} = 5.0 V	発振子接続		390	T.B.D	
				f_{MX} = 20 MHz[注4]，	方形波入力		290	T.B.D	μA
				V_{DD} = 3.0 V	発振子接続		390	T.B.D	
				f_{MX} = 10 MHz[注4]，	方形波入力		200	T.B.D	μA
				V_{DD} = 5.0 V	発振子接続		280	T.B.D	
				f_{MX} = 10 MHz[注4]，	方形波入力		200	T.B.D	μA
				V_{DD} = 3.0 V	発振子接続		280	T.B.D	
			低速動作[注3]	f_{MX} = 8 MHz[注4]，	方形波入力		100	T.B.D	μA
				V_{DD} = 3.0 V	発振子接続		140	T.B.D	
				f_{MX} = 8 MHz[注4]，	方形波入力		100	T.B.D	μA
				V_{DD} = 2.0 V	発振子接続		140	T.B.D	
			高速動作[注3]	f_{IH} = 24 MHz[注5]	V_{DD} = 5.0 V		440	T.B.D	μA
					V_{DD} = 3.0 V		440	T.B.D	
				f_{IH} = 16 MHz[注5]	V_{DD} = 5.0 V		400	T.B.D	μA
					V_{DD} = 3.0 V		400	T.B.D	
			低速動作[注3]	f_{IH} = 8 MHz[注5]	V_{DD} = 3.0 V		280	T.B.D	μA
					V_{DD} = 2.0 V		280	T.B.D	
	I_{DD3}	STOPモード[注6]	T_A = −40〜+50℃				0.23	T.B.D	μA
			T_A = −40〜+70℃				0.23	T.B.D	
			T_A = −40〜+85℃				0.23	T.B.D	

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし，A/Dコンバータ， LVD回路，I/Oポート，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. フラッシュ・メモリでのHALT命令実行時。
3. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。
   高速動作 ：V_{DD} = 2.7〜5.5 V@1 MHz〜24 MHz
   V_{DD} = 2.4〜5.5 V@1 MHz〜16 MHz
   低速動作 ：V_{DD} = 1.8〜5.5 V@1 MHz〜8 MHz
4. HOCO停止時。
5. 高速システム・クロック停止時。
6. HOCO，高速システム・クロック，ウォッチドッグ・タイマは停止時。

備考1. f_{MX} ： 高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）
2. f_{IH} ： HOCOクロック周波数
3. TYP.値の温度条件は，T_A = 25 ℃です。

（T_A = −40～+85 ℃，1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

	項　目	略号	条　件		MIN.	TYP.	MAX.	単位
	ウォッチドッグ・タイマ動作電流	I_{WDT} 注1, 2	f_{IL} = 15 kHz			0.22	T.B.D	μA
★	A/Dコンバータ動作電流	I_{ADC} 注3	最高速動作時	標準モード，AV_{REFP} = V_{DD} = 5.0 V		1.30	T.B.D	mA
				低電圧モード，AV_{REFP} = V_{DD} = 3.0 V		0.50	T.B.D	mA
★	LVD動作電流	I_{LVD} 注4				0.08	T.B.D	μA

注1. 高速オンチップ・オシレータ，高速システム・クロックは停止時。

2. ウォッチドッグ・タイマにのみ流れる電流です（15 kHz低速オンチップ・オシレータの動作電流を含みます）。ウォッチドッグ・タイマの動作時は，I_{DD1}, I_{DD2}またはI_{DD3}にI_{WDT}を加算した値が，RL78/G12の電源電流値となります。

3. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでA/Dコンバータの動作時は，I_{DD1}またはI_{DD2}にI_{ADC}を加算した値が，RL78/G12の電源電流値となります。

4. LVD回路にのみ流れる電流です。LVD回路の動作時は，I_{DD1}, I_{DD2}またはI_{DD3}にI_{LVI}を加算した値が，RL78/G12の電源電流値となります。

備考1. f_{IL} ：LOCOクロック周波数

2. f_{CLK} ：CPU／周辺ハードウエア・クロック周波数

3. TYP.値の温度条件は，T_A = 25 ℃です。

28. 5 AC特性

28. 5. 1 基本動作

（T_A = −40〜+85 ℃，1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

	項目	略号	条件			MIN.	TYP.	MAX.	単位
	命令サイクル（最小命令実行時間）	T_{CY}	メイン・システム・クロック（f_{MAIN}）動作	高速メイン・モード	2.7 V≦V_{DD}≦5.5 V	0.04167		1	μs
					2.4 V≦V_{DD}<2.7 V	0.0625		1	μs
				低速メイン・モード	1.8 V≦V_{DD}≦5.5 V	0.125		1	μs
			セルフ・プログラミング時	高速メイン・モード	2.7 V≦V_{DD}≦5.5 V	0.04167		1	μs
					2.4 V≦V_{DD}<2.7 V	0.0625		1	μs
				低速メイン・モード	1.8 V≦V_{DD}≦5.5 V	0.125		1	μs
	外部メイン・システム・クロック周波数	f_{EX}	2.7 V≦V_{DD}≦5.5 V			2.0		20.0	MHz
			1.8 V≦V_{DD}<2.7 V			2.0		8.0	MHz
	外部メイン・システム・クロック入力ハイ／ロウ・レベル幅	t_{EXH}, t_{EXL}	2.7 V≦V_{DD}≦5.5 V			24			ns
			1.8 V≦V_{DD}<2.7 V			60			ns
	TI00 -TI03入力ハイ／ロウ・レベル幅	t_{TIH}, t_{TIL}				2/f_{MCK}＋10			ns
	TO00 -TO03出力周波数	f_{TO}	4.0 V≦V_{DD}≦5.5 V					12	MHz
			2.7 V≦V_{DD}<4.0 V					8	MHz
			1.8 V≦V_{DD}<2.7 V					4	MHz
★	PCLBUZ0, PCLBUZ1の出力周波数	f_{PCL}	4.0 V≦V_{DD}≦5.5 V					16	MHz
			2.7 V≦V_{DD}<4.0 V					8	MHz
			1.8 V≦V_{DD}<2.7 V					4	MHz
★	INTP0-INTP5 入力ハイ／ロウ・レベル幅	t_{INTH}, t_{INTL}				1			μs
	KR0-KR9入力ロウ・レベル幅	t_{KR}				250			ns
	$\overline{\text{RESET}}$ロウ・レベル幅	t_{RSL}				10			μs

備考 f_{MCK}：タイマ・アレイ・ユニットの動作クロック周波数。
（タイマ・モード・レジスタ0n（TMR0n）のCKS0nビットで設定する動作クロック。n：チャネル番号（n = 0-7））

28. 6　周辺機能特性

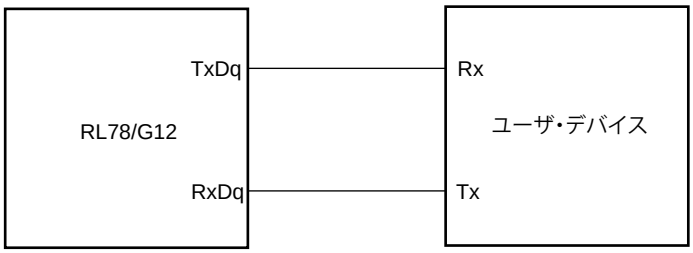
28. 6. 1　シリアル・アレイ・ユニット

（1）同電位通信時（UARTモード）（専用ボー・レート・ジェネレータ出力）

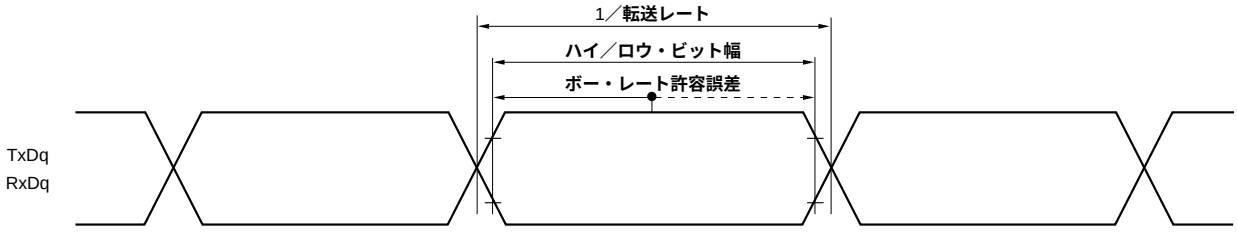
（T_A = −40～+85 **℃，**1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V**）**

項　目	略号	条　件	MIN.	TYP.	MAX.	単　位
転送レート		2.7 V≦V_{DD}≦5.5 V			f_{MCK}/6	bps
		最大転送レート理論値			4.0	Mbps
		2.4 V≦V_{DD}≦5.5 V			f_{MCK}/6	bps
		最大転送レート理論値			2.6	Mbps
		1.8 V≦V_{DD}≦5.5 V			f_{MCK}/6	bps
		最大転送レート理論値			1.3	Mbps

UART**モード接続図（同電位通信時）**



UART**モードのビット幅（同電位通信時）（参考）**



★ **注意　ポート入力モード・レジスタ**g（PIMg）**とポート出力モード・レジスタ**g（POMg）**で，**RxDq**端子は通常入力バッファ，**TxDq**端子は通常出力モードを選択。**

★ **備考**1.　q：UART**番号**（q = 0-2），g：PIM, POM**番号**（g = 0, 1）

★ 2.　f_{MCK}：**シリアル・アレイ・ユニットの動作クロック周波数**
（SMRmn**レジスタの**CKSmn**ビットで設定する動作クロック。**m：**ユニット番号，**n：**チャネル番号**（mn = 00-03, 10, 11））

★ **（2）同電位通信時（CSIモード）（マスタ・モード（f_{MCK}/2），$\overline{SCKp}$…内部クロック出力）**

（T_A = −40～+85 **℃，**2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V**）**

項　目	略号	条　件	MIN.	TYP.	MAX.	単　位
$\overline{SCKp}$サイクル・タイム	t_{KCY1}	2.7 V≦V_{DD}≦5.5 V	83.3 注1			ns
$\overline{SCKp}$ハイ／ロウ・レベル幅	t_{KH1},	4.0 V≦V_{DD}≦5.5 V	t_{KCY1}/2−9			ns
	t_{KL1}	2.7 V≦V_{DD}≦5.5 V	t_{KCY1}/2−13			ns
SIpセットアップ時間（対$\overline{SCKp}$↑） 注2	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V	21			ns
		2.7 V≦V_{DD}≦5.5 V	29			ns
SIpホールド時間（対$\overline{SCKp}$↑） 注2	t_{KSI1}	2.7 V≦V_{DD}≦5.5 V	13			ns
$\overline{SCKp}$↓→SOp出力遅延時間 注3	t_{KSO1}	C = 20 pF 注4			13	ns

★ **（3）同電位通信時（CSIモード）（マスタ・モード（f_{MCK}/4），$\overline{SCKp}$…内部クロック出力）**

（T_A = −40～+85 **℃，**1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V**）**

項　目	略号	条　件	MIN.	TYP.	MAX.	単　位
$\overline{SCKp}$サイクル・タイム	t_{KCY1}	2.7 V≦V_{DD}≦5.5 V	167 注5			ns
		2.4 V≦V_{DD}≦5.5 V	250 注5			ns
		1.8 V≦V_{DD}≦5.5 V	500 注5			ns
$\overline{SCKp}$ハイ／ロウ・レベル幅	t_{KH1},	4.0 V≦V_{DD}≦5.5 V	t_{KCY1}/2−16			ns
	t_{KL1}	2.7 V≦V_{DD}≦5.5 V	t_{KCY1}/2−24			ns
		2.4 V≦V_{DD}≦5.5 V	t_{KCY1}/2−38			ns
		1.8 V≦V_{DD}≦5.5 V	t_{KCY1}/2−50			ns
SIpセットアップ時間（対$\overline{SCKp}$↑） 注2	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V	51			ns
		2.7 V≦V_{DD}≦5.5 V	51			ns
		2.4 V≦V_{DD}≦5.5 V	75			ns
		1.8 V≦V_{DD}≦5.5 V	150			ns
SIpホールド時間（対$\overline{SCKp}$↑） 注2	t_{KSI1}		26			ns
$\overline{SCKp}$↓→SOp出力遅延時間 注3	t_{KSO1}	C = 30 pF 注4			34	ns

注1. **かつ**2/f_{CLK}**以上に設定してください。**

2. DAPmn = 0, CKPmn = 0**または**DAPmn = 1, CKPmn = 1**のとき。**DAPmn = 0, CKPmn = 1**または**DAPmn = 1, CKPmn = 0**のときは“対**$\overline{SCKp}$↓**”となります。**

3. DAPmn = 0, CKPmn = 0**または**DAPmn = 1, CKPmn = 1**のとき。**DAPmn = 0, CKPmn = 1**または**DAPmn = 1, CKPmn = 0**のときは“対**$\overline{SCKp}$↑**”となります。**

4. C**は，**$\overline{SCKp}$, SOp**出力ラインの負荷容量です。**

5. **かつ**4/f_{CLK}**以上に設定してください。**

★

注意　ポート入力モード・レジスタ0, 1**（**PIM0, PIM1**）とポート出力モード・レジスタ**0, 1**（**POM0, POM1**）で，**SIp**端子は通常入力バッファ，**SOp**端子と**$\overline{SCKp}$**端子は通常出力モードを選択。**

★

備考　p：CSI**番号（**p = 00, 01, 11, 20**），**m：**ユニット番号（**m = 0, 1**），**n：**チャネル番号（**n = 0, 1, 3：1, 3**はデータ・フラッシュ搭載品）**

(4) 同電位通信時（CSIモード）（スレーブ・モード，SCKp…外部クロック入力）

（T_A = −40〜+85 ℃，1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
SCKpサイクル・タイム	t_{KCY2}	4.0 V≦V_{DD}≦5.5 V		6/f_{MCK}			ns
		2.7 V≦V_{DD}＜4.0 V	16 MHz＜f_{MCK}	8/f_{MCK}			ns
			f_{MCK}≦16 MHz	6/f_{MCK}			ns
		1.8 V≦V_{DD}＜2.7 V	16 MHz＜f_{MCK}	8/f_{MCK}			ns
			f_{MCK}≦16 MHz	6/f_{MCK}			ns
SCKpハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}	1.8 V≦V_{DD}≦5.5 V		t_{KCY2}/2			ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK2}	2.7 V≦V_{DD}≦5.5 V		67			ns
		1.8 V≦V_{DD}＜2.7 V		80			ns
SIpホールド時間（対SCKp↑）注1	t_{KSI2}			1/f_{MCK}＋42			ns
★ SCKp↓→SOp出力遅延時間注2	t_{KSO2}	C = 30 pF注3	2.7 V≦V_{DD}≦5.5 V			2/f_{MCK}＋51.	ns
			2.4 V≦V_{DD}＜2.7 V			2/f_{MCK}＋75	ns
			1.8 V≦V_{DD}＜2.4 V			2/f_{MCK}＋150	ns

注1. DAPmn = 0, CKPmn = 0**または**DAPmn = 1, CKPmn = 1**のとき。**DAPmn = 0, CKPmn = 1**または**DAPmn = 1, CKPmn = 0**のときは“対**SCKp↓**”となります。**

2. DAPmn = 0, CKPmn = 0**または**DAPmn = 1, CKPm0= 1**のとき。**DAPmn = 0, CKPmn = 1**または**DAPmn = 1, CKPmn = 0**のときは“対**SCKp↑**”となります。**

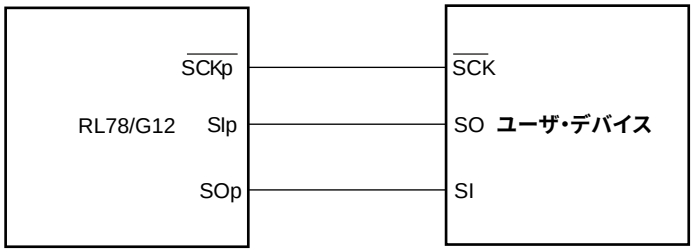
3. C**は，**SOp**出力ラインの負荷容量です。**

★ **注意　ポート入力モード・レジスタ**0, 1（PIM0, PIM1）**とポート出力モード・レジスタ**0, 1（POM0, POM1）**で，**SIp**端子は通常入力バッファ，**SOp**端子と**SCKp**端子は通常出力モードを選択。**

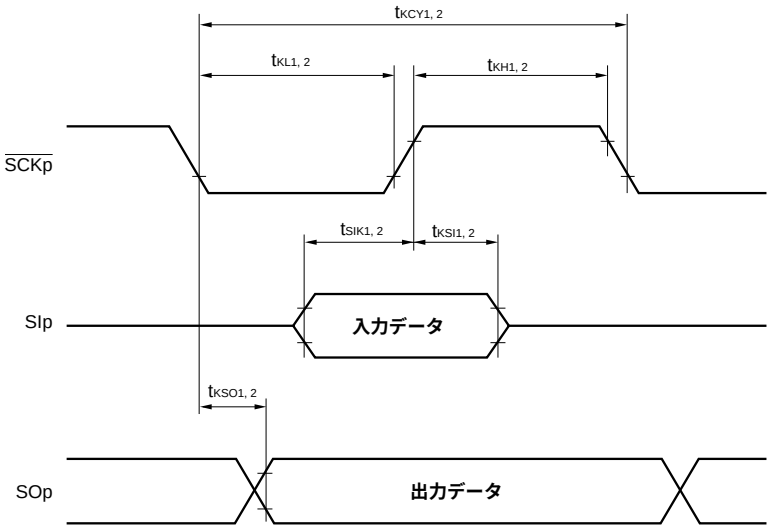
★ **備考**1. p：CSI**番号**（p = 00, 01, 11, 20），m：**ユニット番号**（m = 0, 1），n：**チャネル番号**（n = 0, 1, 3：1, 3**はデータ・フラッシュ搭載品**）

★ 2. f_{MCK}：**シリアル・アレイ・ユニットの動作クロック周波数**（SMRmn**レジスタの**CKSmn**ビットで設定する動作クロック。**m：**ユニット番号，**n：**チャネル番号**（n = 0, 1, 3：1, 3**はデータ・フラッシュ搭載品**））

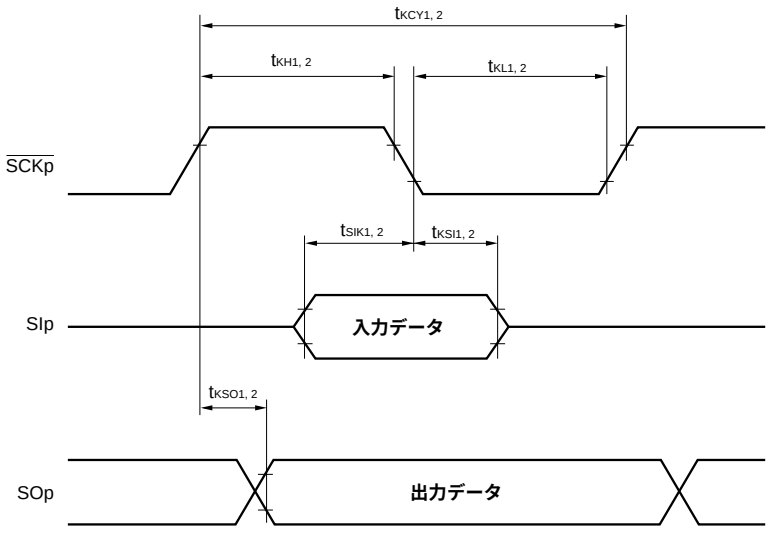
CSIモード接続図（同電位通信時）



CSIモード・シリアル転送タイミング（同電位通信時）
（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



CSIモード・シリアル転送タイミング（同電位通信時）
（DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考1.　p：CSI番号（p = 00, 01, 11, 20）
2.　n：チャネル番号（0, 1, 3）

(5) 同電位通信時（簡易I^2Cモード）

（T_A = −40～+85 ℃，1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	MAX.	単位
SCLrクロック周波数	f_{SCL}	1.8 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ		400	kHz
		1.8 V≦V_{DD}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ		300	kHz
SCLr = "L"のホールド・タイム	t_{LOW}	1.8 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	1150		ns
		1.8 V≦V_{DD}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	1500		ns
SCLr = "H"のホールド・タイム	t_{HIGH}	1.8 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	1150		ns
		1.8 V≦V_{DD}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	1500		ns
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	1.8 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	1/f_{MCK}＋120		ns
		1.8 V≦V_{DD}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	1/f_{MCK}＋230		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	1.8 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	0	355	ns
		1.8 V≦V_{DD}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	0	405	ns

★ **注意　ポート出力モード・レジスタh（POMh）で，SDArはN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択。**

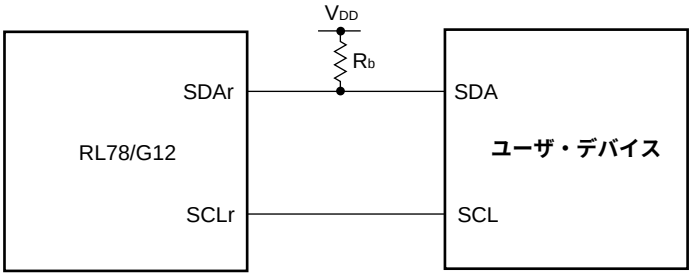
備考1. R_b [Ω]：通信ライン（SDAr）プルアップ抵抗値，C_b [F]：通信ライン（SCLr, SDAr）負荷容量値

★ 2. r：IIC番号（r = 00, 01, 11, 20），h：POM番号（h = 0, 1）

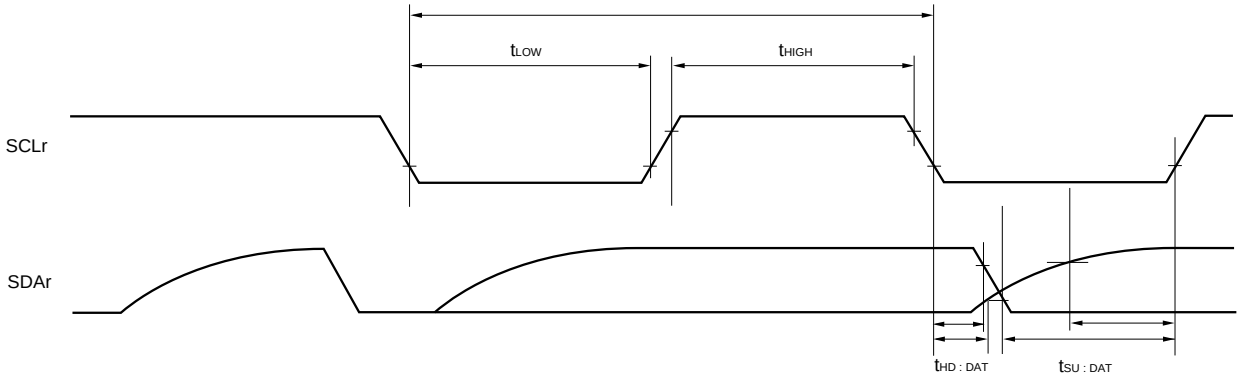
★ 3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1, 3））

4. 簡易I^2Cモードはデータ・フラッシュ搭載品で対応

簡易I^2Cモード接続図（同電位通信時）



簡易I^2Cモード・シリアル転送タイミング（同電位通信時）



（6）異電位（2.5 V系，3 V系）通信時（UARTモード）（専用ボー・レート・ジェネレータ出力）

（T_A = −40〜+85 ℃，1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略 号	条　件			MIN.	TYP.	MAX.	単 位
転送レート		受信	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V				f_{MCK}/6	bps
				最大転送レート理論値			4.0	Mbps
			2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V				f_{MCK}/6	bps
				最大転送レート理論値			4.0	Mbps
			1.8V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦1.8 V				f_{MCK}/6	bps
				最大転送レート理論値			1.3	Mbps
		送信	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V				注1	bps
				最大転送レート理論値 C_b = 50 pF, R_b = 1.4 kΩ, V_b = 2.7 V			2.8注2	Mbps
			2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V				注3	bps
				最大転送レート理論値 C_b = 50 pF, R_b = 2.7 kΩ, V_b = 2.3 V			1.2注4	Mbps
			1.8V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦1.8 V				注5	bps
				最大転送レート理論値 C_b = 50 pF, R_b = 5.5 kΩ, V_b = 1.6 V			0.75注6	Mbps

注1. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

2. この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

3. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

4. この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注5.　f_{MCK}/6**または次の計算式で求められる最大転送レートのどちらか小さい方が,有効な最大転送レートとなります。**

1.8 V≦V_{DD}＜2.7 V, 1.6 V≦V_b≦1.8 V**時の転送レート計算式**

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{1.28}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{1.28}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

6.　**この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注**5**により算出してください。**

注意　ポート入力モード・レジスタg（PIMg）**とポート出力モード・レジスタ**g（POMg）**で，**RxDq**端子は**TTL**入力バッファ，**TxDq**端子は**N-ch**オープン・ドレイン出力（**V_{DD}**耐圧）モードを選択（**20, 24**ピン製品で，**P6**へのリダイレクトは非対応）。**

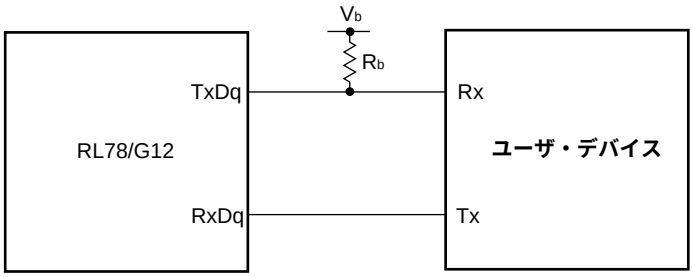
備考1.　R_b [**Ω**]**：通信ライン（**TxDq**）プルアップ抵抗値，**C_b [F]**：通信ライン（**TxDq**）負荷容量値，**V_b [V]**：通信ライン電圧**

★　2.　q**：**UART**番号（**q = 0-2**），**g**：**PIM, POM**番号（**g = 0, 1**）**

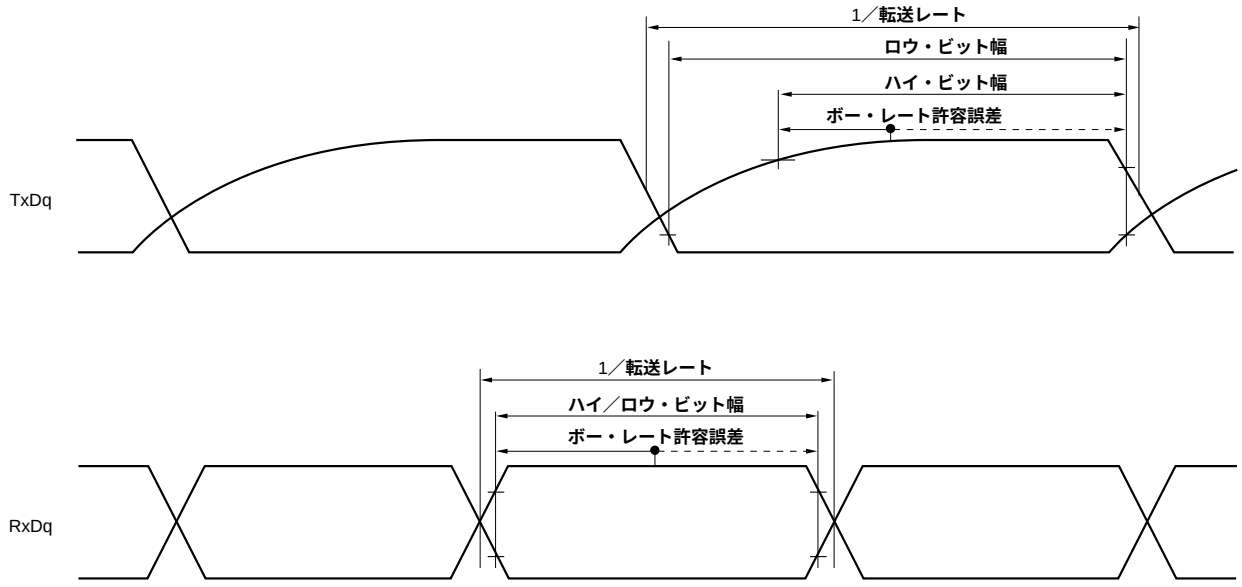
★　3.　f_{MCK}**：シリアル・アレイ・ユニットの動作クロック周波数**
（SMRmn**レジスタの**CKSmn**ビットで設定する動作クロック。**m**：ユニット番号，**n**：チャネル番号（**mn = 00-03, 10, 11**））**

★　4.　**シリアル・アレイ・ユニットの**UART**モードの異電位通信時の**AC**特性は下記の**V_{IH}**と**V_{IL}**を観測点としています。**
4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V**のとき：**V_{IH} = 2.2 V, V_{IL} = 0.8 V
3.3 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V**のとき：**V_{IH} = 2.0 V
2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V**のとき：**V_{IL} = 0.5 V
1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦1.8 V**のとき：**V_{IH} = 1.28 V
1.8 V≦V_{DD}＜2.7 V, 1.6 V≦V_b≦1.8 V**のとき：**V_{IL} = 0.32 V

UART**モード接続図（異電位通信時）**



UART**モードのビット幅（異電位通信時）（参考）**



備考1.　R_b [**Ω**]**：通信ライン（**TxD0**）プルアップ抵抗値，**V_b [V]**：通信ライン電圧**

★　2.　q**：**UART**番号（**q = 0-2**），**g**：**PIM, POM**番号（**g = 0, 1**）**

★ **（7）異電位（2.5 V系，3 V系）通信時（f_{MCK}/2）（CSIモード）（マスタ・モード，$\overline{SCKp}$…内部クロック出力）**

（T_A = −40～+85 **℃，**2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V**）**

項　目	略号	条　件	MIN.	TYP.	MAX.	単　位
$\overline{SCKp}$サイクル・タイム	t_{KCY1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ	200注1			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ	300注1			ns
$\overline{SCKp}$ハイ・レベル幅	t_{KH1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ	t_{KCY1}/2−50			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ	t_{KCY1}/2−120			ns
$\overline{SCKp}$ロウ・レベル幅	t_{KL1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ	t_{KCY1}/2−9			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ	t_{KCY1}/2−13			ns
SIpセットアップ時間（対$\overline{SCKp}$↑）注2	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ	58			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ	121			ns
SIpホールド時間（対$\overline{SCKp}$↑）注2	t_{KSI1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ	13			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ	13			ns
$\overline{SCKp}$↓→SOp出力遅延時間注2	t_{KSO1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ			63	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ			133	ns
SIpセットアップ時間（対$\overline{SCKp}$↓）注3	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ	21			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ	29			ns
SIpホールド時間（対$\overline{SCKp}$↓）注3	t_{KSI1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ	13			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ	13			ns
$\overline{SCKp}$↑→SOp出力遅延時間注3	t_{KSO1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ			13	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ			13	ns

注1. **かつ**2/f_{CLK}**以上に設定してください。**

2. DAPmn = 0, CKPmn = 0**または**DAPmn = 1, CKPmn = 1**のとき。**

3. DAPmn = 0, CKPmn = 1**または**DAPmn = 1, CKPmn = 0**のとき。**

注意　ポート入力モード・レジスタ1（PIM1）**とポート出力モード・レジスタ**1（POM1）**で，**SIp**端子は**TTL**入力バ**
★ **ッファ，**SOp**端子と**$\overline{\text{SCKp}}$**端子は**N-ch**オープン・ドレイン出力（**V_{DD}**耐圧）モードを選択（**24**ピン製品で，**P0**へのリダイレクトは非対応）。**CSI01, CSI11**は異電位通信できません。**

備考1.　R_b [**Ω**]**：通信ライン（**$\overline{\text{SCKp}}$, SOp**）プルアップ抵抗値，**C_b [F]**：通信ライン（**$\overline{\text{SCKp}}$, SOp**）負荷容量値，**V_b [V]**：通信ライン電圧**

★　2.　p：CSI番号（p = 00, 20），m**：ユニット番号（**m = 0, 1**），**n**：チャネル番号（**n = 0**）**

★　3.　**シリアル・アレイ・ユニットの**CSI**モードの異電位通信時の**AC**特性は下記の**V_{IH}**と**V_{IL}**を観測点としています。**

4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V**のとき：**V_{IH} = 2.2 V, V_{IL} = 0.8 V

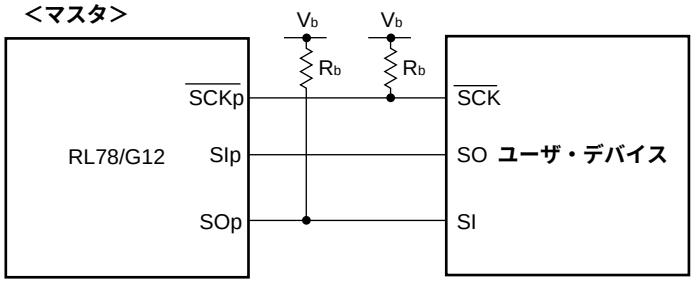
3.3 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V**のとき：**V_{IH} = 2.0 V

2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V**のとき：**V_{IL} = 0.5 V

1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦1.8 V**のとき：**V_{IH} = 1.28 V

1.8 V≦V_{DD}＜2.7 V, 1.6 V≦V_b≦1.8 V**のとき：**V_{IL} = 0.32 V

CSIモード接続図（異電位通信時）**



(8) 異電位 (2.5 V系，3 V系) 通信時 (f_{MCK}/4) (CSIモード) (マスタ・モード，$\overline{SCKp}$…内部クロック出力) (1/2)

(T_A = −40〜+85 ℃，1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V)

項　目	略号	条　件	MIN.	TYP.	MAX.	単　位
$\overline{SCKp}$サイクル・タイム	t_{KCY1}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	300注			ns
		2.7 V≦EV_{DD}<4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	500注			ns
		1.8 V≦EV_{DD}<3.3 V, 1.6 V≦V_b≦1.8 V, C_b = 30 pF, R_b = 5.5 kΩ	700注			ns
$\overline{SCKp}$ハイ・レベル幅	t_{KH1}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	t_{KCY1}/2−75			ns
		2.7 V≦EV_{DD}<4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	t_{KCY1}/2−170			ns
		1.8 V≦EV_{DD}<3.3 V, 1.6 V≦V_b≦1.8 V, C_b = 30 pF, R_b = 5.5 kΩ	t_{KCY1}/2−270			ns
$\overline{SCKp}$ロウ・レベル幅	t_{KL1}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	t_{KCY1}/2−16			ns
		2.7 V≦EV_{DD}<4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	t_{KCY1}/2−24			ns
		1.8 V≦EV_{DD}<3.3 V, 1.6 V≦V_b≦1.8 V, C_b = 30 pF, R_b = 5.5 kΩ	t_{KCY1}/2−50			ns

注　かつ4/f_{CLK}以上に設定してください。

注意　ポート入力モード・レジスタ1（PIM1）とポート出力モード・レジスタ1（POM1）で，SI00端子はTTL入力
★ **バッファ，SOp端子と$\overline{SCKp}$端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択（24ピン製品で，P0へのリダイレクトは非対応）。**CSI01, CSI11は異電位通信できません。

備考1. R_b [Ω]：通信ライン（$\overline{SCKp}$, SOp）プルアップ抵抗値，C_b [F]：通信ライン（$\overline{SCKp}$, SOp）負荷容量値，V_b [V]：通信ライン電圧

★ 2. p：CSI番号（p = 00, 20），m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0）

★ 3. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記のV_{IH}とV_{IL}を観測点としています。

4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 Vのとき：V_{IH} = 2.2 V, V_{IL} = 0.8 V
3.3 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 Vのとき：V_{IH} = 2.0 V
2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 Vのとき：V_{IL} = 0.5 V
1.8 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦1.8 Vのとき：V_{IH} = 1.28 V
1.8 V≦V_{DD}<2.7 V, 1.6 V≦V_b≦1.8 Vのとき：V_{IL} = 0.32 V

★ (8) 異電位（2.5 V系，3 V系）通信時（f_{MCK}/4）（CSIモード）（マスタ・モード，$\overline{SCKp}$…内部クロック出力）（2/2）

（T_A = −40〜+85 ℃，1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略号	条　件	MIN.	TYP.	MAX.	単　位
SIpセットアップ時間（対$\overline{SCKp}$↑）注1	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	81			ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	177			ns
		1.8 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦1.8 V, C_b = 30 pF, R_b = 5.5 kΩ	281			ns
SIpホールド時間（対$\overline{SCKp}$↑）注1	t_{KSI1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	26			ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	26			ns
		1.8 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦1.8 V, C_b = 30 pF, R_b = 5.5 kΩ	26			ns
$\overline{SCKp}$↓→SOp出力遅延時間注1	t_{KSO1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ			109	ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ			204	ns
		1.8 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦1.8 V, C_b = 30 pF, R_b = 5.5 kΩ			304	ns
SIpセットアップ時間（対$\overline{SCKp}$↓）注2	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	51			ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	51			ns
		1.8 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦1.8 V, C_b = 30 pF, R_b = 5.5 kΩ	51			ns
SIpホールド時間（対$\overline{SCKp}$↓）注2	t_{KSI1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	26			ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	26			ns
		1.8 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦1.8 V, C_b = 30 pF, R_b = 5.5 kΩ	26			ns
$\overline{SCKp}$↑→SOp出力遅延時間注2	t_{KSO1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ			34	ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ			34	ns
		1.8 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦1.8 V, C_b = 30 pF, R_b = 5.5 kΩ			34	ns

注1. DAPmn= 0, CKPmn= 0**または**DAPmn = 1, CKPmn = 1**のとき。**

2. DAPmn = 0, CKPmn = 1**または**DAPmn = 1, CKPmn = 0**のとき。**

注意 ポート入力モード・レジスタ1（PIM1）**とポート出力モード・レジスタ**1（POM1）**で，**SIp**端子は**TTL**入力バッファ，**SOp**端子と**$\overline{SCKp}$**端子は**N-ch**オープン・ドレイン出力（V_{DD}**耐圧）モードを選択（**24**ピン製品で，**P0**へのリダイレクトは非対応）。**CSI01, CSI11**は異電位通信できません。**

備考1. R_b [Ω]**：通信ライン（**$\overline{SCKp}$, SOp**）プルアップ抵抗値，**C_b [F]**：通信ライン（**$\overline{SCKp}$, SOp**）負荷容量値，**V_b [V]**：通信ライン電圧**

備考2.　p：CSI番号（p = 00, 20），m：**ユニット番号**（m = 0, 1），n：**チャネル番号**（n = 0）

3.　**シリアル・アレイ・ユニットの**CSI**モードの異電位通信時の**AC**特性は下記の**V_{IH}**と**V_{IL}**を観測点としています。**

4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V**のとき：**V_{IH} = 2.2 V, V_{IL} = 0.8 V

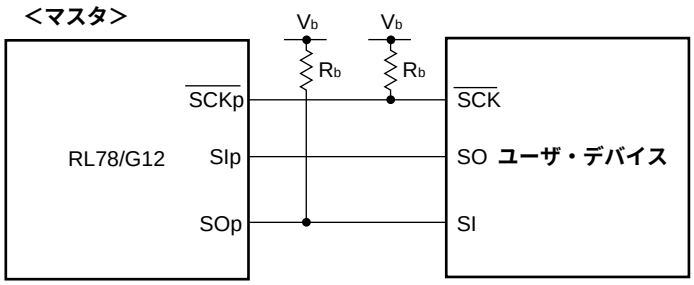
3.3 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V**のとき：**V_{IH} = 2.0 V

2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V**のとき：**V_{IL} = 0.5 V

1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦1.8 V**のとき：**V_{IH} = 1.28 V

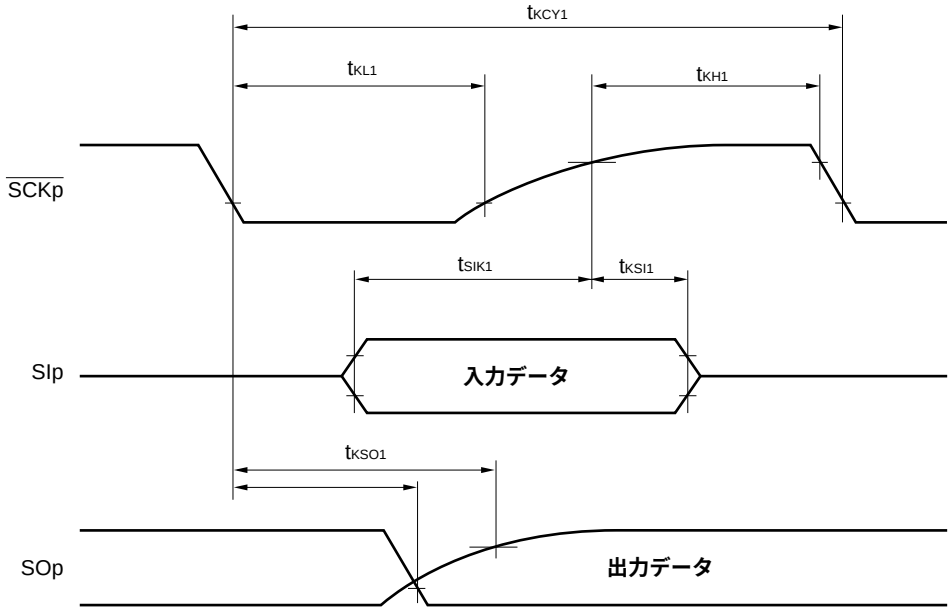
1.8 V≦V_{DD}＜2.7 V, 1.6 V≦V_b≦1.8 V**のとき：**V_{IL} = 0.32 V

CSIモード接続図（異電位通信時）



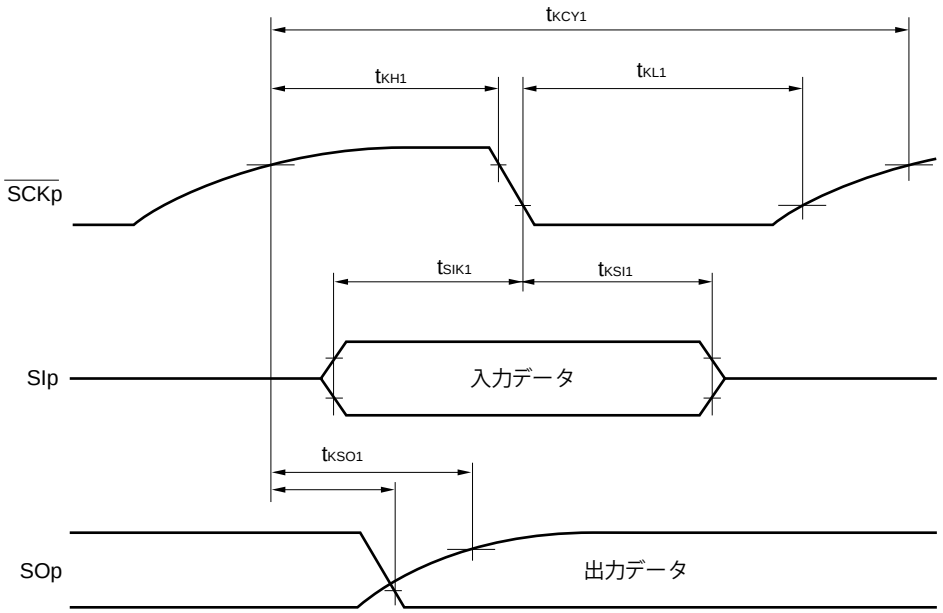
CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0**または**DAPmn = 1, CKPmn = 1**のとき）**



CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



（9）異電位（2.5 V系，3 V系）通信時（CSIモード）（スレーブ・モード，SCKp…外部クロック入力）

（T_A = −40〜+85 ℃，1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
SCKpサイクル・タイム	t_{KCY2}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V	20.4 MHz＜f_{MCK}≦24 MHz	12/f_{MCK}			ns
			13.6 MHz＜f_{MCK}≦20.4 MHz	10/f_{MCK}			ns
			6.8 MHz＜f_{MCK}≦13.6 MHz	8/f_{MCK}			ns
			f_{MCK}≦6.8 MHz	6/f_{MCK}			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V	22.2 MHz＜f_{MCK}≦24 MHz	18/f_{MCK}			ns
			18.5 MHz＜f_{MCK}≦22.2 MHz	16/f_{MCK}			ns
			14.8 MHz＜f_{MCK}≦18.5 MHz	14/f_{MCK}			ns
			11.1 MHz＜f_{MCK}≦14.8 MHz	12/f_{MCK}			ns
			7.4 MHz＜f_{MCK}≦11.1 MHz	10/f_{MCK}			ns
			3.7 MHz＜f_{MCK}≦7.4 MHz	8/f_{MCK}			ns
			f_{MCK}≦3.7 MHz	6/f_{MCK}			ns
		1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦1.8 V	18.5 MHz≦f_{MCK}	16/f_{MCK}			ns
			14.8 MHz＜f_{MCK}≦18.5 MHz	14/f_{MCK}			ns
			11.1 MHz＜f_{MCK}≦14.8 MHz	12/f_{MCK}			ns
			7.4 MHz＜f_{MCK}≦11.1 MHz	10/f_{MCK}			ns
			3.7 MHz＜f_{MCK}≦7.4 MHz	8/f_{MCK}			ns
			f_{MCK}≦3.7 MHz	6/f_{MCK}			ns
SCKpハイ／ロウ・レベル幅	t_{KH2}, t_{KL2}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V		t_{KCY2}/2−16			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V		t_{KCY2}/2−24			ns
		1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦1.8 V		t_{KCY2}/2−50			ns
SIpセットアップ時間（対SCKp↑）[注1]	t_{SIK2}			67			ns
SIpホールド時間（対SCKp↑）[注1]	t_{KSI2}			1/f_{MCK}+42			ns
★ SCKp↓→SOp出力遅延時間[注2]	t_{KSO2}	4.0 V≦EV_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ				2/f_{MCK}+81	ns
		2.7 V≦EV_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ				2/f_{MCK}+177	ns
		1.8 V≦EV_{DD}＜3.3 V, 1.6 V≦V_b≦1.8 V, C_b = 30 pF, R_b = 5.5 kΩ				2/f_{MCK}+281	ns

注1. DAPmn = 0, CKPmn = 0**または**DAPmn = 1, CKPmn = 1**のとき。**DAPmn = 0, CKPmn = 1**または**DAPmn = 1, CKPmn = 0**のときは“対**SCKp↓**”となります。**

2. DAPmn = 0, CKPmn = 0**または**DAPmn = 1, CKPmn = 1**のとき。**DAPmn = 0, CKPmn = 1**または**DAPmn = 1, CKPmn = 0**のときは“対**SCKp↑**”となります。**

注意　ポート入力モード・レジスタ1（PIM1）**とポート出力モード・レジスタ**1（POM1）**で，**SIp**端子は**TTL**入力バッファ，**SOp**端子と**SCKp**端子は**N-ch**オープン・ドレイン出力（V_{DD}**耐圧）モードを選択（**24**ピン製品で，**P0**へのリダイレクトは非対応）。**CSI01, CSI11**は異電位通信できません。**

備考1. R_b [Ω]：通信ライン（SOp）プルアップ抵抗値，C_b [F]：通信ライン（SOp）負荷容量値，V_b [V]：通信ライン電圧

★ 2. p：CSI番号（p = 00, 20），m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0）

3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（SMRmnレジスタのCKSmnビットで設定する動作クロック）

★ 4. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記のV_{IH}とV_{IL}を観測点としています。

4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 Vのとき：V_{IH} = 2.2 V, V_{IL} = 0.8 V

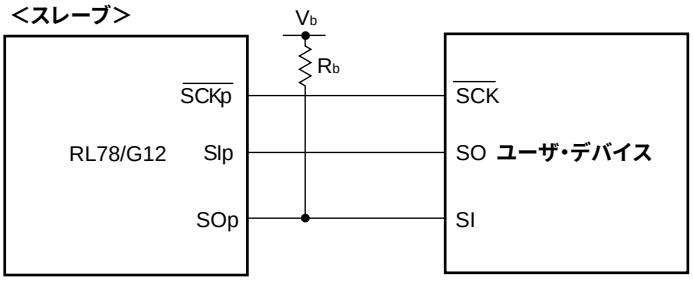
3.3 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 Vのとき：V_{IH} = 2.0 V

2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 Vのとき：V_{IL} = 0.5 V

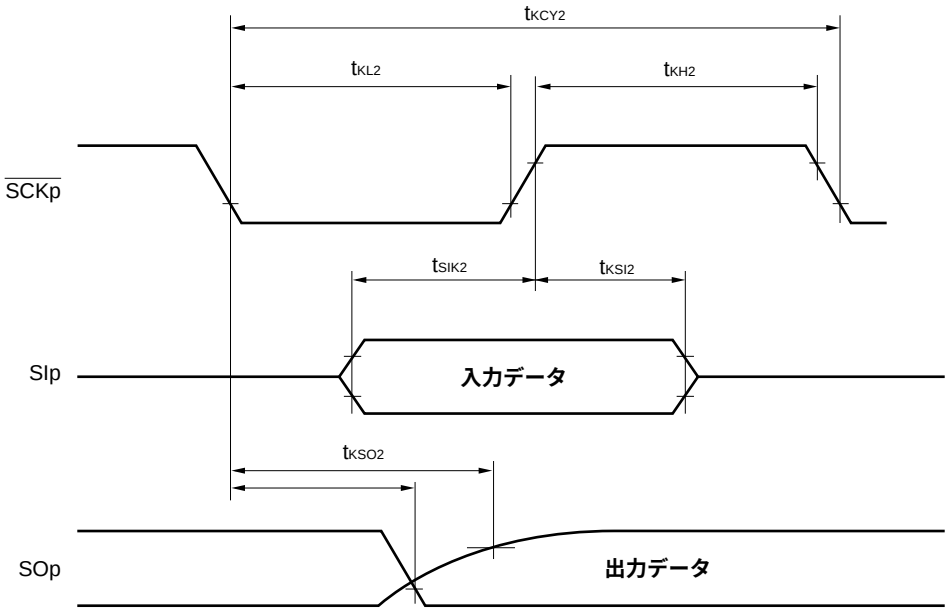
1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦1.8 Vのとき：V_{IH} = 1.28 V

1.8 V≦V_{DD}＜2.7 V, 1.6 V≦V_b≦1.8 Vのとき：V_{IL} = 0.32 V

CSIモード接続図（異電位通信時）

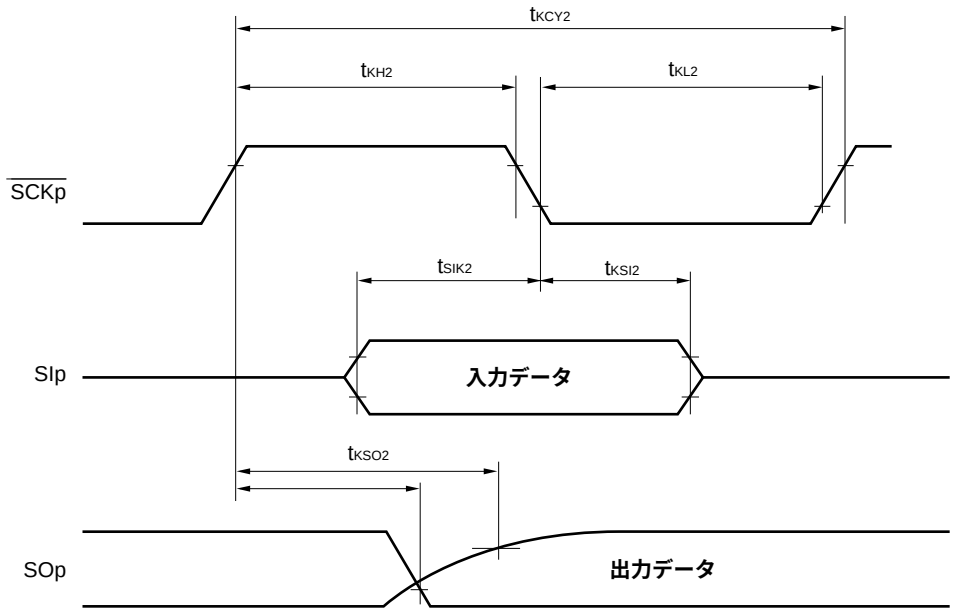


CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
（DAPmn = 0, CKP0mn = 0**または**DAPmn = 1, CKPmn = 1**のとき）**



CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

（DAP0mn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



（10）異電位通信時（2.5 V系，3 V系）通信時（簡易I^2Cモード）

（T_A = −40〜+85 ℃，1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	MAX.	単位
SCLrクロック周波数	f_{SCL}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ		400	kHz
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b<2.7 V, C_b = 100 pF, R_b = 2.7 kΩ		400	kHz
		1.8 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦1.8 V, C_b = 100 pF, R_b = 5.5 kΩ		300	kHz
SCLr = "L"のホールド・タイム	t_{LOW}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	1150		ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b<2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	1150		ns
		1.8 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦1.8 V, C_b = 100 pF, R_b = 5.5 kΩ	1500		ns
SCLr = "H"のホールド・タイム	t_{HIGH}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	675		ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b<2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	600		ns
		1.8 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦1.8 V, C_b = 100 pF, R_b = 5.5 kΩ	610		ns
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	1/f_{MCK}+190		ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b<2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	1/f_{MCK}+190		ns
		1.8 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦1.8 V, C_b = 100 pF, R_b = 5.5 kΩ	1/f_{MCK}+190		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	0	355	ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b<2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	0	355	ns
		1.8 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦1.8 V, C_b = 100 pF, R_b = 5.5 kΩ	0	405	ns

注意　ポート入力モード・レジスタ1（PIM1）**とポート出力モード・レジスタ**1（POM1）**で，**SDAr**はTTL入力バッファ，**N-ch**オープン・ドレイン出力（V_{DD}**耐圧）モードを選択，**SCLr**はN-ch**オープン・ドレイン出力（V_{DD}**耐圧）モードを選択。**IIC01, IIC11**は異電位通信できません。**

★

備考1. R_b [Ω]：通信ライン（SDAr, SCLr）プルアップ抵抗値，C_b [F]：通信ライン（SDAr SCLr）負荷容量値，V_b [V]：通信ライン電圧

★ 2. r：IIC番号（r = 00, 20）

★ 3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0））

★ 4. シリアル・アレイ・ユニットの簡易I^2Cモードの異電位通信時のAC特性は下記のV_{IH}とV_{IL}を観測点としています。

4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 Vのとき：V_{IH} = 2.2 V, V_{IL} = 0.8 V

3.3 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 Vのとき：V_{IH} = 2.0 V

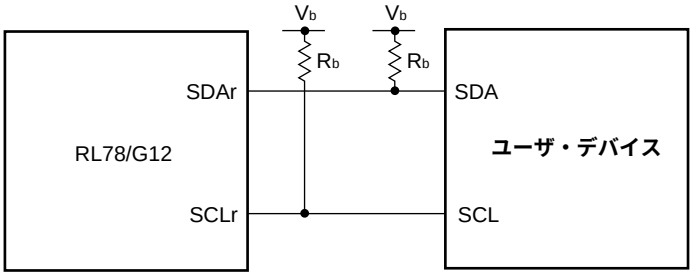
2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 Vのとき：V_{IL} = 0.5 V

1.8 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦1.8 Vのとき：V_{IH} = 1.28 V

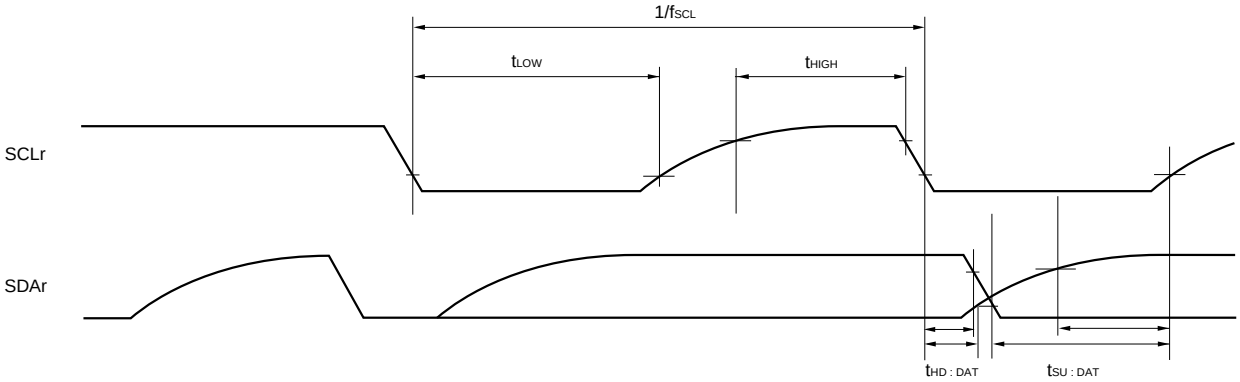
1.8 V≦V_{DD}<2.7 V, 1.6 V≦V_b≦1.8 Vのとき：V_{IL} = 0.32 V

5. 簡易I^2Cモードはデータ・フラッシュ搭載品で対応

簡易I^2Cモード接続図（異電位通信時）



簡易I^2Cモード・シリアル転送タイミング（異電位通信時）



28. 6. 2 シリアル・インタフェースIICA

（T_A = −40〜+85 **℃，**1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V**）**

項　目	略　号	条件		標準モード		ファースト・モード		単位
				MIN.	MAX.	MIN.	MAX.	
★ SCLA0クロック周波数	f_{SCL}	ファースト・モード：f_{CLK}≧3.5 MHz	1.8 V≦V_{DD}≦5.5 V			0	400	kHz
		標準モード：f_{CLK}≧1 MHz	1.8 V≦V_{DD}≦5.5 V	0	100			kHz
リスタート・コンディションのセットアップ時間注1	$t_{SU:STA}$			4.7		0.6		μs
ホールド時間	$t_{HD:STA}$			4.0		0.6		μs
SCLA0 = "L"のホールド・タイム	t_{LOW}			4.7		1.3		μs
SCLA0 = "H"のホールド・タイム	t_{HIGH}			4.0		0.6		μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$			250		100		ns
データ・ホールド時間（送信時）注2	$t_{HD:DAT}$			0	3.45	0	0.9	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$			4.0		0.6		μs
バス・フリー時間	t_{BUF}			4.7		1.3		μs

注1. スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

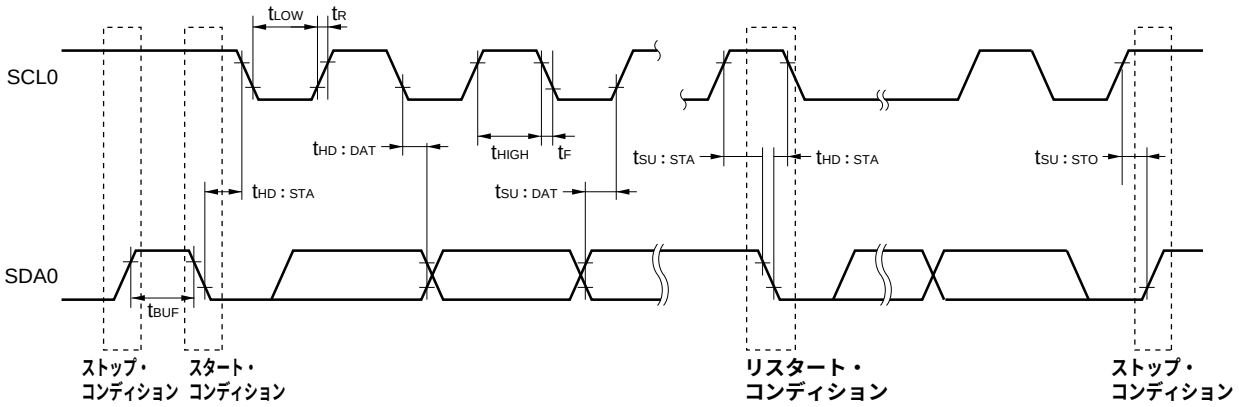
2. $t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，$\overline{ACK}$（アクノリッジ）タイミングでは，ウエイトがかかります。

★ **備考**　各モードにおけるC_b（通信ライン容量）のMAX.値と，そのときのR_b（通信ライン・プルアップ抵抗値）の値は，次のとおりです。

標準モード　：C_b = 400 pF, Rb = 2.7 kΩ

ファースト・モード　：C_b = 320 pF, Rb = 1.1 kΩ

IICA**シリアル転送タイミング**



28. 6. 3　**オンチップ・デバッグ（**UART**）**

（T_A = −40〜+85 **℃，**1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V**）**

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
転送レート			115.2 k		1 M	bps

28. 7 アナログ特性

28. 7. 1 A/Dコンバータ特性

（T_A = −40～+85 ℃, 1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V, 基本電圧（+）= AV_{REFP}, 基準電圧（−）= AV_{REFM}）

	項　目	略号	条　件		MIN.	TYP.	MAX.	単位
	分解能	RES			8		10	bit
	総合誤差注1, 2	AINL	10ビット分解能 AV_{REFP} = V_{DD}, AV_{REFM} = 0 V	1.8 V≦V_{DD}≦5.5 V		1.2	±3.5	LSB
★	変換時間	t_{CONV}	10ビット分解能 AV_{REFP} = V_{DD}, AV_{REFM} = 0 V	3.6 V≦V_{DD}≦5.5 V	2.2		39	μs
				2.7 V≦V_{DD}<5.5 V	3.2		39	μs
				1.8 V≦V_{DD}≦5.5 V	17		39	μs
★	ゼロスケール誤差注1, 2	EZS	10ビット分解能 AV_{REFP} = V_{DD}, AV_{REFM} = 0 V	1.8 V≦V_{DD}≦5.5 V			±0.25	LSB
★	フルスケール誤差注1, 2	EFS	10ビット分解能 AV_{REFP} = V_{DD}, AV_{REFM} = 0 V	1.8 V≦V_{DD}≦5.5 V			±0.25	LSB
	積分直線性誤差注1	ILE	10ビット分解能 AV_{REFP} = V_{DD}, AV_{REFM} = 0 V	1.8 V≦V_{DD}≦5.5 V			±2.5	LSB
	微分直線性誤差注1	DLE	10ビット分解能 AV_{REFP} = V_{DD}, AV_{REFM} = 0 V	1.8 V≦V_{DD}≦5.5 V			±1.5	LSB
	基準電圧（+）	AV_{REFP}			1.6		V_{DD}	V
	基準電圧（−）	AV_{REFM}				V_{SS}		V
	アナログ入力電圧	V_{AIN}			0		AV_{REFP}	V

注1．量子化誤差（±1/2 LSB）を含みません。
2．フルスケール値に対する比率（%FSR）で表します。

28. 7. 2 温度センサ特性

（T_A = −40～+85 ℃, 2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

	項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
	動作電流	I_{TMPS}			75		μA
★	温度センサ出力電圧	V_{TMPS25}	T_A = +25℃		1050		mV
	リファレンス出力電圧	V_{CONST}			1440		mV
	温度係数	F_{VTMPS}			−3.6		mV/C
★	動作安定待ち時間	t_{AMP}				5	μs

28. 7. 3 POR回路特性

（T_A = −40～+85 ℃, V_{SS} = 0 V）

	項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
★	検出電圧	V_{POR}	電源立ち上がり時	T.B.D	1.51	T.B.D	V
		V_{PDR}	電源立ち下がり時	T.B.D	1.50	T.B.D	V
★	最小パルス幅	T_{PW}		300			μs
★	検出遅延					350	μs

28. 7. 4　LVD回路特性

（T_A = −40〜+85 ℃，V_{PDR}≦V_{DD}≦5.5 V, V_{SS} = 0 V）

	項　目		略　号	条　件	MIN.	TYP.	MAX.	単　位
	検出電圧	電源電圧レベル	V_{LVI0}	電源立ち上がり時	3.98	4.06	4.14	V
				電源立ち下がり時	3.90	3.98	4.06	V
			V_{LVI1}	電源立ち上がり時	3.68	3.75	3.82	V
				電源立ち下がり時	3.60	3.67	3.74	V
			V_{LVI2}	電源立ち上がり時	3.07	3.13	3.19	V
				電源立ち下がり時	3.00	3.06	3.12	V
			V_{LVI3}	電源立ち上がり時	2.96	3.02	3.08	V
				電源立ち下がり時	2.90	2.96	3.02	V
			V_{LVI4}	電源立ち上がり時	2.86	2.92	2.97	V
				電源立ち下がり時	2.80	2.86	2.91	V
			V_{LVI5}	電源立ち上がり時	2.76	2.81	2.87	V
				電源立ち下がり時	2.70	2.75	2.81	V
			V_{LVI6}	電源立ち上がり時	2.66	2.71	2.76	V
				電源立ち下がり時	2.60	2.65	2.70	V
			V_{LVI7}	電源立ち上がり時	2.56	2.61	2.66	V
				電源立ち下がり時	2.50	2.55	2.60	V
			V_{LVI8}	電源立ち上がり時	2.45	2.50	2.55	V
				電源立ち下がり時	2.40	2.45	2.50	V
			V_{LVI9}	電源立ち上がり時	2.05	2.09	2.13	V
				電源立ち下がり時	2.00	2.04	2.08	V
			V_{LVI10}	電源立ち上がり時	1.94	1.98	2.02	V
				電源立ち下がり時	1.90	1.94	1.98	V
			V_{LVI11}	電源立ち上がり時	1.84	1.88	1.91	V
				電源立ち下がり時	1.80	1.84	1.87	V
★	最小パルス幅		t_{LW}		300			μs
★	検出遅延						300	μs

備考　$V_{LVI\ (n-1)}$ ＞V_{LVIn}：n = 1-11

割り込み＆リセット・モードのLVD検出電圧

（T_A = −40〜+85 ℃，$V_{PDR} \leqq V_{DD} \leqq 5.5$ V, V_{SS} = 0 V）

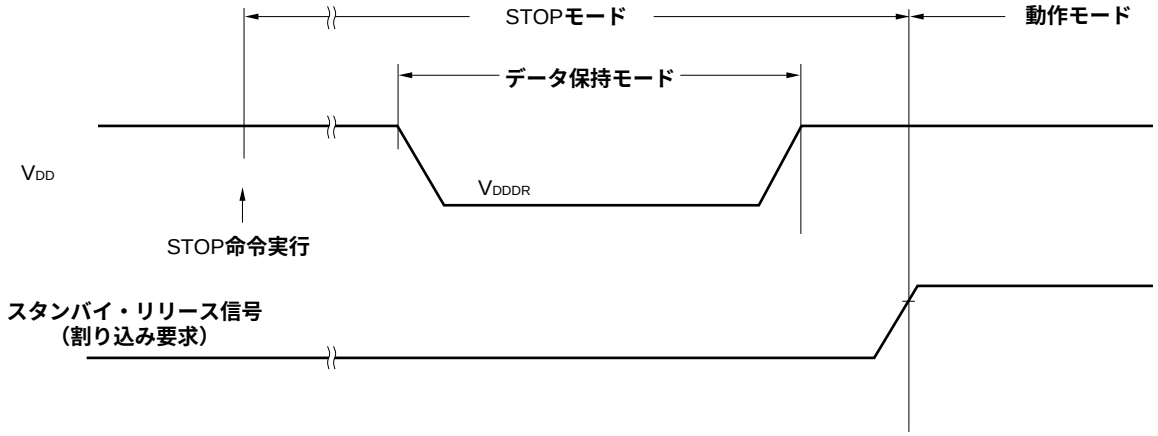
項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
割り込み＆リセット・モード		V_{POC0}, V_{POC1}, V_{POC2} = 0, 0, 0，立ち下がりリセット電圧：1.6 V			−	−	−	−
	V_{LVI11}	LVIS0, LVIS1 = 0, 1 (+0.2 V)		立ち上がりリセット解除電圧	1.84	1.88	1.91	V
				立ち下がり割り込み電圧	1.80	1.84	1.87	V
	V_{LVI4}	LVIS0, LVIS1 = 0, 0 (+1.2 V)		立ち上がりリセット解除電圧	2.86	2.92	2.97	V
				立ち下がり割り込み電圧	2.80	2.86	2.91	V
	V_{LVI11}	V_{POC0}, V_{POC1}, V_{POC2} = 0, 0, 1，立ち下がりリセット電圧：1.8 V			1.80	1.84	1.87	V
	V_{LVI10}	LVIS0, LVIS1 = 1, 0 (+0.1 V)		立ち上がりリセット解除電圧	1.94	1.98	2.02	V
				立ち下がり割り込み電圧	1.90	1.94	1.98	V
	V_{LVI9}	LVIS0, LVIS1 = 0, 1 (+0.2 V)		立ち上がりリセット解除電圧	2.05	2.09	2.13	V
				立ち下がり割り込み電圧	2.00	2.04	2.08	V
	V_{LVI2}	LVIS0, LVIS1 = 0, 0 (+1.2 V)		立ち上がりリセット解除電圧	3.07	3.13	3.19	V
				立ち下がり割り込み電圧	3.00	3.06	3.12	V
	V_{LVI8}	V_{POC0}, V_{POC1}, V_{POC2} = 0, 1, 0，立ち下がりリセット電圧：2.4 V			2.40	2.45	2.50	V
	V_{LVI7}	LVIS0, LVIS1 = 1, 0 (+0.1 V)		立ち上がりリセット解除電圧	2.56	2.61	2.66	V
				立ち下がり割り込み電圧	2.50	2.55	2.60	V
	V_{LVI6}	LVIS0, LVIS1 = 0, 1 (+0.2 V)		立ち上がりリセット解除電圧	2.66	2.71	2.76	V
				立ち下がり割り込み電圧	2.60	2.65	2.70	V
	V_{LVI1}	LVIS0, LVIS1 = 0, 0 (+1.2 V)		立ち上がりリセット解除電圧	3.68	3.75	3.82	V
				立ち下がり割り込み電圧	3.60	3.67	3.74	V
	V_{LVI5}	V_{POC0}, V_{POC1}, V_{POC2} = 0, 1, 1，立ち下がりリセット電圧：2.7 V			2.70	2.75	2.81	V
	V_{LVI4}	LVIS0, LVIS1 = 1, 0 (+0.1 V)		立ち上がりリセット解除電圧	2.86	2.92	2.97	V
				立ち下がり割り込み電圧	2.80	2.86	2.91	V
	V_{LVI3}	LVIS0, LVIS1 = 0, 1 (+0.2 V)		立ち上がりリセット解除電圧	2.96	3.02	3.08	V
				立ち下がり割り込み電圧	2.90	2.96	3.02	V
	V_{LVI0}	LVIS0, LVIS1 = 0, 0 (+1.2 V)		立ち上がりリセット解除電圧	3.98	4.06	4.14	V
				立ち下がり割り込み電圧	3.90	3.98	4.06	V

28. 8　データ・メモリSTOPモード低電源電圧データ保持特性

（T_A = −40〜+85 ℃）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
データ保持電源電圧	V_{DDDR}		1.5注		5.5	V

注　POR検出電圧に依存します。電圧降下時，PORリセットがかかるまではデータを保持しますが，PORリセットがかかった場合のデータは保持されません。



28. 9　フラッシュ・メモリ・プログラミング特性

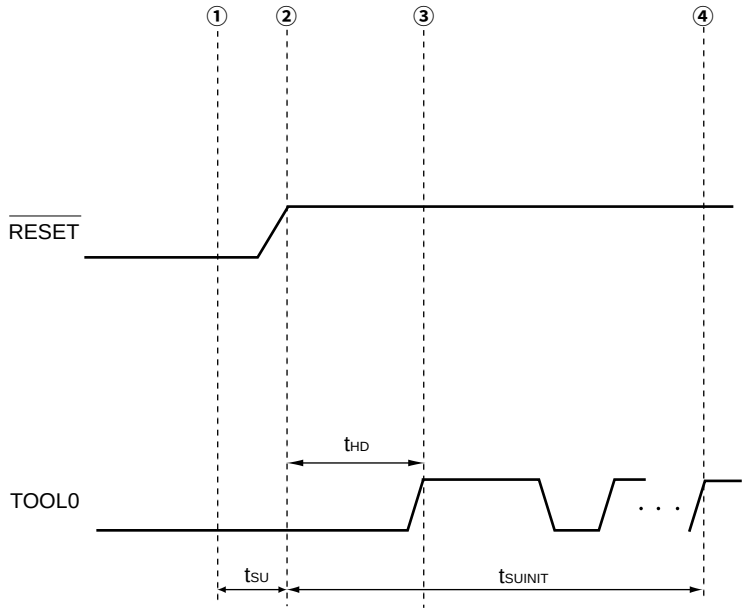
（T_A = −40〜+85 ℃，1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
システム・クロック周波数	f_{CLK}	1.8 V≦V_{DD}≦5.5 V	1		24	MHz
コード・フラッシュの書き換え回数	C_{erwr}		T.B.D	T.B.D	T.B.D	回
データ・フラッシュの書き換え回数			T.B.D	T.B.D	T.B.D	
消去時間（セクタ消去）	T_{erasa}		5			ms
書き込み時間	T_{wrwa}		10			μs

備考　データを複数回更新する場合は，データ更新用途として使用してください。

★ 28. 10　モード引き込み時のタイミング・スペック

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
端子リセット解除から初期設定通信を完了する時間	t_{SUINIT}	端子リセット解除前にPOR，LVDリセットを解除			100	ms
T00L0端子をロウ・レベルにしてから，端子リセットを解除するまでの時間	t_{SU}		10			μs
リセット解除から，T00L0端子をロウ・レベルにホールドする時間	t_{HD}		1			ms



① TOOL0端子にロウ・レベルを入力
② 端子リセットを解除（その前にPOR，LVDリセットが解除されていること）
③ TOOL0端子のロウ・レベルを解除
④ UART受信によるモード引きこみ，ボー・レート設定完了

備考　t_{SUINIT}：この区間では，リセット解除から100 ms 以内に初期設定通信を完了してください。
t_{HD}　：外部／内部リセット解除から，TOOL0端子をロウ・レベルに保持する時間

付録A 改版履歴

A. 1 本版で改訂された主な箇所

(1/2)

箇所	内容	分類
全般	30**ピン製品を追加**	(b)
	高速内蔵発振回路，低速内蔵発振回路を高速オンチップ・オシレータ(HOCO)**，低速オンチップ・オシレータ**(LOCO)**に名称変更**	(b)
第3章 CPU**アーキテクチャ**		
p.23 - 28, 37 - 42	**図**3－1～3－6 **メモリ・マップ，図**3－8～3－13 **データ・メモリとアドレッシングの対応に注意を追加**	(c)
p.49	**表**3－6 SFR**一覧の**P13**のリセット値を変更**	(a)
p.55	**表**3－7 **拡張**SFR（2ndSFR）**一覧に高速オンチップ・オシレータ周波数選択レジスタ（**HOCODIV**）を追加**	(b)
p.65	**オペランドの記述方法の説明を変更**	(a)
第4章 ポート機能		
p. 77	4. 2. 1 20, 24**ピン製品** (2) **ポート**1**に注意**1～3**を追加**	(c)
p. 83	4. 2. 1 20, 24**ピン製品** (4) **ポート**4**に注意**2**を追加**	(c)
p. 87	4. 2. 1 20, 24**ピン製品** (5) **ポート**6**に注意を追加**	(c)
第5章 クロック発生回路		
p.124 - 126, 136, 143	**制御レジスタに高速オンチップ・オシレータ周波数選択レジスタ（**HOCODIV**）を追加**	(b)
p.143	5. 6. 1 高速オンチップ・オシレータの設定例のLS（低速メイン）モードを削除	(a)
p.144	**図**5－14 CPU**クロック状態移行図の電圧を変更**	(a)
第6章 タイマ・アレイ・ユニット		
p. 152	6.2 タイマ・アレイ・ユニットの構成に**兼用ポートの説明を追加**	(c)
第11章 シリアル・アレイ・ユニット		
p.270	**図**11－10 **シリアル・データ・レジスタ**mn**（**SDRmn**）のフォーマット**を変更	(b)
p.270, 364	**図**11－10 **シリアル・データ・レジスタ**mn**（**SDRmn**）のフォーマットの注意**2**，**11.6.4 **ボー・レートの算出の注意の値削除**	(a)
第12章 シリアル・インタフェースIICA		
p.416	12.4.2 IICWL0, IICWH0**レジスタによる転送クロック設定方法の注意に説明を追加**	(c)
第15章 シリアル・インタフェースIICA		
p.523	**図**15－6 **優先順位指定フラグ・レジスタ（**PR00L, PR00H, PR01L, PR10L, PR10H, PR11L**）のフォーマット（**20, 24**ピン製品）に設定値を追加**	(c)
第18章 リセット機能		
p.563	**図**18－5 **リセット・コントロール・フラグ・レジスタ（**RESF**）のフォーマットに注意**2, 3**を追加**	(c)
第19章 パワーオン・リセット回路		
p.567, 568	**図**19－2 **パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミングの電圧を変更**	(a)

備考 表中の「分類」により，改訂内容を次のように区分しています。

（a）：誤記訂正，（b）：仕様（スペック含む）の追加／変更，（c）：説明，注意事項の追加／変更，

（d）：パッケージ，オーダ名称，管理区分の追加／変更，（e）：関連資料の追加／変更

(2/2)

箇所	内容	分類
第20章 電圧検出回路		
p.571	20.1 **電圧検出回路の機能の説明削除**	(a)
p.579	**図**20－5 **割り込み信号発生のタイミングを変更**	(a)
第21章 安全機能		
p.588	**図**21－4 RAM**パリティ・エラー制御レジスタ（**RPECTL**）のフォーマットに注意**2**を追加**	(c)
第23章 オプション・バイト		
全般	**ブート・ストラップの説明を削除**	(a)
第24章 フラッシュ・メモリ		
p.601, 603	**表**24－1 RL78/G12**と専用フラッシュ・メモリ・プログラマの配線表，表**24－2 **端子接続一覧の説明を変更**	(a)
p.602	24.1.2 **通信方式の注の説明を変更**	(a)
p.605	24.3.1 TOOL0**端子に説明を追加**	(c)
p.607	24.4.1 **データ・フラッシュの概要の説明を変更**	(a)
p.611	**図**24－8 **フラッシュ・メモリ・プログラミング・モードへの引き込みを変更**	(c)
p.613	**表**24－7 **フラッシュ・メモリ制御用コマンドを変更**	(c)
p.616	24. 7 **セルフ書き込みによるフラッシュ・メモリ・プログラミングに注意**2**を追加**	(c)
p.618	24. 7. 1 **フラッシュ・シールド・ウインドウ機能を追加**	(c)
第28章 電気的特性（ターゲット）		
p.647	**絶対最大定格の値を変更**	(b)
p.649	**オンチップ・オシレータ特性の値を変更**	(b)
p.650 - 656	28.4 DC**特性の値を変更**	(b)
p.659, 660, 662, 665, 667, 670, 673, 677, 678	28. 6. 1 **シリアル・アレイ・ユニットの値を変更**	(b)
p.658 - 660, 662	28.6.1 **シリアル・アレイ・ユニットに注意を追加**	(c)
p.668 - 670, 673, 676	28.6.1 **シリアル・アレイ・ユニットの注意の説明を追加**	(c)
p.679-680	28. 7 **アナログ特性の項目追加と削除と値を変更**	(b)
p.682	28. 9 **フラッシュ・メモリ・プログラミング特性を変更**	(b)
p.683	28. 10 **モード引き込み時のタイミング・スペックと**t_{HD}**の単位を変更**	(c)

備考 表中の「分類」により，改訂内容を次のように区分しています。

(a)：誤記訂正，(b)：仕様（スペック含む）の追加／変更，(c)：説明，注意事項の追加／変更，

(d)：パッケージ，オーダ名称，管理区分の追加／変更，(e)：関連資料の追加／変更

RL78/G12 ユーザーズマニュアル
ハードウェア編

発行年月日　　2011 年　6 月　3 日　　Rev. 0. 02

発行　　ルネサス エレクトロニクス株式会社
　　〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

http://www.renesas.com

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社　〒100-0004　千代田区大手町2-6-2（日本ビル）　(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：http://japan.renesas.com/inquiry

© 2011 Renesas Electronics Corporation. All rights reserved.
Colophon 1.0

RL78/G12

ルネサス エレクトロニクス株式会社

R01UH0200JJ0002